

비휘발성 반도체 기억소자를 위한 Oxide-Nitride-Oxide 초박막의 특성 (Characteristics of Oxide-Nitride-Oxide Superthin Films for Nonvolatile Semiconductor Memory Devices)

김선주*, 국삼경, 이상은, 이상배, 서광열
광운대학교 전자재료공학과

Seon-Ju Kim*, Sam-Kyung Kuk, Sang-Eun Lee, Sang-Bae Yi, Kwang-Yell Seo
Department of Electronic Materials Engineering, Kwangwoon University

ABSTRACT

Superthin ONO(oxide-nitride-oxide) structures were fabricated for the MONOS nonvolatile memory device with a 20Å tunneling oxide, 40Å nitride and 40Å blocking oxide. The compositions of each layer in a superthin ONO structure were investigated. Also, the characteristics of trap related to the memory quality were examined.

1. 서론

산화막-질화막-산화막의 3중 유전막을 갖는 MONOS 구조는 질화막 위의 블로킹 산화막으로 인해 MNOS 구조가 갖는 scale-down 한계를 극복할 수 있어 저전압, 고집적의 비휘발성 반도체 기억소자(nonvolatile semiconductor memory ; NVSM)를 실현시킬 수 있다. Scaled MONOS NVSM에서 블로킹 산화막을 형성할 때 질화막의

일부는 산화막으로 변환되고 산소가 질화막 내부로 확산된다. 동시에 블로킹 산화막은 계면 가까이 많은 양의 질소를 함유하게 된다.[1] MONOS NVSM은 질화막의 기억트랩과 질화막-블로킹 산화막 계면의 트랩을 이용하여 기억동작을 구현하기 때문에 질화막의 초박막화에 따른 유전막의 조성변화와 이로 인한 질화막의 트랩 특성 변화, 그리고 블로킹 산화막의 질소 함유로 인한 장벽높이 변화는 소자의 기억기능에 영향을 미친다.[2]

본 연구는 터널링 산화막이 20Å, 질화막이 46Å, 블로킹 산화막이 40Å인 비휘발성 반도체 기억소자를 위한 초박막 ONO 구조를 제작하고, 초박막화에 따른 구성원소의 분포와 기억소자의 기능에 관계하는 트랩특성을 조사하였다.

2. 실험

커패시터형 MONOS 구조를 만들기 위해서 사

용한 웨이퍼는 비저항이 6~9 Ω-cm인 (100) 방향의 p형 실리콘 반도체이다. 터널링 산화막(tunneling oxide)은 950℃, 상압에서 질소로 희석시킨 산소(nitrogen-diluted oxygen, O₂ : N₂ = 15 l/min : 0.5 l/min)를 사용해서 웨이퍼를 30분간 열산화시켜 성장시켰으며, 그 두께는 20Å이다. 질화막은 750℃에서 SiH₂Cl₂와 NH₃의 혼합가스를 반응시켜 LPCVD 방법으로 터널링 산화막 위에 퇴적시켰다. 이때, 흘러준 가스의 유량은 각각 30sccm, 450sccm이었으며, 퇴적시간을 다르게 하므로써 질화막 두께를 변화시켰다. 블로킹 산화막(blocking oxide)은 950℃의 상압에서 H₂ : O₂ = 5 l/min : 8 l/min인 혼합가스를 사용해서 질화막을 열산화시키므로써 성장시켰다. 블로킹 산화막의 두께 역시 산화시간을 다르게 하여 변화시켰으며 블로킹 산화막 성장후 400℃의 H₂ 분위기에서 30분간 웨이퍼를 열처리하였다.

게이트 전극을 형성하기 위하여 블로킹 산화막 위에 버퍼층(buffer layer)으로 MoSi₂를 4mTorr에서 스퍼터링 방법에 의해서 400Å 두께로 퇴적시킨다. 그 위에 다시 Cu가 0.5%, Si이 1% 함유된 Al을 5mTorr에서 동일한 방법으로 7500Å 두께로 퇴적시켜 이중구조를 형성하였다. 금속공정 후 photolithography 공정을 통해 원형의 게이트 전극을 형성하였다.

제작한 커패시터 구조의 MONOS 비휘발성 기억소자의 단면도는 그림 1과 같다.

3. 결과 및 고찰

유전막 깊이에 따른 구성원소의 분포와 유전막 형성상태를 조사하기 위하여 가속전압 3keV의 Ar 이온 빔(ion beam)으로 표면을 매회 0.1min

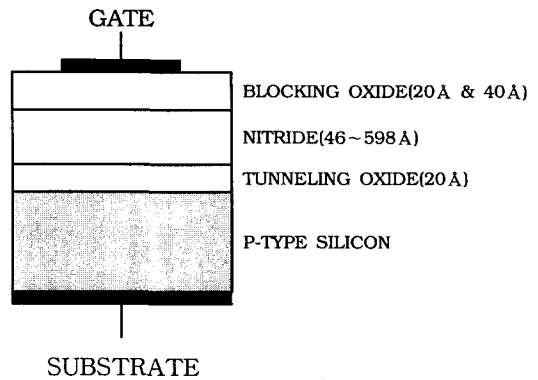


Fig. 1. Cross-section of MONOS memory devices.

동안 스퍼터 식각(sputter etch)시킨 후 AES 분석을 하였다. 이때, 식각율(etch rate)을 SiO₂ 막에 대한 식각율로 나타내면 13Å/min이다. 터널링 산화막의 두께가 20Å, 질화막의 두께가 46Å, 블로킹 산화막의 두께가 40Å인 초박막 ONO 구조의 Auger 깊이분포(depth profile)는 그림 2와 같다. 그림 3은 터널링 산화막 및 블로킹 산화막의 두께가 각각 20Å과 40Å이고 질화막의 두께가 300Å인 ONO 구조의 Auger 깊이분포이다. 모든 측정조건은 그림 2와 동일하다. 그림 3에서는 그림 2와의 비교를 위해서 블로킹 산화막과 질화막 일부에 대한 깊이분포만을 나타내었다. 그림 2와 3에서 O의 분포는 실선으로 N의 분포는 점선으로, 그리고 Si의 분포는 일점쇄선으로 각각 표시하였다.

그림 2에서 보는 바와 같이 초박막 ONO 구조에서 깊이에 따른 O의 분포곡선은 두 개의 큰 마루(crest)로 이루어진 형태이다. N은 O의 분포 형태 중 골(trough)에 상응하는 4min인 곳에서 최대값을 갖는 1개의 큰 마루를 갖는 분포형태를 나타낸다. Si은 거의 변화가 없다가 7min 이후부터 급격히 증가하기 시작하여 11min에서 포화하기 시작한다. 이로부터 O의 분포곡선 중 표면쪽 마루 부근 영역과 7min의 마루 부근 영역은 각

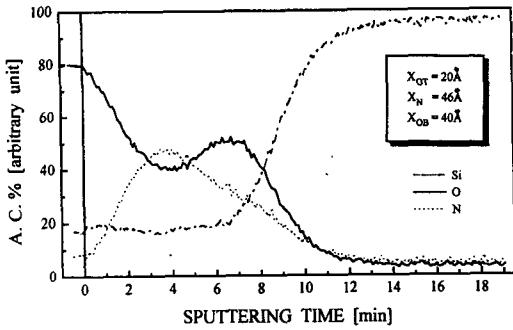


Fig. 2. Auger depth profiles of a superthin ONO structure with a 46Å nitride.(tunneling oxide 20Å, blocking oxide 40Å)

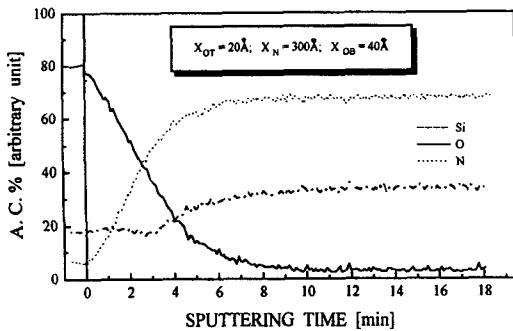


Fig. 3. Auger depth profiles of a ONO structure with a 300Å nitride.(tunneling oxide 20Å, blocking oxide 40Å)

각 블로킹 산화막, 터널링 산화막이고, 4min의 풀부근, 즉 N의 마루 부근 영역은 질화막임을 알 수 있다. 그리고, 스퍼터링 시간에 따라 각각 구분된 블로킹 산화막(0~3min), 질화막(3~6min), 그리고 터널링 산화막(6~8min) 영역은 13Å/min의 식각율을 고려할 때, 각 유전막의 실제 두께와 잘 일치함을 알 수 있다. 초박막 ONO 구조의 Auger 깊이분포를 보면 질화막 내에 상당량의 O가 막 전체에 걸쳐 존재함을 알 수 있다. 그러나, 질화막이 두꺼운 경우에는 그림 2에서 보는 바와 같이 질화막 내에서 O는 거의 검출되지 않는다. 이것은 블로킹 산화막 성장시, 질화막이 충분히 두꺼운 경우에는 질화막으로 O가 확산되지 못하나, scale-down을 위해 질화막을 얇게 한 경우

에는 질화막 내로 상당량의 O가 확산되기 때문이다.[1] 그림으로부터 터널링 산화막, 질화막, 블로킹 산화막이 잘 형성되었음을 확인할 수 있다.

ONO 초박막구조에서 기억소자의 기억기능에 관계하는 트랩특성을 조사하기 위하여 열자극전류를 측정하였다. 질화막의 두께가 각각 다른 MONOS 비휘발성 기억소자에서 프로그래밍 전압을 달리하여 측정한 기억트랩만에 의한 열자극전류 곡선은 그림 4와 같다. 그림에서 (a), (b), (c)는 터널링 산화막 및 블로킹 산화막이 20Å로 동일하고 질화막이 각각 558Å, 233Å, 128Å인 경우이다. 그림에서 보는 바와 같이 모든 구조에서 프로그래밍전압이 증가함에 따라 열자극전류 곡선의 최대 전류값은 증가하나 최대전류에 대한 온도는 프로그래밍 전압과 무관하게 일정함을 알 수 있다. 이로부터 그림 4의 각 열자극전

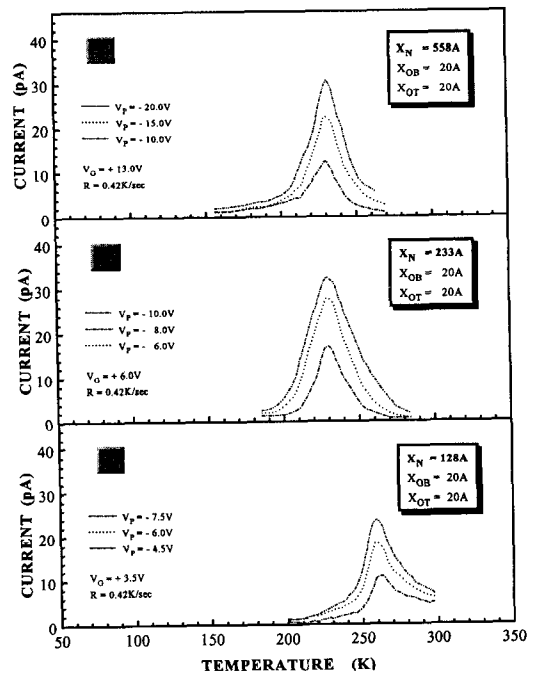


Fig. 4. TSC curves due only to the memory trap for different programming voltages.

- (a) $X_{OT}=20\text{Å}$, $X_N=558\text{Å}$ & $X_{OB}=20\text{Å}$,
- (b) $X_{OT}=20\text{Å}$, $X_N=233\text{Å}$ & $X_{OB}=20\text{Å}$
- (c) $X_{OT}=20\text{Å}$, $X_N=128\text{Å}$ & $X_{OB}=20\text{Å}$

류 곡선은 단일 에너지 준위를 갖고 공간적으로 분포하는 질화막 벌크트랩으로부터의 정공방출에 기인함을 알 수 있다. 그림에서 (a), (b), (c)를 비교하면 질화막 두께가 비교적 두꺼운 558Å과 233Å인 경우, 최대 전류에 대한 온도가 서로 같으나 질화막이 128Å인 경우에는 최대 전류에 대한 온도가 상당히 고온쪽으로 이동하였음을 알 수 있다. 이는 질화막 두께가 128Å으로 얇아짐에 따라 질화막 벌크트랩의 에너지 준위가 더욱 깊어졌기 때문이다. scale-down을 위해 질화막을 얇게 하여 ONO 구조를 초박막화할 경우 블로킹 산화막을 성장시킬 때 상당량의 O가 질화막 내로 확산되어 질화막은 oxynitride의 특성에 가까워지고, 이에 따라 질화막 내의 트랩 특성이 변화한 것으로 생각된다.[3]

그림 5는 블로킹 산화막이 40Å으로 더 두껍고 질화막은 46Å으로 더 얇게 하여 ONO 구조를 초박막화한 MONOS 비휘발성 기억소자에서 프로그래밍 전압을 달리하여 측정된 기억트랩만에 의한 열자극전류 곡선이다. 이 경우 프로그래밍 전압을 증가시키면 최대전류에 대한 온도는 저온쪽으로 이동하고 이는 프로그래밍 전압이 증가함에 따라 에너지적으로 더 얇은 트랩으로부터의

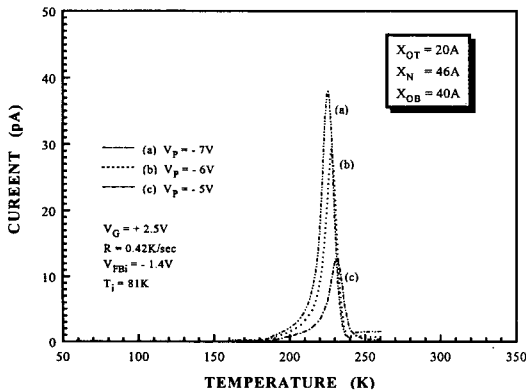


Fig. 5. TSC curves due only to the memory trap for different programming voltages. ($X_{OT}=20\text{Å}$, $X_N=46\text{Å}$ & $X_{OB}=40\text{Å}$)

방출을 의미한다. 이로부터 그림 5의 열자극전류 곡선은 에너지적으로 분포하는 트랩으로부터의 정공방출에 기인함을 알 수 있다. 이미 보고된 바와 같이 터널링 산화막이 20Å, 블로킹 산화막이 40Å이고, 질화막은 46Å인 초박막 MONOS 비휘발성 기억소자인 경우, 블로킹 산화막-질화막 계면트랩의 기억특성에 대한 기여도는 90% 이상으로서 대단히 크다.[4] 따라서 질화막 벌크트랩에 의한 기여는 무시할 수 있으므로 그림 5의 열자극전류 곡선은 에너지적 분포를 갖는 블로킹 산화막-질화막 계면트랩으로부터 정공의 방출에 의한 것임을 알 수 있다.

터널링 산화막이 20Å, 질화막이 46Å, 블로킹 산화막이 40Å인 초박막 구조의 MONOS 비휘발성 기억소자에서 블로킹 산화막-질화막 계면트랩의 분포를 구하기 위하여 초기조건과 프로그래밍 전압을 일정하게 하고 온도상승율을 $R=0.23\text{K/sec}$, 0.32K/sec , 0.42K/sec 로 각각 달리하여 측정된 온도상승율에 따른 기억트랩만에 의한 열자극전류 곡선은 그림6의 실선과 같다.

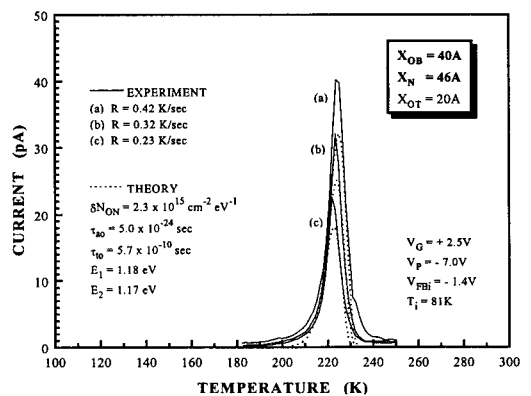


Fig. 6. Comparison between the calculated TSC curves and experimental curves for different heating rates. ($X_{OT}=20\text{Å}$, $X_N=46\text{Å}$ & $X_{OB}=40\text{Å}$)

한편, 블로킹 산화막-질화막 계면에 트랩이 에너지적으로 균일하게 분포되어 있고, 이 트랩에

트랩된 정공이 먼저 질화막 가전자 띠로 열방출된 후, 터널링 산화막-질화막 계면까지 드리프트하고, 그런 다음 실리콘 가전자 띠로 터널링하는 정공방출로 기인하는 열자극전류 이론식은 다음과 같이 주어진다.[5]

$$I_{ON} = \frac{C_{eff}}{C_{eff} + C_d} S \int_{E_1}^{E_2} q \delta N_{ON}(E) e_{eff} \times \exp\left[-R^{-1} \int_{T_i}^T e_{eff} dT\right] dE \quad (1)$$

여기에서 C_{eff} 는 MONOS 소자의 유효 커패시턴스, C_d 는 실리콘 반도체의 공핍층 커패시턴스, S 는 게이트 면적, E_1 과 E_2 는 질화막 가전자대 상단으로부터 트랩까지의 에너지 깊이, $\delta N_{ON}(E)$ 는 질화막 가전자대로부터 깊이가 E 인 단위 면적 당, 단위 에너지 당 계면트랩의 수, R 은 온도 상승률, T_i 는 측정 초기 온도이다. e_{eff} 는 유효 방출 확률 (effective emission probability)이다.

그림 6의 점선은 τ_{ao} 와 τ_{to} 를 각각 5.0×10^{-24} sec, 5.7×10^{-10} sec, $\delta N_{ON} = 2.3 \times 10^{15} \text{ cm}^{-2} \text{ eV}^{-1}$, $E_1 = 1.17 \text{ eV}$, $E_2 = 1.18 \text{ eV}$ 로 하여 식 (1)로부터 계산한 이론곡선이다. 그림에서 보는 바와 같이 이론곡선과 실험곡선이 잘 일치함을 알 수 있다.

4. 결론

- (1) scale-down을 위해 질화막을 얇게 하면 블로킹 산화막이 성장될 때 상당량의 O가 질화막 내로 확산되어 질화막은 oxynitride의 특성이 가까워지고 질화막 내의 트랩특성도 변화하였다.
- (2) 터널링 산화막이 20Å, 질화막이 46Å, 블로킹 산화막이 40Å인 초박막 ONO 구조를 갖는 MONOS 비휘발성 기억소자인 경우 블로킹 산화막-질화막 계면트랩이 기억특성에 주도적인 영향을 미친다.

- (3) 블로킹 산화막-질화막 계면트랩은 질화막 가전자 띠 상단으로부터 1.17eV~1.18eV의 에너지 범위 내에 밀도 $2.3 \times 10^{15} \text{ cm}^{-2} \text{ eV}^{-1}$ 으로 분포되어 있다.

참고문헌

- [1] H. P. Su, H. W. Lin, G. Hong, and H. C. Cheng, IEEE Electron Dev. Lett., Vol. 15, No. 11, p.440-442, 1994
- [2] 이상배, 이상은, 서광열, 전기전자재료학회지, Vol.8, No.6, p.727-736, 1996
- [3] V. J. Kapoor, D. Xu, and R. S. Bailey, J. Electrochem. Soc., Vol. 139, No. 3, p.915-921, 1992.
- [4] 이상배, 김선주, 이성배, 서광열, 응용물리 11월 호 게재예정, 1996
- [5] 서광열, ISRC 95-E-4034 보고서, 1996