

SONOSFET 기억소자의 시냅스 승적특성에 관한 연구  
A Study on the Characteristics of Synaptic Multiplication  
for SONOSFET Memory Devices

이성배\*, 김병철, 김주연, 이상배, 서광열  
광운대학교 전자재료공학과

Sung-Bae Lee\*, Byung-Cheol Kim, Joo-Yeon Kim, Sang-Bae Yi, Kwang-Yell Seo

Department of Electronic Materials Engineering, Kwangwoon University

ABSTRACT

EEPROM technology has been used for storing analog weights as charge in a nitride layer between gate and channel of a field effect transistor. In the view of integrity and fabrication process, it is essentially required that SONOSFET is capable of performing synapse function as a basic element in an artificial neural networks. This work has introduced the VLSI implementation for synapses including current study and also investigated physical characteristics to implement synapse circuit using SONOSFET memories. Simulation results are shown in this work. It is proposed that multiplication of synapse element using SONOSFET memories will be developed more compact implementation under present fabrication processes.

I. 서론

인공신경망에 대한 VLSI 기술의 적용은 고집적 병렬처리연산을 가능하게 하고 있으며, 정보저장소의 역할을 하는 시냅스의 전자회로화는 연산증폭기를 사용한 재래식 모델에서 CMOS를 활용한 VLSI 모델의 구현으로 많은 연구가 진행되고 있다.[1]

인공신경망은 McCulloch 와 Pitts (1943)에 의해 선구적인 장이 열렸으며, '50년대와 '60년대에 걸쳐 많은 이론적 모델이 제시되었다. 이 기간 중 Hebb는 시냅스에 대한 특성을 최초로 제시하였으며, 재래식 전자회로의 한계로 인해 시냅스의 구현보다는 망(networks)의 성능을 개선할 수 있는 알고리즘 및 시뮬레이션에 대한 이론이 집중적으로 연구되어왔다.

'80년대에 이르러 Hopfield 의 학습이론이 많은 학자들에 의해 채택되고, CMOS 기술의 발전과 함께 이를 응용한 시냅스의 구현에 대한 연구가 활성화 되었다. '80년대 후반 Lincoln Lab.(MIT)의 Sage[2]는 MNOS(metal-nitride-oxide-semiconductor)FET를 이용하여 시냅스특성을 실현하였으나 질화막 두께의 한계로 인해 고전압을 요구하고 있다. 최근 '90년대에 이르러 부유게이트(floating gate) MOSFET를 활용한 시

냅스회로화가 연구되고 있다.[3]

EEPROM 소자를 활용하여 인공신경망의 시냅스를 구현하는 기술은 비휘발성 특성상 가중치의 저장 및 프로그래밍 측면에서 재래식 기법보다 탁월한 장점이 있다. 동일한 게이트에 여러 개의 입력단자를 설치하기 위해 부유게이트 구조의 FET 가 최근 많이 연구되고 있으나 제조 공정상의 복잡함으로 인해 집적도의 제한을 받고 있다. 반면, 산화막-질화막-산화막의 3중 유전막을 갖는 SONOS(polysilicon-oxide-nitride-oxide-semiconductor)FET 기억소자는 구조가 간단하고 기존의 제조공정을 적용할 수 있으며, scale-down을 통한 고집적화에 유리하여 MNO S구조 및 부유게이트 구조가 갖는 한계를 극복할 수 있다.[4]

본 논문에서는 SONOSFET 기억소자를 인공신경망의 시냅스 기반소자로 사용하기 위하여 SONOSFET 시냅스 모델에 대한 승적특성을 조사하고자 한다.

## II. SONOSFET 시냅스 모델

MOS 소자를 사용한 전형적인 transconductance multiplier [6]에 스위칭용 소자를 포함하여 4 개의 SONOSFET 소자를 채택한 시냅스 모델은 그림 1과 같다.

모든 트랜지스터는 n-채널 증가형으로 구성하였다. 이 구조는 수직형으로 구성된 동일 채널의 소자이므로 제조공정상 집적도를 향상시키기 용이한 장점을 갖추고 있다.[4]

Shichman & Hodges 모델 [5]에 따르면 MOSFET 소자의 선형영역에 대한 드레인-소스 간 전류는 다음과 같이 나타낼 수 있다.

$$I_{Ds} = \beta[(V_{Gs} - V_T)V_{Ds} - V_{Ds}^2/2] \quad (1)$$

여기서,  $\beta$  는 구조상수,  $V_{Gs}$  는 게이트-소스 간 전압,  $V_{Ds}$ 는 드레인-소스 간 전압,  $V_T$ 는 문턱전압,  $I_{Ds}$ 는 드레인-소스 간 전류이다.

식(1)로 부터 시냅스로 사용되는 2 개의 트랜지스터가 동일한  $\beta$  와  $V_T$  를 갖는다고 가정할 경우 출력전류는 다음과 같이 정의된다.[1]

$$I_o = I_1 - I_2 \approx 2 \beta V_{Gs} V_{Ds} \quad (2)$$

식(2)로 부터 출력전류는 입력전압의 곱에 비례하는 것을 알 수 있으며, 또한 출력전류는 M2 와 M3 트랜지스터의 전류차이로 승적특성을 나타낸다.

## III. SONOSFET 기본특성 및 승적특성

그림1과 같은 모델에서 neural state 신호는 0-5 V 의 디지털신호를 채택한다. 이 신호는 M1 과 M4 에 인가되어 시냅스에 작용하는 전류조(current sink) 및 전류원(current source)의 역할을 하게된다. 또한 고정전압이 인가되는 출력노드에 전류를 공급(excitation)하거나 차단(inhibition)해서 뉴런에 보내게 된다. 즉, 최종출력형태는 시냅스 가중치에 의해 결정되는데, 이 가중치는 질화막에 저장되는 아날로그 전압으로 표현된다.

고정전압 ( $V_{fixed}$ ) 과 전류펄스의 합 ( $I_o$ )은 뉴런 쪽에 가해지게 되는데, 고정전압은 신호전류의 선형성을 위해 포화영역에서 동작시키기 위함이다.

회로에서 M1 과 M4는 power supply on/off 스위치 역할을 하고, M2 와 M3는 transconductance multiplier 역할을 하게 된다. 2 개의 트랜지스터 중 M3의 게이트에 시냅스 전압, M2의 게이트에 표준전압을 인가하면 그 값에 따라 여기(excitation)상태와 억제(inhibition)상태에 따른 값을 얻을 수 있다.

이상과 같은 시냅스의 기능 실현을 위해 모든 트랜지스터는 n-채널 증가형 SONOSFET를 사용 하였으며, 제작된 소자의 사양은 <표 1> 과 같다.

소자의 구조는 그림 2와 같으며, 전달특성은 그림 3과 같다.

승적특성을 얻기 위하여 사용한 SONOSFET 의 시뮬레이션 파라미터는 <표 2>와 같으며, 그 결과는 그림 4와 같다. 표준전압은 2.5 V를 설정하고, 선형영역 동작을 위해 고정전압은 4 V 로 설정하였다. 여기상태에서의 고찰을 위하여 시냅스 가중치는 3 V로 설정하고, 공급전압은 5 V로 설정하였다.

그림 4에서 알 수 있는 바와 같이 모든 구간에서 뉴런으로 공급되는 출력상태전류  $I_o$ 는 시냅

스로 사용되는 M2와 M3 트랜지스터의 전류 차 (I1 - I2)로 나타나고 있으며, 이론식에서 기대한 값과 잘 일치하고 있다. 따라서, SONOSFET는 인공신경망의 시냅스 기반소자로 사용할 수 있음을 알 수 있다.

#### IV. 결론

SONOSFET를 사용하여 시냅스회로를 구현하는 경우 기존의 MNOS 구조 및 부유게이트 구조에서 제약받고 있는 저전압, 고집적화에 대한 한계를 극복할 수 있다.

단위 시냅스회로는 동일한 채널을 갖는 SONOSFET (n채널 증가형) 4 개를 수직구조로 형성시켜 집적도가 용이하도록 구성하였다. 승적특성에 대한 시뮬레이션의 결과는 이론식과 잘 일치하고 있으며, SONOSFET는 인공신경망의 시냅스소자로서 활용할 수 있다.

#### 참고문헌

- [1] A.F.Murray, "Hybrid Analog/Digital Pulse Firing Networks", ed. Paolo et al., Prentice Hall, pp. 290-314, 1991
- [2] J.P.Sage, K.Thomson, R.S.Withers, "An Artificial Neural Network Integrated Circuit Based on MNOS/CCD Principles", Proc. AIP Conference on Neural Networks for Computing, Snowbird, pp.381-385, 1986
- [3] T.Shibata et al., "An Excellent Weight-Updatng-Linearity EEPROM Synapse Memory Cell for Self-Learning Neuron-MOS Neural Networks", IEEE T. on Electron Devices, Vol.42, No.1, pp. 135-143, Jan. 1995
- [4] 이상배, 김선주, 이성배, 서광열, "저전압 비휘발성 반도체 기억소자를 위한 scaled MONOS 구조의 트랩 연구", 응용물리, 제9권, 제2호, pp.191-198, 1996.3
- [5] Allan et al., "CMOS Analog Circuit Design", Holt, Reinhart and Wilson, 1987
- [6] A.F.Murray et al., "Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques", IEEE T. on Neural Networks, pp. 193-204, 1991

Table 1. Specification of SONOSFET

Classification	Specification
width x length	15 $\mu$ m x 1.5 $\mu$ m
polysilicon thickness (S)	3000 Å
blocking oxide thickness (O)	65 Å
nitride thickness (N)	165 Å
tunneling oxide thickness (O)	30 Å
packaging	ceramic DIP

Table 2. Simulation Parameters (PSPICE ver.6.2i)

Parameters	Values	Description
W	15.0 x 10 <sup>-6</sup>	channel width [M]
L	1.5 x 10 <sup>-6</sup>	channel length [M]
TOX*	17.7 x 10 <sup>-9</sup>	effective thickness [M]
RD	145.0 x 10 <sup>-6</sup>	drain ohmic resistance [Ω]
RS	145.0 x 10 <sup>-6</sup>	source ohmic resistance [Ω]
RDS	2.0 x 10 <sup>3</sup>	static drain-source resistance @ I <sub>D</sub> &V <sub>GS</sub> on-state [Ω]
VT	2.5	threshold voltage [V]
V[M3]	3	weight voltage [V]

$$TOX^* = T_{T.O} + (\epsilon_{OX}/\epsilon_n)T_N + T_{B.O}$$

assuming  $(\epsilon_{OX}/\epsilon_n) = 0.52$

