

III~27]

Low-temperature Si epilayer growth by UHV-ECRCVD on LOCOS patterned wafer

여환국, 박진원, 황기현, 윤의준, 황기웅*

서울대학교 재료공학부 및 반도체공동연구소, 서울대학교 전기공학부 및 반도체 공동 연구소*

I. 서론

MOSFET 소자의 집적도가 증가함에 따라 나타나는 짧은 채널 효과 (short channel effect)를 막기 위해 SOI기판의 사용, 수백 Å의 매우 얇은 단결정막의 사용 등이 연구되고 있다 [1]. 그 중 매우 얇은 단결정막의 사용은 집적도와 문턱 전압 조절 등에 매우 유리한 것으로 알려져 있다 [1-2]. 매우 얇은 단결정막의 성장은 기존의 고온 단결정막 성장으로는 힘들뿐만 아니라, 고온에서 LOCOS패턴닝된 기판에 단결정막을 성장할 경우 열세정화(thermal cleaning) 도중 산화막의 언더컷 현상과 산화막과 실리콘의 열팽창계수차에 의한 변형에 의해 유발되는 측벽결함 (sidewall defect) 생성 등의 문제점이 있다. 그러므로 최근 저온에서 단결정막을 성장시키는 연구가 활발히 진행되고 있다 [3-5]. 그러나 이러한 저온 단결정막 성장방법도 기존의 열세정화 방법을 사용하므로 800°C 이상의 기판가열이 필요하게 되고 또한 기판세정 후 증착온도까지 온도를 내리면서 재오염되는 문제도 있다.

본 연구에서는 단결정막 증착온도인 510°C에서 *in-situ* 전자 공명 수소 플라즈마를 이용하여 LOCOS 패턴닝된 기판의 표면을 세정하고, 그 후에 플라즈마 화학 기상 증착법으로 단결정막을 성장하였다. 이 때 세정화 변수와 증착변수의 변화에 따른 단결정막의 결정성 변화를 관찰하였다.

II. 실험방법 및 결과

LOCOS패턴닝된 기판은 습식 열산화법으로 형성하였고, 습식 세정을 통해 유기물을 제거한 후 수소플라즈마를 사용하여 *in-situ* 세정화하였다. 세정화된 기판에 중단없이 SiH₄를 플라즈마 화학 기상 증착법으로 단결정막을 성장하였다. 이때 세정화 변수와 증착 변수에 따른 실리콘 단결정막의 결정성을 *in-situ* RHEED를 통하여 관찰하였고, 증착된 막의 표면 형상은 광학현미경과 주사전자 현미경을 통하여 관찰하였다.

세정화시 수소이온의 입사량이 증가할 경우 산화막에서 식각된 SiOH_x가 실리콘 표면을 재오염 시킴에 따라 결정성이 저하되는 것을 관찰하였다. 또한 적절한 수소이온의 입사량을 조절하여 산화막의 식각을 억제하였을때 양질의 단결정막이 성장되었고 그 형상도 깨끗하였다.

III. 참고문헌

1. C. Fiegna, H. Iwai, T. Wada, T. Saito, E. Sangiorgi, and B. Ricco, Symp. on VLSI Tech. Dig., 33(1993)
2. K. Noda, T. Uchida, T. Tatsumi, T. Aoyama, K. Nakajima, H. Miyamoto, T. Hashimoto, and I. Sasaki, Symp. on VLSI Tech. Dig., 19(1994)
3. Junichi Murota, Naoto Nakamura, Manabu Kato, and Nobuo Mikoshida, Appl. Phys. Lett. 54, 1007(1989)
4. Tri-Rung Yew, Rafael Reif, J. Appl. Phys. 65, 2500(1989)
5. Naoki Kasai and Nobuhiro Endo, J. Electrochem. Soc. 139, 1983(1992)