

PtSi 가 도포된 triode-type 의 실리콘 팁 제작 및 전계방출 특성 연구

김용민, 이진호, 유병곤, 오병성*, 조경익, 유형준
한국전자통신연구소 반도체연구단, 충남대 물리학과*

냉음극 전계방출(field emission) 현상을 이용하는 전계방출소자는 평판 디스플레이(flat panel display), 고속 스위칭 소자, 마이크로파 발생기 및 증폭기, 전자원 및 광원, 고감도 센서 등의 응용을 위하여 많은 연구가 이루어 지고 있다.[1]

전계방출 팁을 제작하는 방법으로는 Spindt 형 금속팁과 전자선 증착법(e-beam evaporater)을 이용한 실리콘팁이 주로 사용되고 있다[2-3]. 일반적으로 실리콘팁은 금속팁에 비하여 뾰족하여 전계방출이 시작되는 문턱전압을 낮추고 같은 전압에서 전계방출 전류를 보다 많이 흐르게 할 수 있으나, 팁의 안정성이나 수명이 짧은 단점을 가지고 있다.

실리콘을 이용한 전계방출 팁의 일반적인 제조방법으로는 실리콘산화막(SiO_2)을 마스크로 하여 등방성 식각으로 팁을 형성하고 게이트 산화막(SiO_2)과 게이트 전극을 전자선 증착법으로 증착한 후, 습식 식각에 의한 lift-off 을 통하여 최종적으로 triode-type 의 팁을 형성시킨다.

본 연구에서는 기존의 전자선 증착법에 의하여 제작된 실리콘 전계방출 팁이 가지고 있는 문제점인, 게이트 누설 전류, 게이트 홀(hole)의 확대 그리고 실리콘 기판내의 팁 위치에 따른 팁 형태의 비대칭성 등의 단점을 보완하기 위하여 전자선 증착법 대신 etch-back 공정을 사용하였으며[4], 뿐만 아니라 실리콘 팁이 안고 있는 기본적인 문제점인 팁의 안정성과 수명문제를 해

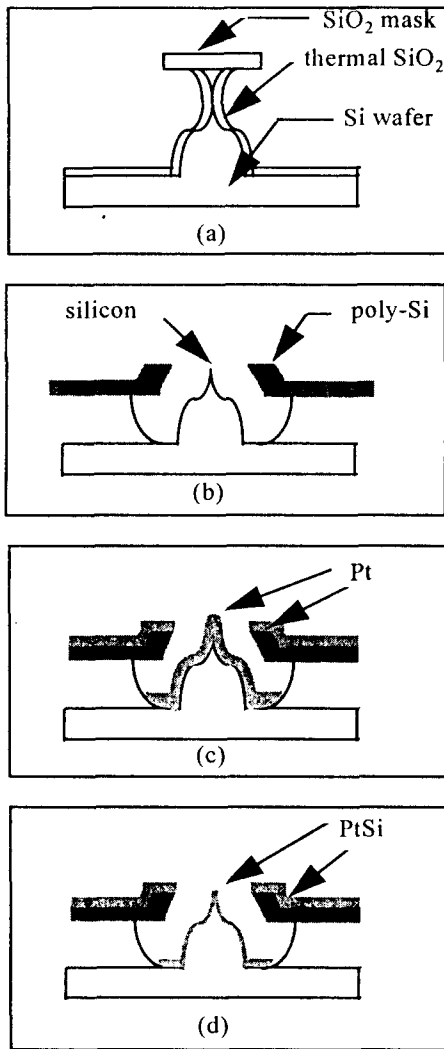
결하기 위해 실리콘팁에 PtSi(Platinum silicide) 박막을 도포하였다.

(그림 1)은 이러한 제작순서를 나타 내었다. 제조과정으로는 실리콘산화막을 식각마스크로하여 SF_6 가스를 사용하는 등방성 식각과 SF_6+O_2 가스를 사용하는 비등방성 식각으로 팁을 형성한 후, 전자선 증착법 대신 기상 화학증착법에 의해 게이트 산화막인 TEOS(tetraethylorthosilicate)와 게이트 전극인 폴리실리콘을 증착하였다. 그 다음, PR(photoresist)을 도포하여 etch-back 공정으로 PR과 게이트 전극을 동시에 식각하여 게이트 절연막이 노출되게 한 후 6:1 buffered HF 에 습식 식각하여 실리콘 팁을 형성하였다. 실리콘 팁의 표면을 PtSi 박막으로 형성시키기 위하여 Pt 를 sputtering 방법에 의해 증착한 후 460 °C에서 annealing 함으로써 노출된 실리콘 부분만 self-align 으로 PtSi 를 형성시키고 나머지 Pt 는 왕수($\text{HCl} : \text{HNO}_3 = 3:1$)용액으로 식각하였다.

이렇게 제작된 실리콘 팁 어레이는 SEM 을 통하여 구조를 조사 하였으며, 전계방출 특성을 초고진공($<3 \times 10^{-7}$ torr) 챔버에서 측정하였다.

(그림 2)에 측정된 전류-전압 특성과 F-N(Fowler-Nordheim) plot 을 나타내었다. 1.2 μm 패턴으로 제작된 256 개의 팁 어레이에서 측정된 문턱전압은 약 80V 로 나타났다. 이는 PtSi 를 형성하지 않았을 때와 비교하여 볼 때 20~30V 정도 높아졌는데, 이

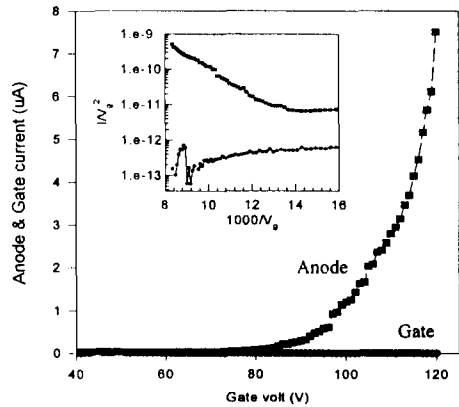
는 F-N식으로 미루어 볼 때, PtSi 를 실리콘 팁 위에 형성하게 됨으로써 실리콘 팁에 비하여 PtSi 를 도포한 팁의 팁 반경 증가와 실리콘에 비하여 PtSi 의 일함수(work-function ; Si:4.5eV, PtSi:5.1eV)가 크기 때문이라 생각된다. 그러나 일반적으로 실리콘 팁에 비하여 PtSi 가 도포된 팁의 안정성(stability)이 향상되고 수명이 길어지는 것으로 관찰되었다(그림 3).



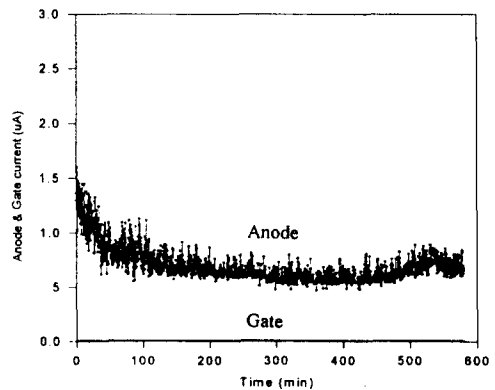
(그림 1) PtSi 가 도포된 triode-type 실리콘 팁 제작 순서

참고문헌

1. 이종덕, 전자공학회지, 22, 1995, p1
2. H.S.Uh, et al, J. Vac. Sci. Tech., vol.B13(2), 1995, p456.
3. D.Temple. et al, IVMC 95 Tech. Digest, Portland, 1995, p113.
4. Jin Ho Lee, et al, 3rd ASID, 1995, p143



(그림 2) 256 개의 팁에서 게이트 전압에 따른 어노드 및 게이트 전계방출 전류곡선과 F-N plot



(그림 3) 256 개의 팁에서 게이트 전압이 100V일때의 시간에 따른 전계방출 전류 특성