

LPMOCVD법에 의한 Platinum 박막의 증착

이종명, 황철성*, 김형준

서울대학교 재료공학부

*삼성전자 반도체연구소 공정개발2팀

1. 서론

반도체 기억 소자의 집적화가 진행됨에 따라 하나의 cell이 차지하는 면적이 줄어들게 되었고, 이에 따라 전기적 신호를 저장하는 캐패시터의 면적도 급격히 줄어들고 있다. Giga bit 급 이상의 DRAM에서는 새로운 캐패시터 재료인 (Ba,Sr)TiO₃와 같은 고유전율 박막이 사용될 것으로 예상되며, 고유전율 박막에 적합한 Pt와 같은 전극의 개발도 필요하게 되었다. Gb급 이상의 DRAM의 경우 고유전율 박막을 사용한다고 하더라도 작은 면적 때문에 3차원적인 캐패시터 구조를 가져야 한다. 따라서 상부 전극 증착에 있어서 우수한 step coverage 특성을 갖는 증착 방법의 개발이 필요하다. 본 연구에서는 고유전율 박막의 전극으로 적합한 Platinum 박막을 우수한 step coverage 특성을 갖는 MOCVD법을 이용하여 증착하고 이의 특성을 분석하였다.

2. 실험 방법

본 연구에서는 수직형의 반응기와 저항 가열 방식의 susceptor로 구성된 저압 유기금속 화학증착기를 사용하여 최대 6 inch 직경을 갖는 기판위에 Pt 박막을 증착하였다. Precursor로는 Platinum-hexafluoroacetylacetonate를 사용하였으며, bubbler의 온도는 70°C로 하였다. 기판으로는 SiO₂/Si, BST/Pt/SiO₂/Si를 사용하였으며 증착 온도 300°C~400°C, 증착 압력 3 Torr의 조건에서 Pt 박막을 증착하였다. Precursor를 운반하는 수송 기체로는 Ar을 사용하였으며, carbon과 같은 불순물의 제거를 위해 O₂를 첨가하였다. 증착된 박막은 XRD와 SEM, XPS 그리고 4-point probe를 통해서 분석되었다.

3. 결과 및 고찰

증착된 Pt 박막은 (111) 우선 배향을 가지고 있으며 15 μΩcm 이하의 낮은 비저항 수치를 보였다. Pt 박막의 증착 온도가 증가할수록 박막의 증착 속도는 증가하였으나 표면 거칠기가 증가하였으며 부착력도 나빠졌다. 산소를 첨가하지 않은 경우 Pt 박막의 증착은 이루어지지 않았으며, 산소의 첨가량이 임계값까지 많아질수록 박막의 증착 속도는 증가하였고 그 이상에서는 일정하였다. 또한 첨가된 산소의 양이 많을 수록 후열처리시 Pt 박막의 입자 성장이 억제되었다. 산소를 첨가하여 증착된 Pt 박막의 XPS 분석 결과 부분적으로 Pt가 산화된 것으로 추측되는데, 입체나 계면에 우선적으로 생성될 것으로 예상되는 Pt-oxide에 의한 표면 에너지의 변화 또는 Pt 원자의 확산 억제 등의 효과에 의해 입자 성장이 억제되는 것으로 판단된다. Sub-micron으로 pattern된 기판위에 증착한 경우 80%이상의 우수한 step coverage 특성을 보여주는데, 이것으로 미루어 보아 Gb급 DRAM 캐패시터용 고유전율 박막의 상부 전극으로 활용이 가능할 것으로 판단된다.