

I~10]

Sputter로 증착된 케이트 SiO₂ 다결정 실리콘 박막 트랜지스터의 전기적 특성에 관한 연구
(A study on the electrical properties of poly-Si Thin Film Transistor
using sputter-deposited gate SiO₂ films)

박광현, 남승의, 김형준
홍익대학교 금속·재료 공학과

서 론

다결정 실리콘 박막은 MOS 소자, 박막 트랜지스터 등 고집적 반도체 공정의 재료로 많이 사용되고 있다. 일반적으로 큰 결정립 크기를 갖는 다결정 실리콘 박막은 결정립계에서의 전자 포획 현상을 줄임으로서 높은 소자 특성을 얻을 수 있다. 활성충 영역에 포함될 수 있는 Phosphorus 등의 이온주입을 통하여 활성충내로 들어가게 할 경우, 결정화 과정이나 전자의 활성화 거동에 영향을 줄 수 있다. a-Si를 이용한 TFT-LCD는 낮은 전자 이동도와 고해상도 실현의 어려움 때문에 Poly-Si를 이용한 TFT 제작이 많은 연구가 진행되어 왔으며, 이를 이용하여 소형화 및 고해상도의 LCD를 구현할 수 있다. 본 실험에서는 sputter로 증착된 gate SiO₂를 이용하여 Poly-Si TFT를 제작하였으며, TFT 소자의 전기적 특성을 조사하였다. 또한 Phosphorus 이온주입에 의한 Si의 고상 결정화 거동에 대하여 연구하였다.

실험 방법

N-채널 다결정 실리콘 박막 트랜지스터를 P-type Si (100) wafer를 이용하여 제작하였다. 5000Å의 열산화막 위에 고전공화학 증착기를 이용하여 1000Å의 Si박막을 증착하고, sputter를 이용하여 gate SiO₂를 Po₂ 20%의 조건으로 100Å, 600Å, 1000Å의 두께로 증착하였다. gate 전극으로 poly-Si를 2000Å 증착 하였으며, source, drain 영역을 정의하기 위하여 Phosphorus를 이온주입하여 활성화시켰다. 전기적 특성을 측정하기 위하여 HP4140A probe station을 이용하였다. 또한 P-type Si (100) wafer를 이용하여 Phosphorus를 이온주입 하였다. Dose를 5×10^{13} , 1×10^{14} , 1×10^{15} , 3×10^{15} , 5×10^{15} , 1×10^{16} 으로 변화시키면서 이온주입 하였으며, energy는 60keV로 고정하였다. 이온주입된 시편을 관상로에서 고순도 N₂ 분위기, 600°C에서 열처리를 실시하였다.

결과 및 고찰

Poly-Si TFT를 제작하여 전기적 특성을 측정하였다. Gate 산화막을 Sputter를 이용하여 증착한 경우 좋은 field effect mobility, on/off current ratio, threshold voltage, subthreshold slope, breakdown voltage 특성을 나타내었다. gate 산화막의 두께가 1000Å, 600Å, 100Å으로 얇아짐에 따라 threshold voltage, subthreshold slope, breakdown voltage의 특성이 향상되는 것이 관찰되었으며, field effect mobility, on/off current ratio도 향상되는 것이 관찰되었다. 또한, P 이온주입된 Si의 열처리 실험 결과 undoped Si보다 빠른 고상 결정화 거동을 보여주고 있다. Dose가 3×10^{15} 인 조건의 경우 600°C, 2시간의 열처리 조건에서 핵이 생성되기 시작하여 5시간 정도에서 결정화가 완료되는 빠른 고상 결정화 거동을 나타내었으며, 이러한 결과를 Rs₀를 측정하여 비교하였으며, TEM 분석을 통하여 증명하였다.

결 론

gate 산화막을 sputter를 이용하여 증착한 경우 gate 산화막의 두께가 얇아짐에 따라 TFT의 전기적 특성이 향상되는 것이 관찰되었으며, P 이온주입한 Si의 경우 빠른 고상 결정화 거동을 나타내는 것이 관찰되었다.