

페트리 넷를 이용한 이산 사건 시스템의 성능 분석

Performance Evaluations of Discrete Event System using Petri Nets

°최정환, 고인선

홍익대학교 전자공학과 (Tel: 320-1697; Fax: 320-1119; E-mail: Inseon@wow.hongik.ac.kr)

Abstracts This paper present a performance evaluation method for Timed Place Petri Nets modeled by Live-and-Bounded Circuits (LB-circuits) through a bottom-up approach. The method can handle the case for the nets having common resources(CR). The target system is divided into the sub-systems by disconnecting the common Transition-Transition-Path(TTP) or Place-Place-Path (PPP) between sub-systems. The common PPP pattern is classified into Parallel Common Resource (PCR) and Sequential Common Resource (SCR) in detail for handling common resources. We evaluate the performance of each divided sub-system, and calculate the sub-systems affect on the performance of the whole system. The facts are generalized as a theorem. The developed theorem are applied into the performance evaluation of an automated assembly system shown in an example. All the results are verified by simulation.

Keywords Timed Place Petri Nets, Performance Evaluation, Live-and-Bounded circuit, Cyclic Time, Common Resource

1. 서론

페트리 넷트는 도식적이고 수학적인 모델링 도구로서 병행, 비동기, 분산적인 특성을 지닌 시스템을 모델링하는데 이용된다. 초기의 페트리 넷트는 시간개념이 없었으나 동적 시스템의 성능 분석과 스케줄링문제를 해결하기 위해 시간개념이 들어간 Timed Petri Net가 제안되었다. 본 논문에서는 플레이스에 지연 시간이 있는 Timed Place Petri Net를 사용한다.

시스템 분석은 질적분석(Qualitative Analysis)과 양적분석(Quantitative Analysis), 두가지로 나누어 생각할 수 있다. 시스템 분석을 할 때, 질적분석이 선행된 후에 양적분석이 행해진다. 그러나, 시스템이 크고 복잡해지면, 질적분석조차 하기 힘들어져 양적분석이 불가능해진다. 본 논문에서는 질적분석이 용이하고, 모델링 가능한 시스템의 범위가 넓은 넷트 합성(Synthesis) 방법 [3]을 이용하여 시스템을 모델링한다. Synthesis 방법으로 모델링된 시스템은 기본 특성들이 보장되어 있으므로 용이하게 양적 분석을 할 수 있다. Top-down 방식과 Bottom-up 방식으로 나뉘는 Synthesis 방법중 본 논문에서는 Bottom-up 방식을 택했다. Bottom-up 방식에서 LB-Circuit을 common PPP로 연결하면, 공유 자원(Common Resource)을 모델링할 수 있다. 공유 자원의 양과 운용은 시스템 성능에 많은 영향을 미친다. 본 논문에서는 공유 자원이 포함된 시스템의 성능을 분석하기 위해 공유 자원을 Parallel Mutual Exclusion과 Sequential Mutual Exclusion으로 나눈 기존의 논문[9]을 참조하여, LB-Circuit의 개념에 맞추어 Parallel Common Resource(PCR)와 Sequential Common Resource(SCR)를 새로이 정의하여 성능 분석에 이용한다. 본 논문에서 성능의 의미는 시스템이 안정 상태(Steady State)일 때의 트랜지션 발화율이다. 성능을 분석할 때, 시스템은 기본적으로 Live, Bounded하고, Reversible해야 한다. 성능 분석의 순서는 전체 시스템을 common TTP 결합과 common PPP 결합으로 나누고, common PPP 결합을 다시 Parallel Common Resource와 Sequential Common Resource로 분류한다. 각 결합

별로 성능을 분석하여, 전체 시스템 성능을 양적으로 표현한다.

본 논문은 아래와 같이 구성된다. 2장에서는 논문을 이해하는데 필요한 용어를 간단히 설명한다. 3장에서는 시스템을 common TTP 결합과 common PPP 결합으로 분류하고, common PPP 결합으로 이루어진 Common Resource를 다시 Parallel Common Resource와 Sequential Common Resource로 분류하여, 성능을 분석하는 방법을 제시한다. 4장에서는 자동 조립 시스템을 Timed Place Petri Net로 모델링한 예제를 통하여 시스템 성능을 구하고, 모의 실험을 통하여 결과를 검증한다. 5장에서는 결론을 맺고 향후 연구과제를 논의한다.

2. 기본 용어

본 논문은 독자가 페트리 넷트를 알고 있다는 가정 하에 쓰여졌다. 이 장에서는 페트리 넷트에 쓰이는 기본 용어를 간단히 설명한다. 자세한 내용은 참고문헌 [5], [6]을 참조한다.

Live-and-Bounded Circuit (LB-circuit): LB-circuit은 $t_1, t_2, p_1, \dots, p_n, t_{n-1}$ 과 같은 Directed Path이며, 아래의 조건들을 만족한다. 아래의 조건들은 토큰이 출발한 플레이스로 다시 돌아왔을 때, 토큰의 수가 늘어나거나 줄어들지 않는다는 것을 나타낸다. arc ratio($r_{i,n-1}$)와 remainder($s_{i,n-1}$)의 정의는 [3]을 참조한다.

- 1) $t_1 = t_{n-1}$
- 2) $r_{i,n-1} = 1, s_{i,n-1} = 0$
- 3) the circuit is live.

common Place-Place-Path (PPP): 양끝이 플레이스로 구성된 directed path.

common Transition-Transition-Path (TTP): 양끝이 트랜지션으로 구성된 directed path.

3. 성능 분석

정의 1: Cyclic Time (CT)

LB-circuit에서 한 주기를 수행하는데 필요한 지연시간의 합.

$$CT(LB_i) \triangleq \sum_{k=1}^n D_k \quad (D_k \text{는 } LB\text{-circuit } i \text{의 } p_k \text{에 부여된 지연시간, } n \text{은 } LB\text{-circuit } i \text{의 플레이스 수})$$

정의 2: Parallel Common Resource (PCR)

common PPP로 연결된 LB-circuit들이 서로 common TTP나 common PPP로 연결되어 있지 않을 때, common PPP로 연결된 LB-Circuit들을 Parallel Common Resource라 한다.

정의 3: Sequential Common Resource (SCR)

common PPP로 연결된 LB-circuit들이 모두 common TTP로 연결되어 있거나, 하나의 LB-Circuit에 common TTP로 연결되어, 모두 같은 발화율을 가질 때, common PPP로 연결된 LB-circuit들을 Sequential Common Resource라 한다.

Parallel Common Resource와 Sequential Common Resource는 Parallel Mutual Exclusion과 Sequential Mutual Exclusion의 개념[9]을 본 논문에서 맞도록 다시 정의한 것이다.

정의 4: Timed Place Petri Net에서 시스템 성능

시스템이 안정 상태(Steady state)에서 가질 수 있는 최대 평균 발화율.

3.1 LB-Circuit의 성능

Lemma 1: LB-circuit의 시스템 성능은 $\frac{m_0(LB_i)}{CT(LB_i)}$ 이다.

($m_0(LB_i)$ 은 LB_i 에 존재하는 초기토큰수)

증명: 지면 관계상 생략한다. ■

3.2 common TTP로 연결된 시스템의 성능

Lemma 2: 두 LB-circuit이 common TTP로 연결된 시스템에서, 시스템 성능은 $\min\left\{\frac{m_0(LB_1)}{CT(LB_1)}, \frac{m_0(LB_2)}{CT(LB_2)}\right\}$ 이다.

증명: 지면 관계상 생략한다. ■

Theorem 1: n개의 LB-circuit이 common TTP로 연결된 시스템에서, 시스템 성능은 $\min\left\{\frac{m_0(LB_i)}{CT(LB_i)} : i=1, 2, \dots, n\right\}$ 이다.

증명: 지면 관계상 생략한다. ■

3.3 common PPP로 연결된 시스템의 성능

3.3.1 Parallel Common Resource의 성능

CASE 1. $m_0(PCR) \geq \sum_{i=1}^n k_i \cdot CT(LB_i)$

($m_0(PCR)$ 은 PCR의 초기토큰수, n은 PCR을 구성하는 LB-Circuit의 개수, k_i 는 LB_i 와 common TTP로 연결된 net의 성능)

CASE 1의 경우, PCR의 초기토큰의 수가 충분하여, PCR의 성능이 PCR과 연결된 net들의 성능보다 크기 때문에, PCR을 구성하는 LB_i 의 성능은 Theorem 1에 의해 k_i 가 된다. 따라서, 전체 시스템 성능은

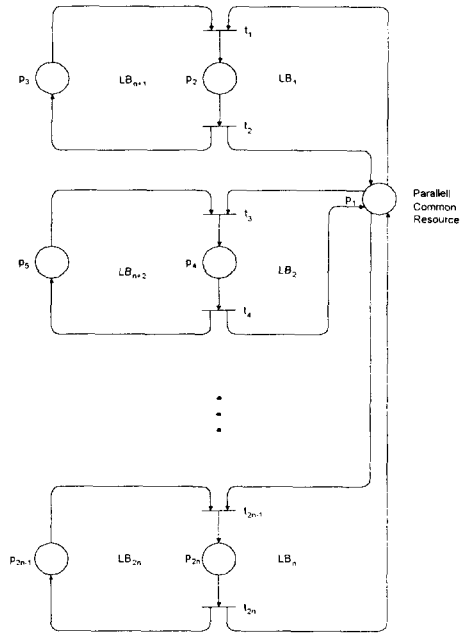


그림 1. Parallel Common Resource
Fig. 1. Parallel Common Resource

$$\text{시스템 성능} = \frac{\sum_{i=1}^n k_i}{n}$$

CASE 2. $m_0(PCR) < \sum_{i=1}^n k_i \cdot CT(LB_i)$

CASE 2의 경우, PCR의 초기토큰의 수가 충분치 못해, PCR의 성능이 PCR과 연결된 net들의 성능보다 작기 때문에, PCR의 성능에 의해 전체 시스템 성능이 결정된다. PCR을 구성하는 LB-Circuit의 수가 n개 일 때, 각 LB-Circuit의 성능은 다음과 같이 나타내어진다.

$$LB_i \text{의 성능} = \frac{a_i}{CT(LB_i)} \quad (i=1, 2, \dots, n-1)$$

$$LB_n \text{의 성능} = \frac{m_0(PCR) - \sum_{i=1}^{n-1} a_i}{CT(LB_n)}$$

($a_i(i=1, 2, \dots, n-1)$ 는 각 LB-Circuit의 토큰수)

이때, 전체 net의 성능은 다음과 같다.

$$\text{전체 net의 성능} = \frac{1}{n} \left(\sum_{i=1}^{n-1} \frac{a_i}{CT(LB_i)} + \frac{m_0(PCR) - \sum_{i=1}^{n-1} a_i}{CT(LB_n)} \right)$$

각 LB-Circuit의 토큰수 $a_i(i=1, 2, \dots, n-1)$ 의 범위를 구하면, $0 \leq a_i \leq k_i \cdot CT(LB_i)$

(k_i 는 LB_i 와 common TTP로 연결된 net의 성능)

LB_n 의 성능에서 $\sum_{i=1}^{n-1} a_i$ 의 범위를 구하면,

$$0 \leq \frac{m_0(PCR) - \sum_{i=1}^{n-1} a_i}{CT(LB_n)} \leq k_n$$

$$m_0(PCR) - k_n \cdot CT(LB_n) \leq \sum_{i=1}^{n-1} a_i \leq m_0(PCR)$$

n-1개의 변수 $a_i(i=1, 2, \dots, n-1)$ 가 각각 범위를 가지므로,

n-1차 공간에 closed set이 존재하고, $\sum_{i=1}^{n-1} a_i$ 의 범위 또한 n-1차 공간에 set을 가지므로, 두 set에 모두 포함되는 closed set이 존재하면, n차로 표현되는 전체 net 성능의 최대, 최소값이 존재한다. 성능의 최대값은 PCR의 시스템 성능이 된다.

증명: 지면 관계상 생략한다. ■

3.3.2 Sequential Common Resource의 성능

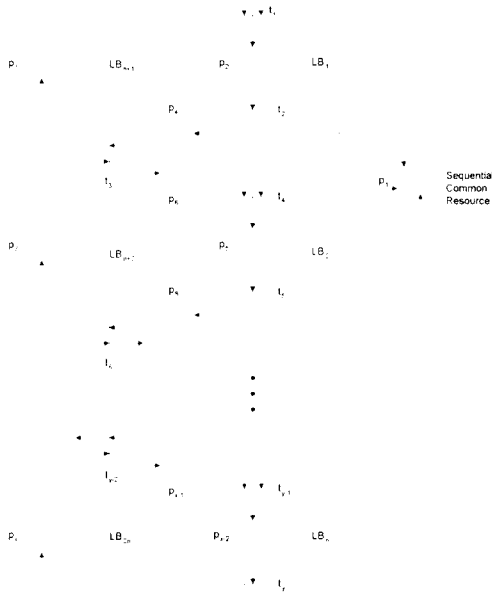


그림 2. Sequential Common Resource
Fig. 2. Sequential Common Resource

$$\text{CASE 1. } k \leq \frac{m_0(\text{SCR})}{\sum_{i=1}^n \text{CT}(\text{LB}_i)}$$

(k는 SCR과 common TTP로 연결된 net의 성능, $m_0(\text{SCR})$ 은 SCR의 초기토큰수, n은 SCR을 구성하는 LB-Circuit의 개수)

CASE 1의 경우, SCR과 common TTP로 연결된 net의 성능이 SCR의 성능보다 작기 때문에, 전체 시스템 성능은 Theorem 1에 의해 SCR과 연결된 net의 성능이다.

$$\text{시스템 성능} = k = \min \left\{ \frac{m_0(\text{LB}_{n+1})}{\text{CT}(\text{LB}_{n+1})}, \dots, \frac{m_0(\text{LB}_{2n})}{\text{CT}(\text{LB}_{2n})} \right\}$$

$$\text{CASE 2. } k > \frac{m_0(\text{SCR})}{\sum_{i=1}^n \text{CT}(\text{LB}_i)}$$

CASE 2의 경우, SCR의 성능이 SCR과 common TTP로 연결된 net의 성능보다 작다. 이때, 시스템 성능은 Theorem 2에 의해 결정된다.

Theorem 2: $k > \frac{m_0(\text{SCR})}{\sum_{i=1}^n \text{CT}(\text{LB}_i)}$ 의 조건을 만족할때, Sequential

Common Resource에서 시스템 성능은 $\frac{m_0(\text{SCR})}{\sum_{i=1}^n \text{CT}(\text{LB}_i)}$ 이다.

증명: 지면 관계상 생략한다. ■

4. 자동 조립 시스템에 적용

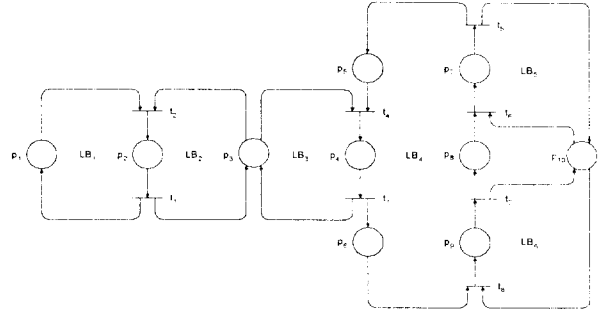


그림 3. 자동 조립 시스템에 대한 TPPN 모델
Fig. 3. The TPPN model of the Automated Assembly System

그림 3은 자동 조립 시스템을 TPPN으로 모델링한 것이다. 각 플레이스와 트랜지션의 의미는 지면관계상 생략한다.

시스템은 6개의 LB-Circuit ($\text{LB}_1 = p_1 t_1 a_2 t_1$, $\text{LB}_2 = p_2 t_1 p_3 t_2$, $\text{LB}_3 = p_3 t_1 p_4$, $\text{LB}_4 = p_4 t_1 p_5 t_2 p_6 t_3 p_7 t_3$, $\text{LB}_5 = p_1 t_1 p_7 t_3$, $\text{LB}_6 = p_1 t_1 p_7 t_3$)으로 구성된다. 각 플레이스의 지연 시간과 초기 토큰은 다음과 같다.

$$D = (8, 12, 8, 2, 2, 1, 2, 1, 2, 8)$$

$$m_0 = (6, 0, 8, 0, 4, 0, 0, 0, 0, 6)$$

LB_2 와 LB_3 는 PCR를 구성하고, LB_5 와 LB_6 는 SCR를 구성한다. LB_1 과 LB_2 의 Cyclic Time은 각각 20이고, LB_3 , LB_4 , LB_5 , LB_6 의 Cyclic Time은 각각 10이다.

성능 분석을 할 때, PCR을 중심으로 PCR과 연결된 net들의 성능을 구하고, 마지막에 PCR의 성능을 구한다. 본 예제에서, PCR과 연결된 net중 LB_3 에 연결된 net가 SCR과 LB_4 로 구성되어 있으므로 먼저 SCR과 LB_4 로 구성된 net의 성능을 결정 한 후, 그 성능을 이용하여 PCR의 성능을 구하면 전체 시스템 성능을 구할 수 있다.

SCR의 CASE를 따져 보면,

$$k = \frac{4}{10}, \quad \frac{m_0(\text{SCR})}{\text{CT}(\text{LB}_5) + \text{CT}(\text{LB}_6)} = \frac{3}{10} \quad (k \text{는 SCR과 연결된 } \text{LB}_4 \text{의 성능})$$

$$k > \frac{m_0(\text{SCR})}{\text{CT}(\text{LB}_5) + \text{CT}(\text{LB}_6)} \text{ 이므로 CASE 2이다.}$$

그러므로, Theorem 2에 의해, SCR과 LB_4 로 구성된 net의 시스템 성능은

$$\frac{m_0(\text{SCR})}{\text{CT}(\text{LB}_5) + \text{CT}(\text{LB}_6)} = \frac{3}{10}$$

시스템 성능이 $\frac{3}{10}$ 이므로, SCR(LB_5 와 LB_6 로 구성)과 LB_4 로 구성된 net의 성능은 $\frac{3}{10}$ 을 넘지 못한다.

PCR의 CASE를 따져 보면

$$m_0(\text{PCR}) = 8$$

$$k_2 \cdot \text{CT}(\text{LB}_2) + k_3 \cdot \text{CT}(\text{LB}_3) = \frac{3}{10} \cdot 20 + \frac{3}{10} \cdot 10 = 9$$

(k_2 은 LB_2 와 연결된 LB_1 의 성능, k_3 은 LB_3 와 연결된 net(SCR과 LB_4 로 구성된 net)의 성능)

$$m_0(\text{PCR}) < k_2 \cdot \text{CT}(\text{LB}_2) + k_3 \cdot \text{CT}(\text{LB}_3) \text{ 이므로 CASE 2}$$

이다.

$$PCR \text{의 성능} = \frac{1}{2} \left(\frac{a}{20} + \frac{8-a}{10} \right) = \frac{16-a}{40}$$

LB₂와 LB₃의 성능 범위에서 a의 범위를 각각 구할 수 있다.

$$0 \leq \frac{a}{20} \leq \frac{3}{10}, \quad 0 \leq a \leq 6$$

$$0 \leq \frac{8-a}{10} \leq \frac{3}{10}, \quad 5 \leq a \leq 8$$

위의 두식을 만족시키는 a의 범위는 다음과 같다.

$$5 \leq a \leq 6$$

그러므로, PCR 성능의 범위는 $\frac{10}{40} \leq \frac{16-a}{40} \leq \frac{11}{40}$ 이며, 시스템 성능은 $\frac{11}{40}$ 이다.

SCR의 성능은 PCR의 성능을 구할 때, PCR에 연결된 net의 성능으로 쓰였으므로, 위에서 구한 PCR의 시스템 성능은 전체 시스템 성능이다. 그러므로, TPPN의 성능은 $\frac{11}{40}$ 을 넘지 못한다.

그림 4는 자동 조립 시스템을 모델링한 TPPN를 시뮬레이션한 결과이다. 시뮬레이션 결과를 보면 시스템은 25 unit time에서 안정 상태가 되며, 25 unit time에서 44 unit time까지 주기를 가지고 반복됨을 알 수 있다. 각 플레이스의 지연 시간과 초기마킹을 그림과 같이 주었을 때, 안정 상태에서의 각 트랜지션의 발화율을 구할 수 있다.

시뮬레이션 결과에서 보면, PCR을 이루는 LB₂와 LB₃가 각각 $\frac{6}{20}$ 과 $\frac{4}{20}$ 의 성능을 가지므로 PCR의 성능은 $\frac{1}{4}$ 이 되어, 위에서 구한 시스템 성능 $\frac{11}{40}$ 보다 작음을 확인할 수 있다.

**** Timed Place Petri Nets Simulator Ver.3.0 ****

```

UT : t1 t2 t3 t4 t5 t6 t7 t8 / p1 p2 p3 p4 p5 p6 p7 p8 p9 p10
25: 0 0 0 0 0 0 1 0 / 4 2 6 0 2 0 0 1 1 5
26: 0 0 0 0 0 1 1 0 / 4 2 6 0 2 0 1 1 0 5
27: 0 0 0 0 0 1 0 0 / 4 2 6 0 2 0 2 0 0 4
28: 0 1 0 0 1 0 0 0 / 3 3 5 0 3 0 1 0 0 5
29: 0 1 0 0 1 0 0 0 / 2 4 4 0 4 0 0 0 0 6
30: 1 1 0 1 0 0 0 0 / 2 4 3 1 3 0 0 0 0 6
31: 1 1 0 1 0 0 0 0 / 2 4 2 2 2 0 0 0 0 6
32: 0 0 1 0 0 0 0 0 / 2 4 3 1 2 1 0 0 0 6
33: 0 0 1 0 0 0 0 1 / 2 4 4 0 2 1 0 0 1 5
34: 0 0 0 0 0 0 0 1 / 2 4 4 0 2 0 0 0 2 4
35: 0 0 0 0 0 0 1 0 / 2 4 4 0 2 0 0 1 1 5
36: 0 0 0 0 0 1 1 0 / 2 4 4 0 2 0 1 1 0 5
37: 0 0 0 0 0 1 0 0 / 2 4 4 0 2 0 2 0 0 4
38: 0 1 0 0 1 0 0 0 / 1 5 3 0 3 0 1 0 0 5
39: 0 1 0 0 1 0 0 0 / 0 6 2 0 4 0 0 0 0 6
40: 1 0 0 1 0 0 0 0 / 1 5 2 1 3 0 0 0 0 6
41: 1 0 0 1 0 0 0 0 / 2 4 2 2 2 0 0 0 0 6
42: 1 0 1 0 0 0 0 0 / 3 3 4 1 2 1 0 0 0 6
43: 1 0 1 0 0 0 0 1 / 4 2 6 0 2 1 0 0 1 5
44: 0 0 0 0 0 0 0 1 / 4 2 6 0 2 0 0 0 2 4
    
```

```

Delays   : D = { 8 12 8 2 2 1 2 1 2 8 }
Marking   : m0 = { 6 0 8 0 4 0 0 0 0 6 }
Duration  : 25 - 44
Firing rate : 6/20 6/20 4/20 4/20 4/20 4/20 4/20 4/20
    
```

그림 4. TPPN 모델의 모의실험 결과
Fig. 4. The Simulation of the TPPN model

5. 결론

본 논문에서는 Bottom-up 방식으로 모델링되고, 공유 자원을 포함하는 시스템의 성능을 분석하였다. 본 논문에서는 전체 시스템을 결합별로 나누고, 각 결합별로 성능을 분석하여, 전체 시스템 성능을 양적으로 표현하였다. 본 논문에서 구한 시스템 성능은 시스템을 구성하는 요소들에 따라 생기는 시스템 사용 한계를 정할 수 있게 한다.

참고문헌

- [1] H. Hillion and J. M. Proth, "Performance evaluation of job shop systems using timed event-graphs," *IEEE Trans. Automatic Control*, vol. 34, no. 1, pp. 3-9, Jan. 1989.
- [2] W. E. Kluge and K. Lautenbach, "The Orderly Resolution of Memory Access Conflicts Among Competing Channel Processes," *IEEE Trans. Computer*, vol. C-31, no. 3, pp. 194-207, 1982.
- [3] I. Koh and F. DiCesare, "Modular Transformation Methods for Generalized Petri Nets and Their Applications in Automated Manufacturing Systems," *IEEE Transactions on Systems, Man, Cybernetics*, vol. 21, no. 6, pp. 1512-1522, Nov. 1991.
- [4] S. Lafit, J. M. Proth and X. Xie, "Optimization of invariant criteria for event graphs," *IEEE Trans. Automatic Control*, vol. 37, no. 5, pp. 547-555, May 1992.
- [5] T. Murata, "Petri Nets: Properties, Analysis and Applications," *Proceedings of the IEEE*, vol. 77, no. 4, pp. 541-580, 1989.
- [6] J. L. Peterson, "Petri Net theory and the modeling of systems," Prentice-Hall, 1981.
- [7] J. Sifakis, "Performance Evaluation of Systems Using Nets," *LNCS : Net Theory and Applications*, Brauer(ed.), Berlin: Springer-Verlag, pp. 307-319, 1980.
- [8] M. Silva, "Toward a Synchrony Theory for P/T nets," *Eds. Concurrency and Nets, Special volume in the series "Advances in Petri Nets,"* New York: Springer-Verlag, pp. 435-460, 1987.
- [9] M. C. Zhou and F. DiCesare, "Parallel and sequential mutual exclusions for Petri net modeling of manufacturing systems with shared resources," *IEEE Trans. Robotics and Automation*, vol. 7, no. 4, 1991.
- [10] 고인선, 최징환, "Synchronic Time Ratio를 이용한 자동화 생산 시스템의 성능 분석," *한국 자동제어 학술회의 논문집*, vol. 1, pp. 5-8, 1995.