

표준마이크로머시닝 프로젝트

조 동 일

서울대학교 전기공학부, Tel : 880-8371, Fax : 885-6620

Standardized Micromachining Project(SMP)

Dong-il Cho

Seoul National University, School of Electrical Engineering

Abstract : This paper describes a standardized micromachining project (SMP) performed at Seoul National University (SNU). The SNU SMP uses a 3-mask, 2-polysilicon surface micromachining process. The entire process is performed at SNU Inter-University Semiconductor Research Institute(ISRC). In this first SNU SMP attempt, 16 1cm² cells containing different designs were fabricated.

1. 서론

Microelectromechanical System이라는 복합어와 MEMS라는 약자는 1989년 2월에 미국에서 지어졌으나 벌써 우리나라에 생소하지 않은 단어가 되었다. 이 분야는 실리콘 공정기술과 기타 정밀가공 기술을 이용하여 구동이 가능한 초소형 기계적 소자들을 제작하는 기술로, 이 기술을 이용하여 재반 센서 그리고 마이크로모터등이 개발되고 있다.

MEMS 소자들을 제작하는데 널리 쓰이는 실리콘 공정기술은 몸체 마이크로머시닝(bulk micromachining)과 표면 마이크로머시닝(surface micromachining)기술로 분류할 수 있다. 몸체 마이크로머시닝 기술은 KOH나 EDP등의 알칼리용액을 이용하여 실리콘 웨이퍼를 비등방성으로(anisotropically) 습식식각하여 박막 및 구조물을 제작하는 기술로 1970년대에 개발되었고, 관련 공정기술과 단결정 실리콘의 특성은 Petersen[1]등에 의해 잘 알려져 있고 정리되어 있다.

표면 마이크로머시닝 기술은 실리콘 기판에 여러층의 산화막, 절화막, 다결정 실리콘막등을 증착시키고 패터닝(patterning)한 후, HF(불산)로 산화막 희생층(sacrificial layer)을 제거시켜 동적운동이 가능한 다결정 실리콘 구조물을 제작하는 기술로 1986년 Howe와 muller의 resonant sensor[2]에서 비롯되었다. 이 희생층기술을 이용하여 마이크로모터와 Analog Device사의 ADXL 가속도계등이 개발되었으며, 현재 전세계적으로 표면 마이크로머시닝을 이용하여 여러 종류의 센서와 액츄에이터를 개발하는 연구가 활발하게 진행되고 있다.

몸체 마이크로머시닝 기술은 비교적 쉽고 장비에 관한 문제가 그다지 심각하지 않기 때문에 우리나라에서도 여러 대학

들과 연구소등에서 수행되고 있다. 그러나 MEMS 소자의 마이크로머시닝(micromachining)기술의 대표라고 할 수 있는 표면 마이크로머시닝 기술의 국내현황은 다르다. 표면마이크로머시닝공정은 APCVD, PECVD, LPCVD, Evaporator등 증착장비와, 여러종류의 막(film)을 선택 에칭할 수 있는 다수의 RIE등의 에칭장비가 필요하다. 이 장비들은 비교적 고가이고, 청정실에서 운용되어야함으로 표면 마이크로머시닝 공정을 자체적으로 완수할 수 있는 연구기관은 전세계적으로 극소수에 불과한 다.

이러한 공정장비의 문제점을 해결하는 방안으로 미국에서는 1992년 12월부터 NCMC (North Carolina Microelectronics Center)에서 DARPA(Defence Advanced Research Project Administration)의 지원하에 MUMP (Multi-User Microelectromechanical Projects)를 시작하였고 현재까지 수차례 걸쳐서 MUMPs를 진행하고 있다. MUMPs는 2-structural polysilicon 표준공정으로 지원자가 웨이퍼의 1cm² 면적을 일정가격(예:1993년에 cell당 \$500)에 산다. Mask 제작에 필요한 설계는 지원자가 CIF(Caltech Intermediate Format) file을 MCNC로 보내면, MCNC에서 웨이퍼 2장을 Process 한다. 공정이 끝난 후 웨이퍼를 dicing하여 gel-pak으로 사용자에게 보내어 주면 MUMPs가 완료된다.

그러나 MUMPs의 사용자는 복미에 극한 되어 있어서 우리에게 사용이 불가능하다. 따라서 일부 몇몇 기관을 제외하면 우리나라에서는 표면마이크로머시닝을 이용한 연구물 수행하기가 매우 어렵다.

2. CMOS 공정과 마이크로머시닝

마이크로머시닝 기술은 반도체 공정기술에서 파생되었기 때문에 일반적으로 CMOS등의 반도체공정을 할 수 있으면 마이크로머시닝을 할 수 있는것으로 오해하기 쉽다. CMOS공정과 몸체가공기술은 전혀 다르다고 할 수 있으나, CMOS공정과 표면 마이크로머시닝 기술은 많은 공통요소와 상반되는 요소들을 가지고 있다. 우선 두 공정기술의 공통점은 실리콘 기판

위에 표면적으로 가공되는 planar technology라는 점이다. 그리고 비교적 같은 재료(예 : 산화막, 질화막, doped polysilicon)를 같은 공정기계(예 : LPCVD, Furnace, RIE 등)로 공정한다는 것이다.

두 공정기술의 다른점은 아래의 <표1>에 정리하였다. 크기에 있어서 최소 단위크기는 같으나 표면마이크로머시닝의 경우 order차이가 2이상까지도 수용해야 하며, 이런 형상은 마스크의 제작 및 photolithography공정에서 정렬작업등을 어렵게 한다. 가장 큰 차이점은 증착되는 막의 두께인데 마이크로머시닝에서 요구되는 수 μm 의 막들은 증착 조건이 매우 까다롭고 선택에칭하는 공정면수들이 일반 반도체공정에 비교해서 다르다. 또한 여러층의 두꺼운 막은 잔류응력의 문제로 웨이퍼를 휘게 할 수도 있고 막의 파괴를 유발할 수도 있다.

<표1> CMOS공정과 표면마이크로머시닝의 차이

	CMOS	표면마이크로머시닝
mask 수	10~20	2~6
막의 두께	1 μm 이하	1~5 μm
형상의 크기	2~3 μm	2~500 μm

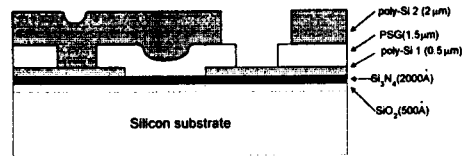
따라서 비슷한 재료를 사용하고, 같은 공정장비를 이용하지만, CMOS공정과 표면마이크로머시닝은 많은 차이점을 가지고, 기존 CMOS line에서 직접 마이크로머시닝을 하는데에는 많은 장비상 문제점이 있다.

3. SNU SMP의 시도 및 내용

1996년 4월에 서울대에서 표준 마이크로머시닝 프로젝트 (Seoul National University Standardized Micromachining Project : SNU SMP)를 시도하였다. 이 SNU SMP는 저자가 대학원에 신선했던 마이크로메카트로닉스 강좌를 중심으로 진행되었다. 최근 급상되고 있는 MEMS분야의 인지도 때문에 수용할 수 없을 만큼 많은 학생들이 수강신청을 하였으나, SMP를 시행하기 위해 수강인원을 서울대 반도체공동연구소(Inter-university Semiconductor Research Center : ISRC)에 입소된 학생들로 제한하였다.

이 1차 SNU SMP는 3-mask, 2-polysilicon공정으로 poly-silicon layer 2는 PSG (phosphor silicate glass)를 희생층으로 이용하여 움직이는 구조물로 사용이 가능하다. 최소 구조물의 크기와 간격은 2 μm 로 제한되었다. <그림 1>은 SMP공정으로 제작될 수 있는 구조의 예를 보여주고 있다.

Buffer oxide상부의 silicon nitride막은 그 위에 제작되는 MEMS 소자들을 기관으로부터 전기적으로 분리하기 위한 것이다. 여기서 패터닝이 가능한 층은 poly-Si layer 1, PSG, poly-Si layer 2이다. SMP 공정이 완료된후 PSG층을 HF로 식각하면 원하는 MEMS 소자를 얻게 된다.



<그림1> SNU SMP 구조물

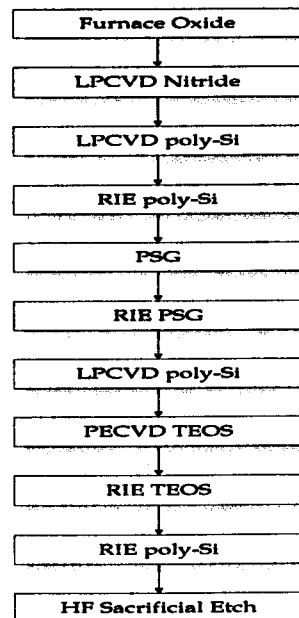
SMP는 각 수강학생이 개인별로 1cm² cell 크기의 MEMS 소자를 설계함으로써 시작된다. 설계용 CAD는 ISRC의 Cadence를 사용하였다. 그 후 mask의 제작에서부터 모든 공정은 ISRC에서 수행되었고, PECVD장비의 사용을 제외한 모든공정은 학생들에 의해 직접 수행되었다. SMP공정의 개략적인 흐름도는 <그림 2>에 나타내었다.

본 SMP에서 주목할 것은 poly-Si의 패터닝을 Cl₂ 플라즈마 환경에서 수행하였는데, 이는 구조물의 형상이 가능한 한 수직으로 공정될 수 있게 하기 위하여 선택하였다. <그림 2>의 PECVD TEOS공정은 비교적 두꺼운 poly-Si layer 2를 Cl₂ 플라즈마에서 식각하기 위하여 설계되었다.

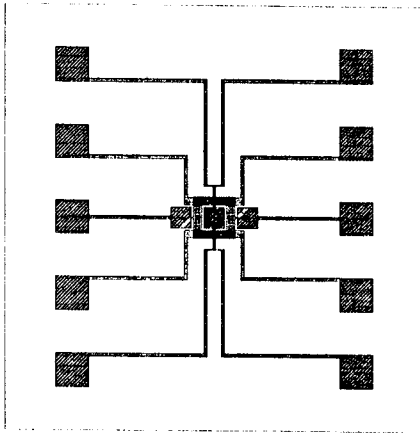
제 1 차 SMP 시도에는 16개의 1cm² cell이 설계 제작되었는데 cell의 내용들은 다음과 같다.

- poly-Si 구조물의 물성 조사 시편 - 1 개
- poly-Si 구조물의 전기특성 조사 시편 - 1 개
- scattering Fabry-Perot interferometer - 1 개
- PR-assisted release 방법 시편 - 1 개
- electrostatic actuators - 12 개

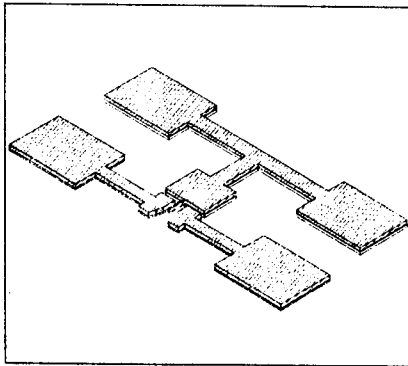
<그림 3-6>은 SMP에서 제작된 대표적인 설계들을 보여주고 있다. <그림 7>은 공정이 완료된 웨이퍼의 사진이다.



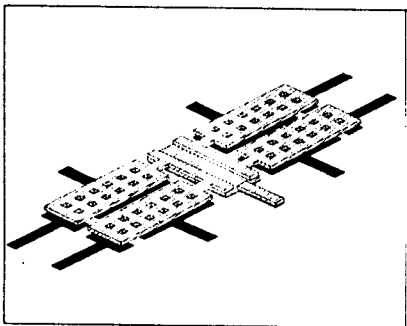
<그림2> SNU SMP공정 흐름도



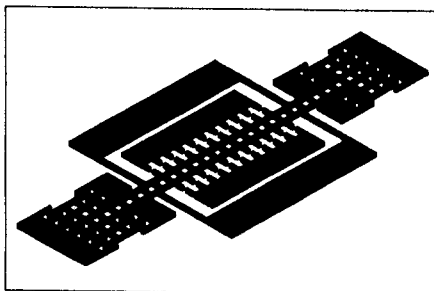
<그림3> Gimballed Actuator



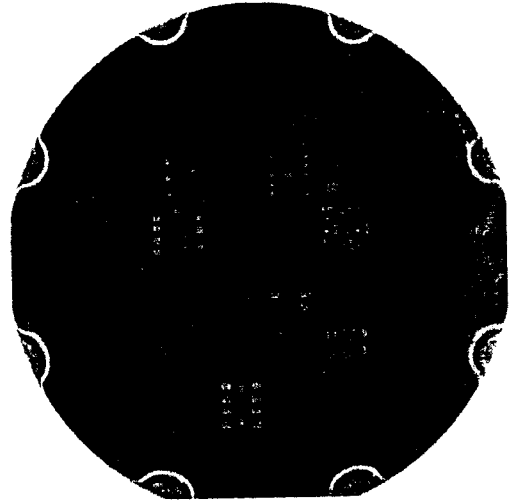
<그림4> Variable-Gap Actuator



<그림5> 4-Channel Micro Relay



<그림6> Tunable Resonator



<그림7> 공정이 완료된 웨이퍼

4. 결론

서울대에서는 1996년 4월 표준 마이크로머시닝 프로젝트 SNU SMP를 수행하였다. 신설된 전기공학부 대학원 학과목을 중심으로 16개의 MEMS 소자 설계를 16개의 1cm² cell에 3-mask, 2-polysilicon 공정을 이용하여 제작하였다. Mask 제작을 포함한 전 공정은 서울대 ISRC에서 수행되었다.

이 SNU SMP 공정은 비교적 간단한 설계와 공정을 이용하여 수행되었으나, 4-mask, 2-polysilicon process, 또는 5-mask, 3-polysilicon process로의 확장도 가능하다. 서울대 반도체공동연구소의 시설은 우리나라 전체에 개방되어 있기 때문에 많은 MEMS 연구자의 이용이 기대되고, 이 SNU SMP의 시도는 앞으로 우리나라 MEMS 연구분야의 개척에 도움이 될 것을 기대한다.

5. 사사

서울대 표준 마이크로머시닝 프로젝트 SNU SMP는 신설 대학원 학과목을 중심으로 수행되었고, 수강생 전원의 깊은 관심과 노력에 대해 감사드립니다. 또 공정표준화에 도움을 주신 전국전 김용권 교수님과, SMP가 순조롭게 진행될 수 있게 도움을 주신 박영준 교수님, 김종준 실장님, 이상래 기사님께 감사드립니다. 또 polysilicon 공정에 필요한 LPCVD 장비는 국방과학연구소 지정 서울대 자동제어특화연구센터의 지원하에 설치되었고 이에 감사드립니다.

6. 참고문헌

- [1] K. E. Petersen, "Silicon as a Mechanical Material", Proc. IEEE 70(5), 1982
- [2] R. T. Howe and R. S. Muller, "Resonant-microbridge Vapor Sensor," IEEE Trans. Electron Devices, ED-33, 499-506, 1986