

에치스탑을 사용하지 않고 제작된 5, 10, 20 μm 두께의 실리콘 박막과 구조물

권영신^o, 조동일

서울대학교 공과대학 전기공학부

5, 10, 20 μm Silicon Diaphragms and Features Fabricated without Using An Etch Stop

Yonung-Shin Kwon, Dong-Il Cho

School of Electrical Engineering, Seoul National University

Abstract : Single-crystalline silicon diaphragms and features are fabricated without using an etch stop process. The process involves vertical dry etching, double-sided alignment, followed by wet-chemical etching from the back side. The advantages of this process are that 5~50 μm diaphragms and features can be fabricated accurately and inexpensively. In addition, since no impurity-based process is introduced, highly uniform and homogenous properties can be achieved

에 정렬키를 만들고 웨이퍼 앞면에 정렬된 패턴을 원하는 박막과 구조물 두께만큼 BCl_3 가스에 의한 플라즈마 건식식각으로 제작한다. 다음 순서는 질화 막으로 웨이퍼 뒷면을 보호한 뒤 웨이퍼 뒷면을 원하는 패턴으로 습식식각한다. 웨이퍼가 원하는 두께만큼 식각되면 앞면에 식각된 패턴이 풀리고 이때 웨이퍼를 세척한다. 웨이퍼 전체에서 패턴이 풀리는 시간의 변화가 박막 두께의 균일성을 좌우하나 본 실험결과 웨이퍼 전체의 패턴들이 거의 동시(수초이내)에 풀렸다. 이는 박막 두께가 매우 균일하게 제작되었음을 보여준다.

1. 서론

실리콘 마이크로머시닝 기술을 이용하여 MEMS 소자들을 설계 제작하는데에, 얇은 두께의 박막과 박막위에 미세 구조물을 제작하는 기술은 가장 많이 쓰이는 기술중 하나이다. 최종 생산용으로 소자들을 제작할 때는 p+에치스탑층이 내장된 epitaxial 웨이퍼나 두꺼운 산화막이 있는 bonded SOI 웨이퍼를 KOH나 EDP로 식각 하여 원하는 박막 구조물을 제작할 수 있으나 이 특수 웨이퍼들은 비교적 고가라는 단점을 가지고 있다. 특히 연구개발용으로 MEMS 소자들을 설계 제작할 때에는 원하는 사양의 웨이퍼를 구하기도 힘들고 lot을 주문해야 하는 경비 문제가 있다. 대체 방법으로 n-epi 웨이퍼를 KOH 용액에서 electrochemical etch 방법으로 원하는 구조물을 제작할 수도 있으나, 역시 웨이퍼 준비의 문제점과 p-n junction의 leakage current control 등의 기술 개발이 중요하다. 이러한 문제점들 때문에 MEMS 소자 개발 단계에서 가장 널리 쓰이는 방법은 boron을 $5 \times 10^{19} \text{cm}^{-3}$ 이상의 농도로 확산하여 생성된 p+층을 에치스탑으로 사용하는 방법이다. 그러나 이 방법의 가장 큰 단점은 매우 높은 불순물이 함유된 층을 사용하여 박막과 구조물을 제작하여야 하기 때문에, 전류용력이 크다는 것과 구조물을 연속 진동 시킬 때 물성치가 10% 정도의 큰 범위에서 변하기 때문에[1] 기계구조물로 매우 부적합하다.

본 연구는 이러한 박막구조물 제작의 문제점들을 해결할 수 있는 방법을 제안 한다. 공정 방법은 우선 웨이퍼 앞면과 뒷면

2. 기존의 박막 제조방법

2.1 Boron Etch Stop

붕소식각 정지법은 실리콘에 붕소의 도핑 농도가 약 10^{19}cm^{-3} 이상이 되면 EDP(Ethylene Diamine -Pyrocatechol) 에서의 식각율이 점점 줄어들어서 10^{20}cm^{-3} 정도가 되면 약 1000분의 1정도로 떨어지는 원리를 이용하는 방법이다[2]. 여기서 EDP 대신 KOH도 사용할 수 있다. 따라서 실리콘 기판위에 $10^{19} - 10^{20} \text{cm}^{-3}$ 정도의 농도를 가진 p+층을 형성하는 기술이 중요한데 그 방법으로는 다음과 같은 방법들이 있다. 첫째는 반도체내의 불순물들은 열을 가해주면 안쪽으로 퍼져들어가는 현상인 diffusion을 이용할 수 있는데 이때는 diffusion을 시키기전에 불순물을 기판위에 얹어주는 predeposition을 하거나 ion implantation을 통해서 diffusion시킬 불순물을 기판에 붙여주는 과정이 필요하다. 다른 한가지 방법은 epitaxy 방법으로 성장하여 에치스탑으로 사용하는 방법이다.

2.2 Electrochemical Etch Stop

Electrochemical Etch Stop 방법은 붕소식각 정지법의 경우 요구되는 p+의 도핑농도보다 적어도 된다는 점과 고온의 열처리가 필요없다는 점때문에 유리한 면을 가진 방법이다. 가장 기본적인 원리는 diode에 역방향압이 걸릴때 생기는 depletion layer를 이용하는 것으로 n-epi층이 있는 p형 기판에 KOH용

액을 통해서 역방향의 전압을 가해주게 되면 대부분의 전압강하는 p-n접합부분에서 일어나므로 p형 기판과 용액사이에는 전압차이가 없어져서 KOH용액내에서의 실리콘의 일반적인 에칭이 일어나게 된다. 그러나 p형 실리콘이 완전히 식각되고 n형부분이 용액과 직접 닿게 되면 n형에 걸려있는 (+)의 전압때문에 anodic passivation 현상이 일어나게 되어 SiO₂층이 형성되어 더이상 식각이 경지된다. 따라서 n층 두께가 생성되는 막의 두께를 결정하므로 막의 두께조절이 가능하다.

그러나 실제로는 기본적인 2개의 전극으로만 식각을 수정할 경우에는 diode의 leakage 전류 때문에 두께가 불균일한 p형 기판에서는 p형 기판의 일부분의 전압이 passivation이 일어날 정도로 anodic하게 될 수도 있다. 이 경우에는 너무 빨리 에칭이 정지할 수도 있으므로 이런 문제 점을 해결하기 위해서 기존 전압을 유지할 수 있도록 3개나 4개의 electrode를 사용하는 방법들이 있다[3].

3. 에치스트림을 사용하지 않고 박막을 제작하는 기술

우리의 공정 방법은 우선 웨이퍼 앞면과 뒷면에 정렬키를 만들고 웨이퍼 앞면에 정렬된 패틴을 원하는 박막과 구조를 두께만큼 BCl₃가스에 의한 플라즈마 건식식각으로 제작한다. 다음 순서는 질화 막으로 웨이퍼 뒷면을 보호한 뒤 웨이퍼 뒷면을 원하는 패틴으로 습식식각하여 웨이퍼가 원하는 두께만큼 식각되면 앞면에 식각된 패틴이 돌리는 공정이다. 그 세부 공정중 프라즈마에 의한 건식식각 기술과 양면정렬기술은 핵심 공정 기술로 그 세부 사항은 다음과 같다.

RIE 식각[4]은 플라즈마 식각방법중 하나로 화학적으로 반응하는 종을 형성하는 상대적으로 안정된 분자를 해리시키는 글로우 방전을 사용 하고 그런 화학 작용을 선택하므로써 이 종들이 고체와 반응 휘발성 물질을 생성하는 식각방법으로 결정방향과 무관한 식각, 정확한 사진 패틴의 전달, 간단한 단위 공정 및 정밀한 제어성을 가지며 특히 습식식각과 다르게 알카리를 사용하지 않으므로 식각후 로(furnance)를 오염시키지 않고 사용할수 있다는 큰 장점을 가지고 있는 방법이라 할 수 있겠다. 본 연구에 사용한 프라즈마 식각은 서울대 반도체공동연구소의 RIE284를 사용하여 수행하였고 사용가스는 염소류 가스를 사용하여 수직식각을 피하였다. 염소류는 상온에서 실리콘과의 에너지 장벽의 존재로 자발적인 반응을 일으키지 않으므로 반응이 일어나기 위한 에너지를 주어야 하며 주된 반응이 이온 폭격에 의해 이루어 지므로 수직벽은 보호막(passivation layer)으로 거의 완벽히 보호가 되는 반응 기구(mechanism)를 갖는다.

건식 공정 공정 개발은 표1에 정리하였다. 공정의 최적화를 위해 3 단계로 나누어 진행하는데 처음 두 단계(2분)는 공정 분위기를 잡도록 유도 하였고, 마지막 단계인 3번째 단계가 주 공정으로 단위 공정을 개발하였다. 여기서 N₂는 염소 이온농도

를 높여 실리콘과 반응하여 농도가 희석되는 것을 방지하여 주는 역할을 한다.

표 1. Deep RIE 건식식각을 위한 공정 조건

변 수	단계1	단계2	단계3
전 력	200W	300W	475W
압 력	20mTorr	20mTorr	40mTorr
시 간	1분	1분	10분
사 용 가 스			
Cl ₂	0 sccm	2 sccm	50sccm
BCl ₃	14 sccm	14 sccm	5 sccm
N ₂	7 sccm	7 sccm	0 sccm
실리콘 식각율 :		9500 Å/min	
산화막 식각율 :		1000 Å/min	
실리콘 : 산화막 = 9.5 : 1			

박막을 제작하기 위해서는 웨이퍼 한쪽에서는 RIE로 deep 에칭을 하고, 웨이퍼의 반대면에서는 KOH로 식각을 하는 공정이 필요하므로 이를 위해서 양면 정렬 치구를 제작하였다. 이 장치의 원리는 이미 만들어진 한 장의 마스크를 3개의 기둥에 완전히 밀착시킨 후 아직 패틴이 없는 마스크를 이 기둥에 밀착시킴으로써 항상 같은 위치에 마스크를 위치시킬 수 있게 한 후 이 상태에서 새로운 마스크에 패틴을 만들으로써 같은 패틴이 양면에 나타나도록 하는 것이다.[5]

4. 박막제작 및 결과

먼저 웨이퍼 양면에 정렬키를 만들기위해 양면 정렬 치구를 이용하여 원본마스크로 복사마스크를 만든다. TEOS를 3장의 웨이퍼에 원하는 두께에 대한 마스크층으로 앞면에 1, 2, 3µm 증착시키고 웨이퍼 뒷면에 5000Å의 TEOS를 증착시킨후 양면 정렬 치구와 양면 정렬 마스크를 이용하여 마스크 사이에 PR이 코팅된 웨이퍼를 샌드위치 구조로 놓고 양면의 같은 위치에 정렬키를 사진 작업으로 패틴한다. 웨이퍼 양면의 패틴부위 산화막을 RIE로 식각한 뒤 PR을 O₂ ashing과 H₂SO₄로 제거한다. 다시 웨이퍼 앞면에 PR코팅을 한후 원하는 박막모양을 정렬키를 이용하여 정렬한뒤 사진작업하고 패틴부위 산화막을 RIE로 식각한 뒤 PR을 O₂ ashing과 H₂SO₄로 제거한다. 플라즈마 건식식각방법을 사용하여 TEOS가없어진 웨이퍼양면을 5, 10, 20µm로 깊이 실리콘 식각한후 남은 TEOS를 BHF로 완전히 제거하고 LPCVD를 이용하여 buffered 열산화막(500Å)과 질화막을 1600Å정도 증착시킨다. 박막이 형성된 면의 반대면에 각각 사각오리피스를 사진작업으로 패틴하고 질화막을 마스크 재료로하여 KOH수용액으로 습식식각을 하므로써 각각 반대면에 완전한 박막을 형성한다. 다음 그림1은 공정순서를 나타내고 있으며, 그림2(a), (b), (c), (d)는 위의제작 방법에 해 제작된 박막구조물이다.

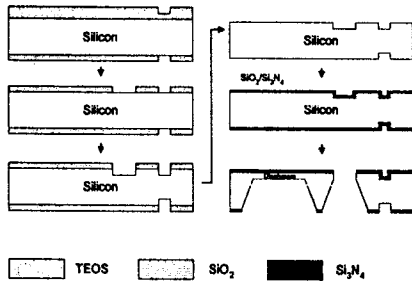
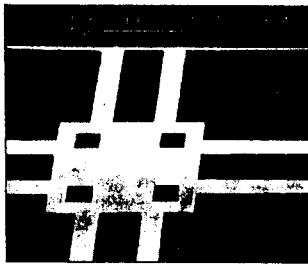


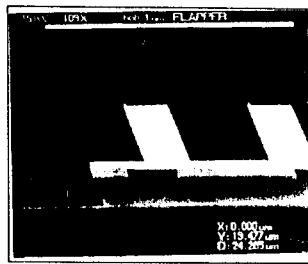
그림 1. 박막공공 공정순서



(a)



(b)



(c)

그림 2. (a), (b), (c) 20 μ m 박막과 박막상의 구조물 SEM사진

5. 결론

본 연구는 식각전지법(ECE)이나, 붕소식각전지법을 사용하지 않고 다양한 두께의 박막이나 박막상의 구조물을 제작하는 방법을 개발하였다. 공정순서는 크게 양면정렬에 의한 정렬키가공, 플라즈마 건식식각, 박막구조물반대면에서의 습식식각의 3가지 순서로 이루어지며, 이 방법은 양면정렬 치구를 사용하여 한다는 어려움은 있으나 도핑에 의해 생성된 박막의 스트레쓰문제를 해결할 수 있으며, 플라즈마 건식으로 박막두께를 정의하므로 시간식각만으로 막막을 제조했을때의 박막두께를 정확히 알 수 없다는 단점을 보완한 방법이라 할 수 있겠다.

6. 사사

본 연구는 교육부 학술연구과제(ISRC-E-94-4060)에 의해 지원 되었고 이에 감사드립니다.

7. 참고 문헌

- [1] Tabid-Azar, Wong, Ko, "Aging Phenomena in Heavily Doped(p+) Micromachined Silicon Cantilever Beams", Sensors and Actuators A, (33), 1992
- [2] N. F. Raley, Y. Sugiyama, and T. Van Duzer (1984) "(100) Silicon Etch -Rate Dependence on Boron Concentration in Ethylenediamine-Pyrocatechol-Water Solutions", J. Electrochem. Soc.p161-171, Jan. 1984
- [3] Ben Kloeck, Scott D. Collins, Nico F. De Rooji, and Rosemary L.Smith, "Study of Electrochemical Etch-Stop for High-Precision Thickness Control of Silicon Membranes", IEEE Transactions on Electron Devices, vol. 36, No.4, April 1989
- [4] Henri Jansen, Han Gardeniers, and Jan Fluitman, "A survey on the reactive ion etching of silicon in microtechnology"
- [5] Richard M. White and Stuart W. Wenzel, (1988) "Inexpensive and Accurate Two-sided Semiconductor Wafer Alignment", Sensors and Actuators, 13(1988), p 391-395