

경사진 드레인 산화막을 갖는 SOI RESURF LDMOS에 관한 연구

박 일 용 · 김 성 룡* · 최 연 익* · 한 민 구**
 *아주대학교 전기전자공학부 · **서울대학교 전기공학부

A Study on the SOI RESURF LDMOS with a Taper Oxide on the Drain

Il-Yong Park · Sung-Lyong Kim* · Yeam-Ik Choi* · Min-Koo Han**
 *School of Electrical Eng., Ajou Univ., **School of Electrical Eng., S.N.U.

ABSTRACT

An the SOI RESURF LDMOS with a taper oxide on the drain is proposed and verified by the device simulator, MEDICI. Simulation results on the proposed LDMOS exhibits the increase in the breakdown voltage by 12 % and reduction in the drift region length by 25 %.

식 (1)은 수평방향의 표면전계가 임계전계에 도달하기 전에 에피층이 완전히 공핍되기 위한 조건이며, 본 논문에서는 이 조건에 맞도록 소자를 설계했다. 제안된 구조는 그림 1(b)와 같이 게이트와 드레인의 산화막을 경사지게 했고, 항복특성을 MEDICI 시뮬레이션을 통해 조사했으며, 시뮬레이션에 사용된 변수를 표 1에 정리했다.

1. 서 론

SOI(Silicon-On-Insulator) RESURF LDMOS[1]는 절연 격리가 용이하고, 누설전류가 작으며, 높은 항복전압을 얻을 수 있기 때문에 PIC(Power Integrated Circuits)에 적합한 소자이다. 최근에는 SDB(Silicon Direct Bonded) wafer 제조 기술[2]의 발전에 따라 이를 이용한 SOI 소자의 연구가 활발하다.

표 1. 시뮬레이션에 사용된 변수.

변 수	값
드리프트 영역의 농도	$2 \times 10^{15} \text{ cm}^{-3}$
드리프트 영역의 길이	20 μm
매몰 산화막 두께	2 μm
게이트 산화막의 두께	0.1 μm
에피층의 두께	5 μm
소오스, 드레인 접합 깊이	1 μm
P 바디 영역 접합 깊이	3 μm
경사각(제안한 LDMOS)	5.7 °

그림 1은 SOI RESURF LDMOS의 단면구조를 나타낸 것으로 n형 기판 위에 매몰 산화막층이 있고 그 위의 에피층에 소자가 형성된다. RESURF 원리는 에피층의 두께를 얇게하여 드리프트 영역을 완전히 공핍시킴으로써 항복전압을 높일수 있다[3]. 그림 1(a)는 기존의 SOI RESURF LDMOS의 구조이고, 이 구조의 항복시 표면전계 분포는 그림 2와 같이 게이트 끝과 드레인 끝 부분에 전계집중현상으로 인한 높은 전계를 가지게 된다.

경사진 산화막은 TSUPREM IV를 사용하여 구현했고, 공정순서는 그림 3에 나타났다.

항복전압을 계산하기 위해 게이트와 소오스를 접지시키고, 드레인에 + 전압을 증가시켰다. $L_d=20 \mu\text{m}$ 에서 경사진 산화막을 갖는 SOI LDMOS의 항복전압은 297 V, 기존의 SOI LDMOS는 267 V로 약 11 % 향상되었다. $L_d=20 \mu\text{m}$ 일 때 경사진 산화막을 갖는 SOI LDMOS와 기존의 SOI LDMOS의 표면전계분포를 그림 4에 나타났다. ---은 기존의 LDMOS의 전계이고, ---은 경사진 산화막을 갖는 LDMOS의 전계이다. 기존의 LDMOS의 전계에서는 양 끝쪽에서 전계의 첨두치가 존재하나 제안된 LDMOS에서는 첨두치가 상당히 감소하였다. 그림 4에서 전압은 267 V로 기존의 LDMOS의 항복전압과 같으며, 제안된 LDMOS의 경우에는 항복이 일어나지 않은 상태이다.

본 논문에서는 드레인과 게이트의 산화막을 경사지게 하여 전계집중에 의한 높은 전계를 효과적으로 줄일수 있는 구조를 제안하고, 이차원 소자 시뮬레이터인 MEDICI를 사용해서 제안된 RESURF LDMOS가 기존의 LDMOS에 비해 우수함을 검증하고자 한다.

제안한 구조를 $L_d=10 \mu\text{m}, 15 \mu\text{m}, 20 \mu\text{m}, 30 \mu\text{m}$ 의 경우에 대해 시뮬레이션했으며, 각 경우의 항복전압을 그림 5에 나타났다. 그림 5에서 ■는 경사진 산화막을 갖는 SOI LDMOS의 항복전압이고, △는 기존의 SOI LDMOS의 항복

2. 시뮬레이션 결과 및 고찰

일반적으로 RESURF 소자의 에피층의 두께와 농도, d_{epi}, N_{epi} 의 관계는 J. A. Appels[3]에 의하면 다음과 같다.

$$N_{epi} \times d_{epi} \approx 10^{12} \text{ cm}^{-2} \quad (1)$$

전압이다. $L_{dr}=15 \mu\text{m}$ 이상에서 경사진 산화막을 사용한 SOI LDMOS가 기존의 구조에 비해 항복전압이 약 12 % 향상되었다. 항복전압은 드리프트 영역의 길이에 따라 어느 특정한 값 이상에서는 포화되며, 기존의 구조에서는 $L_{dr}=20 \mu\text{m}$, 제안된 구조에서는 $L_{dr}=15 \mu\text{m}$ 일 때가 포화되는 드리프트 길이라고 할 수 있다. 그림 6은 항복시의 표면전계분포로 ----는 기존의 LDMOS의 전계이고, ---과 ---은 경사진 산화막을 갖는 SOI LDMOS의 전계이다. $L_{dr}=20 \mu\text{m}$ 인 경우에는 항복시에도 제안된 구조의 표면전계가 기존의 구조에 비해 낮으며, $L_{dr}=15 \mu\text{m}$ 로 5 μm 를 줄인 경우 최대 전계값이 기존의 구조와 비슷했다. 따라서 경사진 산화막을 사용함으로써 항복전압을 높일 뿐만아니라 L_{dr} 을 줄일 수 있고, 따라서 칩 면적을 감소시킬수 있으리라 기대된다.

3. 결론

본 논문에서는 경사진 드레인 구조를 갖는 SOI RESURF LDMOS를 제안하였고, 항복전압을 기존의 LDMOS와 비교하였다. 제안한 구조는 기존의 구조에 비해 항복전압이 12 % 향상되었으며, 드리프트 영역의 길이를 25 % 줄일 수 있었다. 본 논문에서 제안한 구조는 RESURF 원리를 이용하는 LIGBT, LMCT등에 응용될 수 있으리라 기대된다.

이 연구는 95년도 한국과학재단 연구비 지원에 의한 결과임
(과제번호 : 95-0100-05-01-3)

참고문헌

- [1] E. Arnold, "Silicon-on-Insulator devices for high voltage and power IC application," *J. Electrochem. Soc.*, Vol.141, No.7, pp.1983-1988, 1994.
- [2] F. Sugimoto and Y. Arimoto, "Low temperature SOI wafer bonding," *Proc. ISPSD*, pp.240-241, 1992.
- [3] J. A. Appels, et al., "Thin layer high-voltage device(RESURF Device)," *Philips J. Res.*, Vol. 35, pp.1-13, 1980.

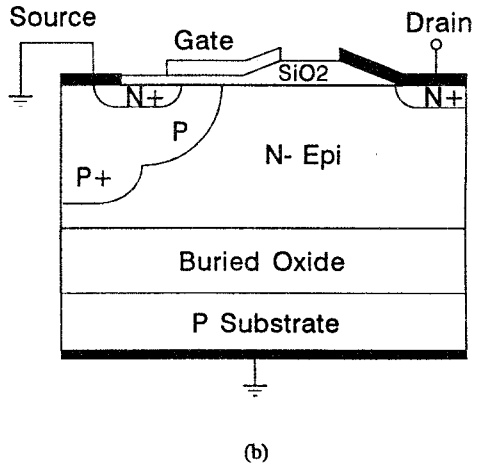
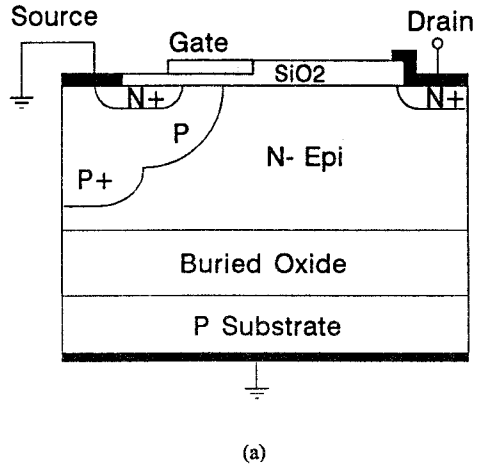


그림 1. 소자의 단면도.

(a) 기존의 SOI LDMOS

(b) 경사진 산화막을 갖는 SOI LDMOS

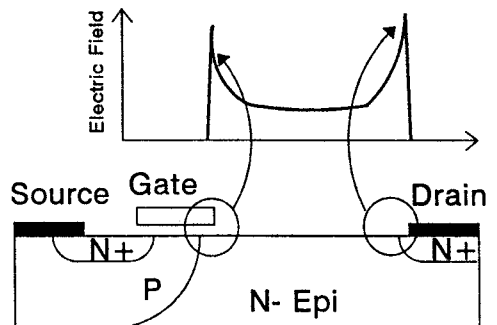


그림 2. 기존의 SOI LDMOS의 항복시 표면전계분포.

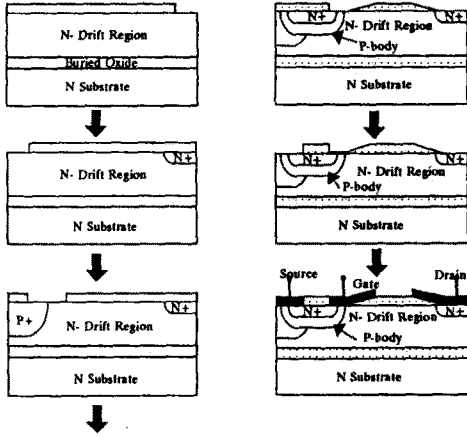


그림 3. 경사진 산화막을 갖는 SOI LDMOS의 공정순서.

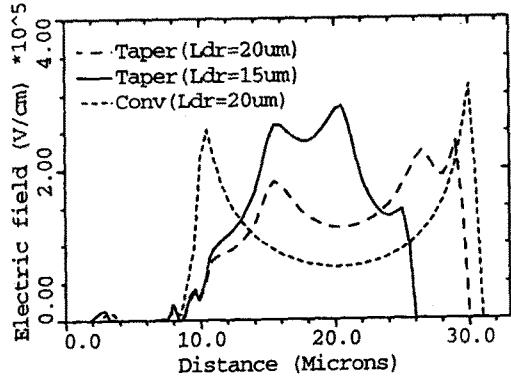


그림 6. 함복시 표면전계분포.

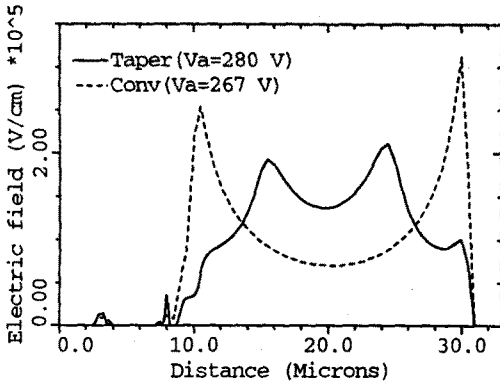


그림 4. 기존의 SOI LDMOS와 경사진 산화막을 갖는 SOI LDMOS의 표면전계분포.

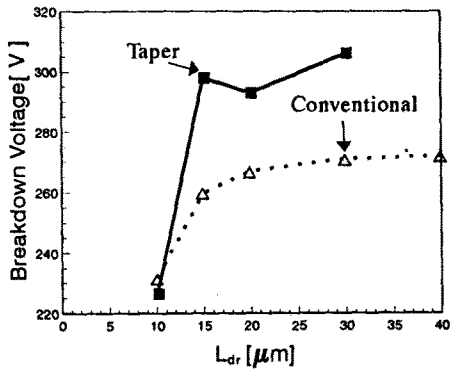


그림 5. 드리프트 영역의 길이(L_{dr})에 따른 함복전압.