

다결정 실리콘 박막 트랜지스터에서의 수소화에 따른 전기적 스트레스의 영향

김용상, 최만섭*
 명지대학교 공과대학 전기공학과

Effects of Electrical Stress on Hydrogen Passivated Polysilicon Thin Film Transistors

Yong-Sang Kim, Man-Seob Choi*
 Department of Electrical Engineering, Myongji University

Abstract

The effects of electrical stress in hydrogen passivated and as-fabricated poly-Si TFT's are investigated. It is observed that the charge trapping in the gate dielectric is the dominant degradation mechanism in poly-Si TFT's which has been stressed by the gate bias alone while the creation of defects in the poly-Si film is prevalent in gate and drain bias stressed devices. The degradation due to the gate bias stress is dramatically reduced with hydrogenation time while the degradation due to the gate and drain bias stress is increased a little. From the experimental results, it is considered that hydrogenation suppress the charge trapping at gate dielectrics as well as improve the characteristics of poly-Si TFT's.

I. 서론

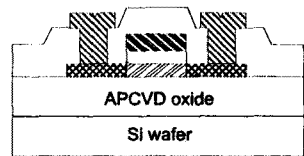
다결정 실리콘 (Polycrystalline Silicon, poly-Si) 박막 트랜지스터 (Thin Film Transistor, TFT)는 최근 액정 평판 표시기 (Liquid Crystal Display, LCD)의 구동 소자로써 그 몰성 및 소자개발에 관한 연구가 활발히 진행되고 있다[1]. 다결정 실리콘 박막 트랜지스터의 제작 방법으로는 실리콘 wafer 기판을 사용하여 1000 °C 정도의 고온 열처리 방법을 이용하거나 유리 기판을 사용하여 600 °C 미만의 저온 열처리 방법을 이용하고 있다[2,3]. 그러나, 다결정 실리콘 박막 트랜지스터에서는, 다결정 실리콘 박막 내부에 존재하는 그레인 경계면에서의 트랩 상태 밀도가 존재함으로써 소자의 특성을 저하시키는 문제점이 있다. 수소화는 이러한 트랩 상태 밀도를 감소시킴으로써 다결정 실리콘 박막 트랜지스터의 특성을 향상시키는 데 가장 중요한 공정으로 알려져 있다[4].

수소화 공정의 최적화뿐만 아니라, 다결정 실리콘 박막 트랜지스터의 안정성 문제는 신뢰성의 측면에서 매우 중요하다[5,6]. 비록 다결정 실리콘 박막 트랜지스터의 열화 현상은 널리 사용되고있는 비정질 실리콘 박막 트랜지스터와는 달리 심각한 문제는 아니지만, 소자 특성의 열화 현상을 무시될 수는 없다. 다결정 실리콘 박막 트랜지스터에서의 신뢰성 문제들에 관한 보고는 거의 없으며, 더욱이 다결정 실리콘 박막 트랜지스터에서의 수소화에 따른 열화 현상은 아직 규명되지 않았다.

본 논문에서는 수소화 조건에 따른 다결정 실리콘 박막 트랜지스터의 열화 현상과의 관계를 규명하기 위하여 수소화 이전 상태와 수소화 이후의 다결정 실리콘 박막 트랜지스터에서의 열화 현상을 다양한 전기적 스트레스 조건들에 의해 고찰하였다.

II. 실험방법

실리콘 웨이퍼위에 상압 화학 기상 증착 (Atmospheric Pressure Chemical Vapor Deposition) 방법으로 480 °C 에서 5000 Å의 산화막을 증착시킨 다음, 저압 화학 기상 증착 (Low Pressure Chemical Vapor Deposition) 에 의하여 550 °C 에서 1000 Å의 비정질 실리콘을 증착하여 활성 영역 (active region) 을 형성하고, 600 °C에서 48 시간 동안 열처리하여 다결정화하였다. 게이트 산화막은 상압 화학 기상 증착 방법으로 480°C에서 1000Å 두께로 증착하였다. 자기 정렬 (self-alignment) 방법에 의하여 소오스, 드레인 및 게이트 영역을 이온 주입 방법으로 30 keV 에서 $5 \times 10^{15} \text{ cm}^{-2}$ 농도의 P'로 도우핑하고 600 °C의 질소 분위기에서 24 시간 동안 열처리하여 주입된 이온을 활성화시켰다. 그리고 보호막으로서 산화막을 상압 화학 기상 증착 방법으로 7000 Å 두께로 증착하였다. 제작된 다결정 실리콘 박막 트랜지스터의 구조는 그림 1에 나타냈다.



Al Gate poly-Si SiO₂
 n⁺ poly-Si undoped poly-Si

그림 1. Co-planar 구조로 제작된 다결정 실리콘 박막 트랜지스터의 단면도

플라즈마 수소화는 다양한 시간에 따라서 플라즈마 반응 챔버에서 300 °C, 0.5 Torr, 전력 밀도는 0.25 W/cm² 에서 6 시간 까지 수행하였다. 전기적 스트레스는 게이트와 드레인에 30 V의 전압을 인가하거나 또는 30 V의 게이트 전압만을 장시간 인가하며 소자의 특성 변화를 관찰하였다. 전계 효과 이동도와 문턱 전압과 같은 소자 변수들을 수소화 시간과 전압 스트레스 시간에 따라서 측정하였다. 그리고 이러한 변수들의 측정은 HP4145B 반도체 변수 분석 장비를 이용하여 행하였다.

III. 결과 및 고찰

제작된 다결정 실리콘 박막 트랜지스터의 전달 특성 곡선(I_{ds}와 V_g의 관계)을 수소화 시간을 변화하며 측정하여 그림 2에 나타내었다. 수소화 시간을 0 분(as-fabricated)에서 300 분까지

변화하며 채널의 폭과 길이가 각각 $10\ \mu\text{m}$ 와 $20\ \mu\text{m}$ 인 다결정 실리콘 박막 트랜지스터에서 드레인-소스 전압(V_{ds})이 5 V일 때의 전달 특성을 측정하였다. 수소화 시간에 따라 on-전류(I_{on})와 전계 효과 이동도(μ_{fet})는 증가하며, 문턱 전압(V_{th})과 문턱 이전 기울기(S)는 감소하여 소자의 특성이 현저하게 증가함을 알 수 있다. 수소화 시간에 따른 문턱 전압과 문턱 이전 기울기중의 소자 특성 변수의 변화를 그림 3에 나타냈다. 문턱 전압은 60분내에 현저하게 감소하며, 수소화 이후 약 2.5 V의 포화된 값을 보여주고 있다. 전계 효과 이동도는 120 분까지의 수소화 시간에 따라 단조증가하고, 이후에 약 $31\ \text{cm}^2/\text{V}\cdot\text{sec}$ 의 값으로 천천히 포화된다. 이러한 소자 변수들의 특성 향상은 약 180 분의 수소화 이후에 포화된 특성을 나타냄을 알 수 있다.

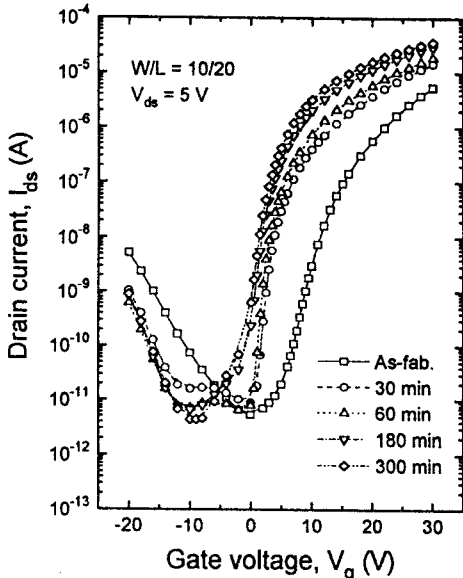


그림 2. 수소화 시간에 따라 측정된 다결정 실리콘 박막 트랜지스터($W=10\ \mu\text{m}$, $L=20\ \mu\text{m}$)의 전달 특성 곡선.

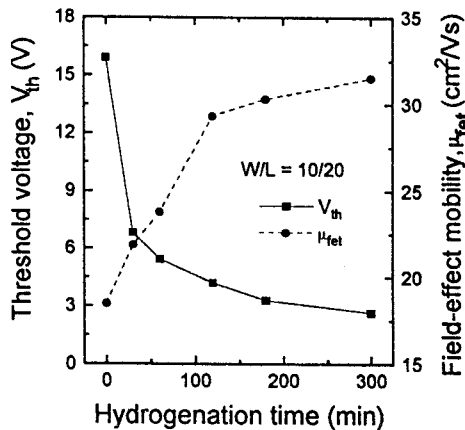


그림 3. 수소화 시간에 따른 전계 효과 이동도의 증가 및 문턱 전압의 감소

전기적 스트레스는 두 가지 형태(게이트와 드레인에 각각 30 V의 전압을 인가한 경우와 게이트에만 30 V의 전압을 인가한

경우)를 다양한 기간을 가지는 수소화된 다결정 실리콘 박막 트랜지스터에 가하였다. 전달 특성 곡선은 스트레스 전압의 인가 전후에 순방향과 역방향(소스와 드레인에 스트레스 전압 인가 방향과 역방향)으로 측정하였다. 게이트 인가 전압으로 스트레스된 다결정 실리콘 박막 트랜지스터의 소자 특성은 순방향과 역방향에 의해 측정된 전달 특성 곡선이 거의 동일하게 나타났으나, 게이트와 드레인에 전압 스트레스를 동시에 인가한 소자에서는 순방향과 역방향의 전달 특성 곡선이 큰 차이점을 나타냈다. 게이트와 드레인에 30 V의 전압을 6 시간 동안 인가한 후 순방향과 역방향으로 전달 특성 곡선의 변화를 측정하여 그림 4에 나타냈다. 전기적 스트레스의 적용 이후에 순방향에서의 누설 전류는 현저하게 증가하지만 문턱 이전 특성의 열화 현상은 매우 적음을 볼 수 있으나, 역방향으로 측정된 문턱 이전 특성의 열화 현상은 심각하지만 누설 전류는 거의 동일한 특성을 나타낸다. 다결정 실리콘 박막 트랜지스터 내에서의 누설 전류의 특성들이 드레인 공핍 영역 내에서의 결합 밀도에 의존하며 문턱 이전 특성은 소스 접합에 의해 영향을 받는다고 알려져 있다.[7,8] 따라서, 이러한 비대칭의 열화 현상은 게이트와 드레인에 동시에 전압 스트레스를 인가한 경우에는 결합들이 주로 드레인 공핍 영역에서 생성되어 소자 특성의 열화 현상이 발생할 수 있다.

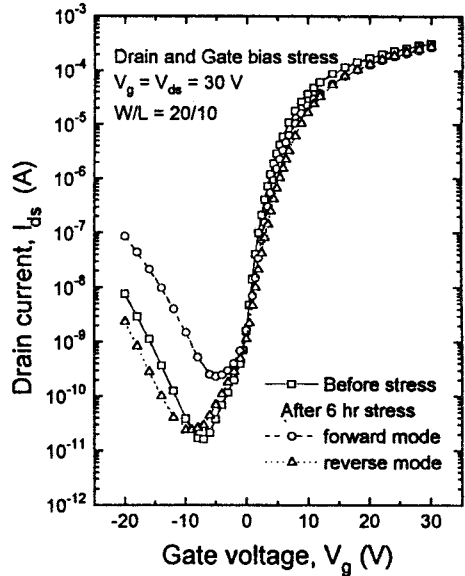


그림 4. 전압 스트레스 인가 전후에 순방향과 역방향으로 측정된 6 시간 수소화된 다결정 실리콘 박막 트랜지스터의 전달 특성 곡선의 변화

수소화 시간과 전기적 스트레스 시간에 따른 문턱 전압의 변화량(ΔV_{th})을 그림 5에 나타냈다. 게이트에 30 V의 전기적 스트레스를 인가한 경우와 게이트와 드레인에 동시에 30 V의 전압 스트레스를 인가한 경우의 다결정 실리콘 박막 트랜지스터의 전달 특성 곡선으로부터 구한 문턱전압 변화량을 그림 5(a)와 5(b)에 각각 도시하였다. 그림 5에서 본 것과 같이 수소화를 수행하기 이전(as-fabricated)의 다결정 실리콘 박막 트랜지스터에 게이트 전압 스트레스를 인가한 경우와 게이트와 드레인에 동시에 전기적 스트레스를 인가한 경우 모두 문턱전압이 현저하게 증가한다. 그러나, 6 시간 동안 수소화를 수행한 이후의 다결정 실리콘 박막 트랜지스터에 게이트와 드레인에 동시에 전기적 스트레스를 인가한 경우는 수소화 이전의 소자 특성의 변화와 비슷한 문턱전압의 증가가 나타난 반면, 게이트 전압 스트

레스를 인가한 경우에는 문턱 전압의 변화량이 현저히 감소하여 열화 현상이 거의 발생하지 않는 특성을 얻었다.

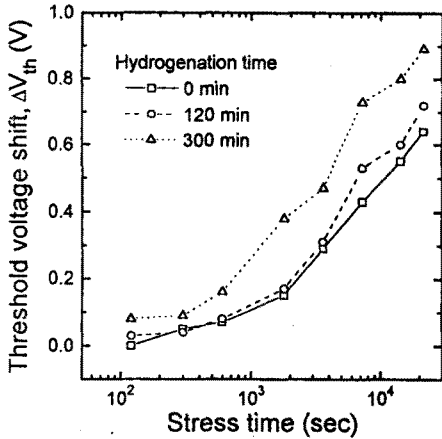
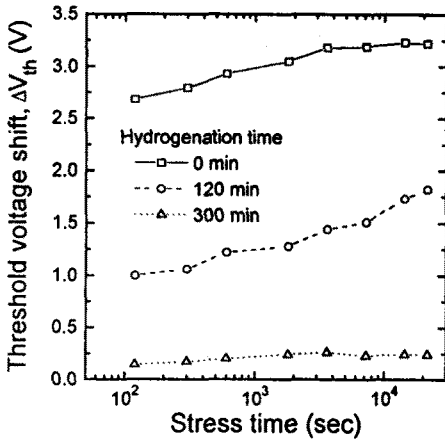


그림 5. 수소화 시간과 전압 스트레스 인가 시간에 따른 문턱 전압의 변화량. 전압 스트레스 조건은 (a) $V_g = 30$ V 와 (b) $V_g = V_{ds} = 30$ V를 나타낸다.

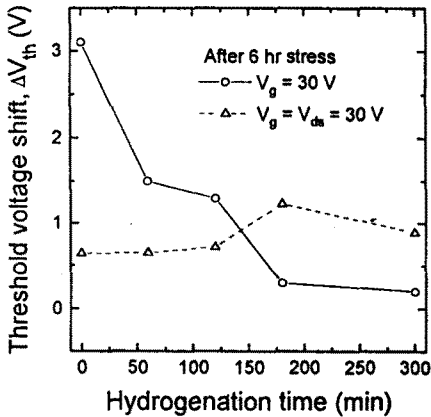


그림 6. 수소화 시간의 함수로써 표현된 6 시간 전압 스트레스 가 인가된 이후의 문턱 전압의 변화량.

그림 6은 두 가지의 전압 스트레스를 6 시간 동안 각각 인가 한 이후에 측정된 수소화 시간의 함수로써 표현한 문턱전압 변화량을 나타내고 있다. 그림에서 알 수 있듯이 게이트 전압 스트레스만을 인가하여 발생한 문턱전압의 변화량은 수소화 시간에 따라 현저하게 감소하지만 게이트와 드레인 전압을 동시에 인가한 경우에는 문턱전압의 수소화 시간에 따른 증가량이 매우 적게 나타난다. 수소화하기 이전의 다결정 실리콘 박막 트랜지스터에서는 게이트 전압 스트레스에 의한 열화 현상이 게이트와 드레인 전압 스트레스를 동시에 인가한 경우보다 심각하지만 수소화 시간이 180 분 이상 진행된 소자의 경우에는 반대로 게이트와 드레인 전압 스트레스를 동시에 인가한 경우의 열화 현상이 게이트 전압 스트레스에 의한 경우보다 심각하게 나타난다. 이러한 현상은 수소화에 의하여 다결정 실리콘의 그레인 경계면 존재하는 트랩 상태 뿐만 아니라 poly-Si/SiO₂ 경계면의 트랩 상태를 감소시킴으로써 게이트 산화막에서의 전하 포획 효과는 감소하는 반면에 결합 생성은 수소화 이후 Si-H의 약한 결합의 존재에 따라 약간 증가하므로 나타나는 현상으로 해석된다.

IV. 결론

다결정 실리콘 박막 트랜지스터에서의 전기적 스트레스에 의한 열화 현상을 수소화에 관련된 관점에서 고찰하였다. 게이트 인가 전압으로 스트레스된 다결정 실리콘 박막 트랜지스터의 소자 특성은 순방향과 역방향에 의해 측정된 전달 특성 곡선이 거의 동일하게 나타났으나, 게이트와 드레인에 전압 스트레스를 동시에 인가한 소자에서는 순방향과 역방향의 전달 특성 곡선이 큰 차이점을 나타냈다. 이는 게이트 전압 스트레스에 의한 열화 현상은 게이트 산화막 내의 전하 포획에서 기인하며, 게이트와 드레인에 전압 스트레스를 동시에 인가한 소자에서는 결합들이 생성되어 소자 특성의 열화 현상이 발생하기 때문이다. 수소화 시간이 증가함에 따라 게이트 전압 스트레스에 의한 열화 현상은 현저하게 감소하지만 게이트 전압과 드레인 전압의 동시에 인가에 의한 열화 현상은 약간 증가한다. 이는 수소화에 의하여 계면의 트랩이 감소하므로 게이트 산화막으로의 전하 포획은 발생하기 어려운 반면에 수소화에 의하여 발생한 약한 Si-H 결합의 존재로 결합 생성의 가능성이 증가하기 때문으로 생각된다.

참고문헌

- [1] A. Chiang, T.Y. Huang, I-W. Wu and M. Zarzycki in *Polysilicon Films and Interfaces*, (MRS Proc., 106) edited by C.Y. Wong, C.V. Thompson, and K.N. Tu, p. 305, 1987.
- [2] T.I. Kamins and P.J. Marcoux, *IEEE Electron Device Lett.* 1, p. 159, 1980.
- [3] U. Mitra, B. Rossi and B. Khan, *J. Electrochem. Soc.* 138, p. 3420, 1991.
- [4] Y.S. Kim, K.Y. Choi, S.K. Lee, B.H. Min, and M.K. Han, *Jpn. J. Appl. Phys.* 33, p. 649, 1994.
- [5] I-W. Wu, W.B. Jackson, T.Y. Huang, A.G. Lewis, and A. Chiang, *IEEE Electron Device Lett.* 11, p. 167, 1990.
- [6] N. Kato, T. Yamada, S. Yamada, T. Nakamura, and T. Hamano, in *IEDM Tech. Dig.*, p. 677, 1992.
- [7] J.G. Fossum, A. Ortiz-Conde, H. Shichijo, and S.K. Banerjee, *IEEE Trans. Electron Devices ED-32*, p. 1878, 1985.
- [8] S.K. Madan and D.A. Antoniadis, *IEEE Trans. Electron Devices ED-33*, p. 1518, 1986.