

수치해석을 이용한 PCB에서 전자계 분포의 최적화

장인범^{*0}, 이찬오^{*}, 김진사^{*}, 정일형^{*}, 이준웅^{*}

* 광운대학교 전기공학과

In-Bum Jang, Chano Lee, Jin-Sa Kim, Il-Hyung Jung, Joon-Ung Lee
Dept. of Elec. Eng. Kwangwoon Univ.

Optimization of Electromagnetic Field on PCB by Using Numerical Analysis.

Abstract

This paper presents a method for analyzing electromagnetic field of planar microwave structures, which is based on Finite Element Method and optimizes structure of microstripline on Printed Circuit Board.

1. 서론

최근 고주파 및 초단파 회로가 점점 복잡해짐에 따라 프린트 배선 판 위의 고밀도 실장화가 진행되어 신호 배선이 IC핀 사이로 2-3개 이상이 지나가고 선폭과 선간폭 모두가 1[mm] 이하로 제작되고 있다. 이로 인해 신호선에서 발생하는 크로스토크 노이즈 및 기타 상호 간섭 등에 의해 회로의 오동작이 문제되고 있다. 더욱이 회로가 고밀도화 및 고집적화로 설계되어 크로스토크 노이즈는 PCB에만 국한이 되어 있지 않고 GaAs 등의 고집적 회로에서도 문제되고 있다. 따라서 회로 설계자들은 수치 해석을 이용하여 문제가 되는 회로 동작을 예견해야 할 필요성이 생겼다. 이러한 예견을 위한 수치 해석의 방법에는 FDM, FEM, MoM, FDTD, Line Method 등의 여러 가지 방법들이 있으나 신뢰성 있는 결과 값과 함께 가장 쉽게 적용할 수 있는 방법이 FEM에 의한 방법이다.

본 논문에서는 FEM으로 다층 PCB 기판에서의 전자계 분포를 시뮬레이션을 통해 확인한 후 최적의 전자계 분포가 되도록 접지층과 신호 라인을 배치하여 크로스토크 노이즈를 저감하는 구조를 도출하였다.

2. Printed Circuit Board

프린트 기판에는 단면기판, 양면기판, 다층기판등이 있는데 이들중 단면 기판은 가장 기본적인 구조이며 절연체의 한쪽만 전해 공정에 의해 만들어진 전해 동박으로 입혀져 있고 통상적으로 동박은 35 [μ m]의 두께가 널리 사용되고 있지만 18 [μ m], 70 [μ m]의 동박도 있으며 그중 70 [μ m] 동박은 대전류를 사용하는 회로에 많이 쓰인다. 양면 프린트 기판은 절연체의 양쪽에 동박을 입힌 구조로 회로 패턴 설계를 할 때 고밀도 실장이 가능하게 된다. 그러나 양면 기판에서의 고밀도 실장화에는 한계가 있으므로 다수의 IC를 실장하지 않으면 안되는 컴퓨터 및 고집적 회로에서는 용도에 따라 다층기판을 사용하는데 이것은 접지층을 용이하게 구성할 수 있기 때문에 프린트 기판이 저노이즈화가 되게 하고 이로 인해 고속 전자 회로를 실장할 수 있기 때문이다. 그러나 만일 다층 기판에서 고밀도 실장으로 인한 전자기적 간섭 등을 고려하지 않으면 예기하지 않은 여러 가지 오동작을 일으킬 수 있는 경우가 많기 때문에 회로 패턴을 따라 다른 신호 라인에 영향을 주지 않고 동작을 하기 위해서는 스트립 라인의 배치 자체도 상당히 중요한 요인이 된다. 이를 위해 되도록 많은 접지층, 또는 차폐층을 두어 다른 라인에 미치는 영향이 최소가 되도록 해야하나 회로 구성시 불가피하게 이러한 점을 고려할 수 없거나 PCB의 제조시 접지층으로 인한 제조 단가의 상승 등을 고려해야하므로 간단한 일이라고 할 수 없다. 크로스토크 노이즈 및 기타 간섭 장애를 저감하려면 마이크로

스트립 라인으로 전자계 분포가 가장 밀집될 수 있는 구조를 도출해야 한다.

3. 시뮬레이션

3. 1 해석 영역 모델링

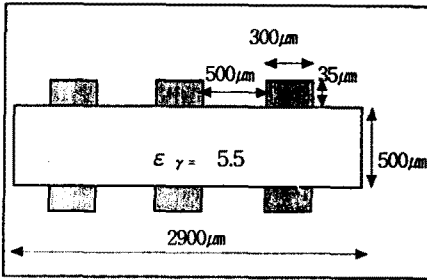


그림 3. 1 양면 기판의 단면도.

위와 같은 양면기판의 단면에서 각평면 위의 두 라인은 신호 라인이고 한 라인은 접지선이다. 이때 신호 라인의 전위는 5 [V]이고 접지 라인은 0 [V]이며 신호 라인이 floating 상태일 때 전위값이 2 [V] 인 것에 대해 다음과 같은 조건으로 시뮬레이션하였다.

- ① 접지 라인을 임의로 배치하고 PCB의 상하에 차폐층을 두지 않았을 때
- ② 접지 라인을 임의로 배치하고 PCB의 상하에 차폐층을 두었을 때
- ③ 접지 라인을 각각 신호 라인 사이에 놓고 PCB 상하에 차폐층을 두었을 때
- ④ 접지 라인을 각각 신호 라인 사이에 놓고 기판 중간에 차폐층을 삽입하고 PCB 상하에 차폐층을 두었을 때

3. 2 요소분할도

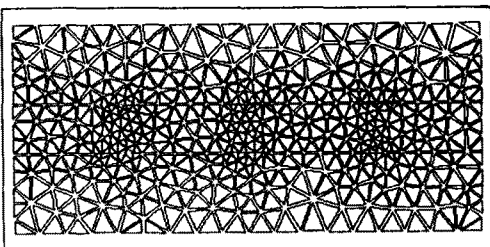


그림 3. 2 PCB 단면의 요소 분할도

4. 시뮬레이션 결과

4. 1 등전위 분포도

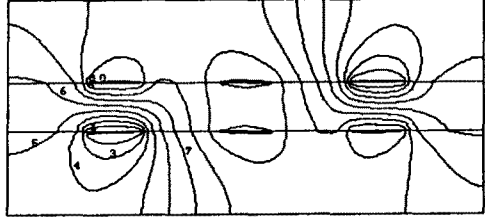


그림 4. 1 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두지 않았을 때의 등전위 분포

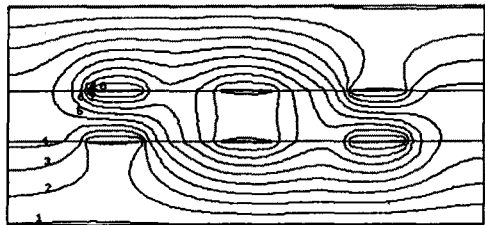


그림 4. 2 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두었을 때의 등전위 분포

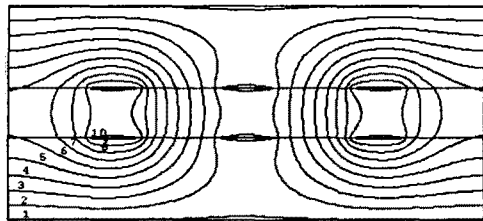


그림 4. 3 접지 라인을 신호 라인의 사이에 두고 PCB 상하에 차폐층을 두었을 때의 등전위 분포

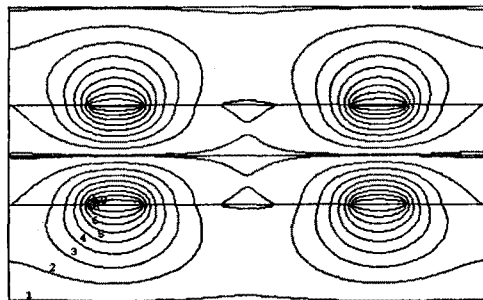


그림 4. 4 접지 라인을 신호 라인의 사이에 두고 층간에 차폐층을 삽입하고 PCB 상하에 차폐층을 두었을 때의 등전위 분포

4. 2 벡터 전위 분포도

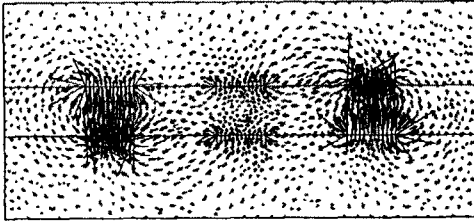


그림 4. 5 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두지 않았을 때 전위벡터도

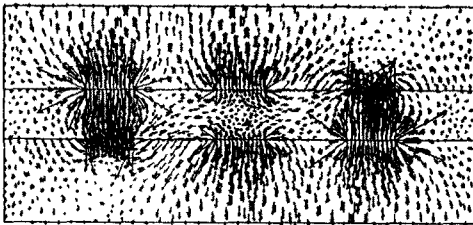


그림 4. 6 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두었을 때의 전위 벡터도

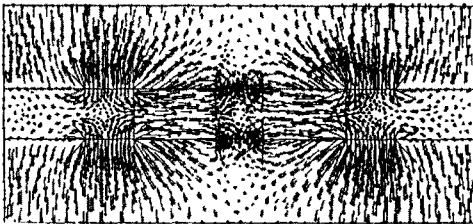


그림 4. 7 접지 라인을 신호 라인의 사이에 두고 PCB 상하에 차폐층을 두었을 때의 전위 벡터도

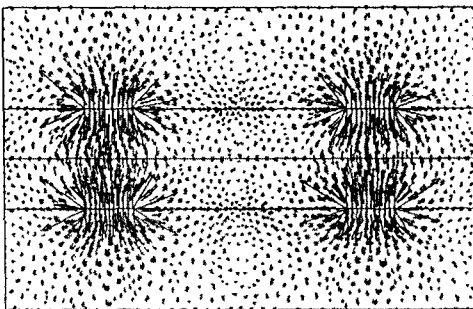


그림 4. 8 접지 라인을 신호 라인의 사이에 두고 층간에 차폐층을 삽입하고 PCB 상하에 차폐층을 두었을 때의 전위 벡터도

4. 3 PCB 횡단면의 전위 그래프

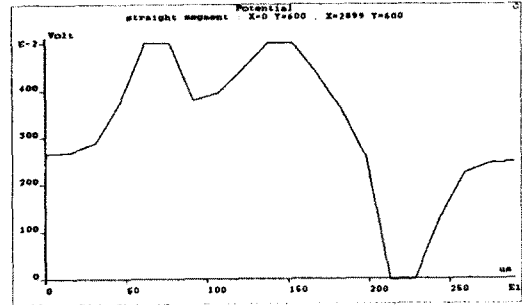


그림 4. 9 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두지 않았을 때의 전위 그래프

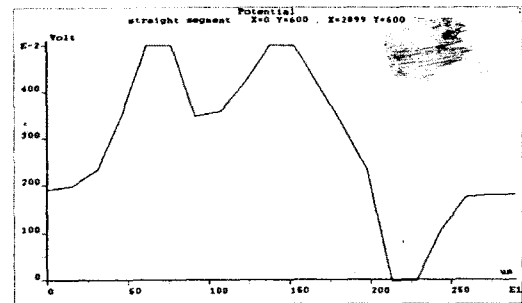


그림 4. 10 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두었을 때의 전위 그래프

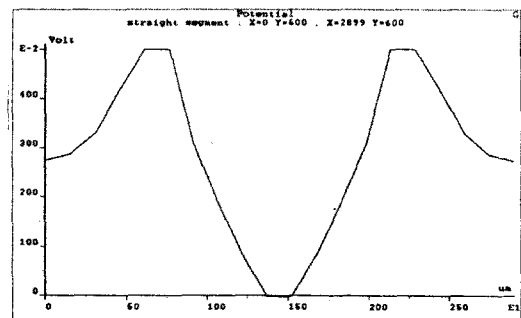


그림 4. 11 접지 라인을 신호 라인의 사이에 두고 PCB 상하에 차폐층을 두었을 때의 전위 그래프

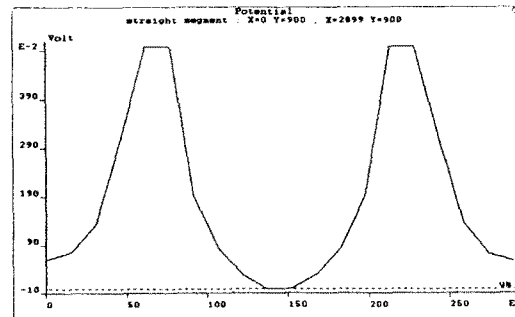


그림 4. 12 접지 라인을 신호 라인의 사이에 두고 층간에 차폐층을 삽입하고 PCB 상하에 차폐층을 두었을 때의 전위 그래프

4. 4 PCB 횡단면의 전계 그래프

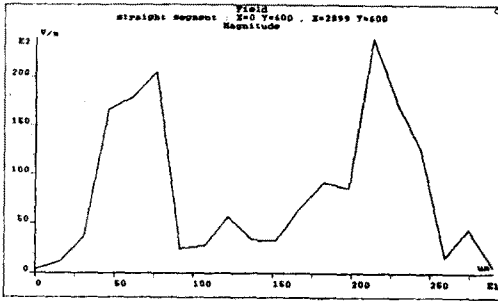


그림 4.13 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두지 않았을 때의 전계 그래프

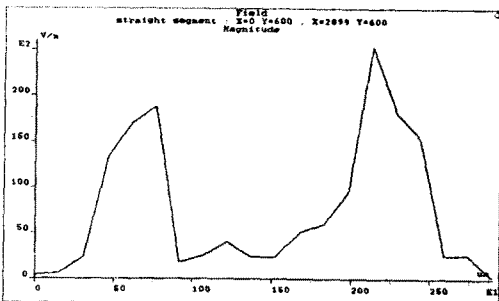


그림 4.14 접지 라인을 임의로 배치하고 PCB 상하에 차폐층을 두었을 때의 전계 그래프

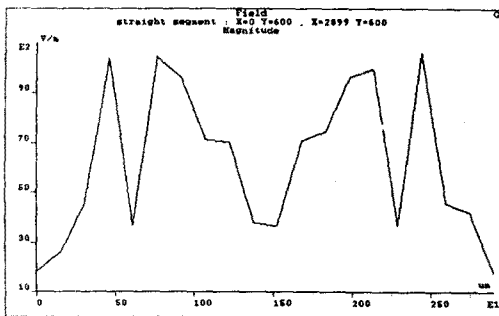


그림 4.15 접지 라인을 신호 라인의 사이에 두고 PCB 상하에 차폐층을 두었을 때의 전위 그래프

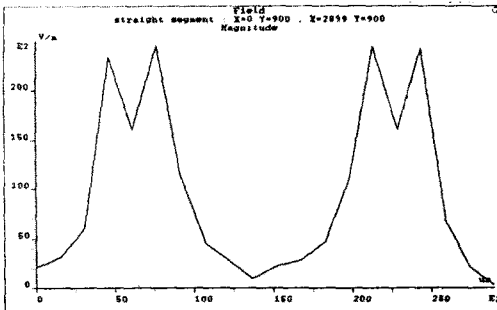


그림 4.16 접지 라인을 신호 라인의 사이에 두고 층간에 차폐층을 삽입하고 PCB 상하에 차폐층을 두었을 때의 전위 그래프

5. 결론 및 고찰

그림 4.1 ~ 4.2의 등전위 분포에서 보듯이 이와 같은 구조의 마이크로스트립라인에서 외부에 차폐층을 두었을 때와 두지 않았을 때 전계의 집중도가 상당히 다를 수 있었다. 차폐층을 두었을 때 라인 근처에 전계가 차폐층을 두지 않았을 때보다 집중되어 고르게 분포하였다. 그러나 접지라인의 위치가 신호 라인의 사이에 위치하면 라인 상호간에 차폐 효과가 더욱 좋음을 그림 4.3의 시뮬레이션 결과로부터 알 수 있다. 또한 상하층간의 전자계 분포의 완전한 차폐를 위해서는 기판의 중간에 차폐층을 삽입하면 그림 4.4의 시뮬레이션 결과로부터 다른 라인에 전자계 영향을 주지 않고 자신의 라인에만 전자계가 집중적으로 분포함을 알 수 있다. 그림 4.5 ~ 4.8의 벡터 전위 분포도에서도 마찬가지로 이상과 동일한 결과를 얻어냈다. 그림 4.9 ~ 4.16의 그래프들은 PCB 마이크로스트립선로의 횡단면에 따라서 분포하는 전위와 전계를 나타낸 것이다. 이 그래프에서 보듯이 접지 라인을 신호 라인 사이에 위치하게 하였을 때 전위 및 전계 분포가 라인별로 두드러지게 나타남을 볼 수 있고 층간 사이에 차폐층을 삽입하였을 때 가장 두드러지게 전위 및 전계값이 라인별로 분리되어 나타남을 볼 수 있다.

평면 신호 전송 라인에서 가장 효율적으로 신호를 전송하기 위해서는 라인을 따라 전자계 분포가 집중되어야 함을 알 수 있는데 이상의 시뮬레이션 결과로부터 다음과 같은 결론을 얻을 수 있었다.

1. 가급적 신호 전송 라인 사이에 접지 라인이 지나도록 한다.
2. 양면 기판 이상의 다층 기판에서 상하 및 좌우 라인의 전자기적 간섭을 최소화 하기 위해서는 층간에 차폐층을 두었을 때 그 효과가 최대가 됨을 알 수 있었다.

참고문헌

- [1] Transmission Line Design Handbook p45~161 Brain C. Wadell
- [2] Waveguide Components For Antenna Feed Systems Theory And Cad p51~71 J.Uher, J Bornemann
- [3] Microwave Circuits Analysis And CAD Vincent F. Fusco
- [4] Numerical Methods for Microwave & Milimeterwave Structures p163~229