

## 새로운 벡터적 PLL을 이용한 대용량 무효전력 보상기(SVC)의 DSP 제어

정 구호<sup>o</sup>, 조 국춘, 채 균, 조 규형

\*대전시 유성구 구성동 한국과학기술원 전기 및 전자과

### DSP BASED CONTROL OF HIGH POWER STATIC VAR COMPENSATOR USING NOVEL VECTOR PRODUCT PHASE LOCKED LOOP

Gu H. Jung<sup>o</sup>, Guk C. Cho, Cyun Chae, and Gyu H. Cho

\*Dept. of Electrical Engineering, KAIST, Taejon, Korea

**Abstract** - This paper presents a new dual loop control using novel vector phase locked loop(VP-PLL) for a high power static var compensator(SVC) with three-level GTO voltage source inverter(VSI). Through circuit DQ-transformation, a simple dq-axis equivalent circuit is obtained. From this, DC analysis is carried out to obtain maximum controllable phase angle  $\alpha_{max}$  per unit current between the three phase source and the switching function of inverter, and AC open-loop transfer function is given. Because  $\alpha_{max}$  becomes small in high power SVC, this paper proposes VP-PLL for more accurate  $\alpha$ -control. As a result, the overall control loop has dual loop structure, which consists of inner VP-PLL for synchronizing the phase angle with source and outer Q-loop for compensating reactive power of load. Finally, the validity of the proposed control method is verified through the experimental results.

## I. 서 론

최근에 송전선의 안정화 및 낮은 역률의 산업용 부하의 무효전력 보상을 위한 대용량 무효전력 보상기(Static Var Compensator, 이하 SVC)에 대한 요구가 증가되어 왔다. 이러한 동향속에서 대용량 SVC의 제어에 관한 새로운 방법들이 제안되어 왔다[1]~[4]. 초기에는 사이리스터 제어형 리액터(TCR) 방식을 이용한 방법들이 시도되었으나, 이는 대용량에는 적합하지만 과도응답이 느린 단점이 있었다[1]. 그후, 빠른 과도응답을 위해 강제 전류(轉流)형 인버터를 사용하는 제어방법이 연구되었으며[2], 또한 좀 더 큰 대용량 SVC를 위한 멀티레벨 인버터가 제안되었다[3]. 또한, 고전압/전류 소자인 GTO를 이용한 3-레벨 인버터용 SVC에 대한 해석 및 제어가 이루어져, 2-레벨에 비하여 낮은 스위칭 주파수( $f_{sw} < 500\text{Hz}$ )에서 더 낮은 고조파와 더 높은 dc-link 전압이 가능하게 되었다[4]. 그러나, 위의 논문들[1]~[4]에서는 대용량의 SVC인 경우에 단위 전류(1 p.u.)에 대한 교류전원과 인버터의 스위칭 함수간의 최대 제어 가능한  $\alpha_{max}$  이 더욱 작아져, 전원과 스위칭 함수간의 주파수 동기를 위한 PLL의 역할이 더욱 중요하게 됨을 인식하지 못하였다. 그리하여, 본 논문은

기존의 하드웨어 PLL보다 좀더 정확하게  $\alpha$ 를 제어하기 위해 새로운 벡터적 PLL(이하 VP-PLL)을 제안한다.

본 논문은 위상제어 방법을 이용하여 부하의 무효전력을 보상하기 위하여 3상의 3-레벨 GTO 전압형 인버터를 적용한 SVC시스템을 제안한다. 다음으로, circuit-DQ변환에 의하여 시스템의 간단화된 dq축 등가회로를 얻고, 이로부터 전체 시스템의 손실분인  $R_s$ 와 최대 제어가능한  $\alpha_{max}$ 를 구하기 위한 DC해석과, 시스템의 개투프 전달함수를 위한 AC해석이 이루어진다. 그리하여, 전체 제어기는 무효전력 보상을 위한 외부의 Q투프와 주파수 동기를 위한 내부의 VP-PLL로 구성된 이중루프 구조를 갖는다. 또한, 제안된 제어기의 타당성은 개발된 1MVAR SVC에 대한 실험으로 확인되어 진다.

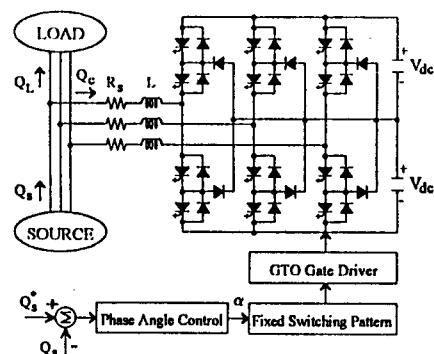


그림 1. 3-레벨 GTO인버터를 이용한 SVC 시스템의 전자 블록도.

## II. 동작 원리

그림 1에서 보는 바와 같이, 제안된 SVC 시스템은 3-레벨 GTO 전압형 인버터, 연계 리액터, DC 커패시터, 그리고 3상 전원 및 부하로 구성된다. 부하측의 무효전력  $Q_L$ 을 보상하여 전원측의 무효전력  $Q_s$ 가 0이 되기 위하여, SVC는  $-Q_L$ 과 같은  $Q_s$ 의 무효전력을 발생하도록 제어된다. 여기서,  $Q_s$ 의 제어는 전원측과 인버터의 스위칭 함수간의 위상상  $\alpha$ 를 제어함으로써 수행되며, 이의 동작원리는 그림 2에서 보여진 단상 등가회로에서 설명된다.

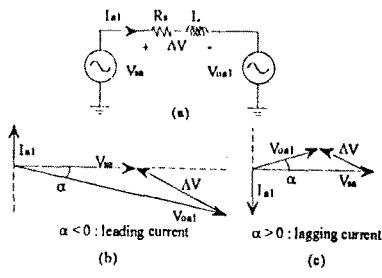


그림 2. 위상각  $\alpha$ 제어 방법, (a).단상 등가회로, (b)와 (c).capacitive 및 inductive를 위한 폐이저도.

즉, 전원측의 위상각  $\alpha_1$ 과 인버터의 스위칭함수의 기본파 성분의 위상각  $\alpha_2$ 간의 위상각차  $\alpha(\alpha = \alpha_1 - \alpha_2)$ 를 제어함으로써, 시스템은 inductive( $\alpha > 0$ ) 또는 capacitive( $\alpha < 0$ )로 동작하게 된다. 그럼 3은 낮은 스위칭 주파수(180Hz)를 갖는 사용된 스위칭 패턴을 보여주며, 이는 고전압/전류 소자로서 GTO의 낮은 동작 주파수에 기인하여 최적으로 선택되어 진다.

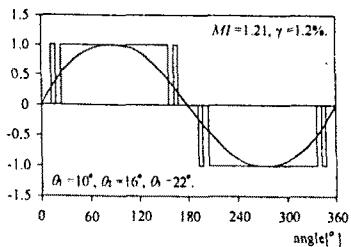


그림 3. 최적 스위칭 패턴

또한, 인버터 출력전압의 단상 기본파 성분은 다음과 같이 표현된다.

$$V_{\text{oa},1} = \frac{1}{\sqrt{2}} MI \cdot V_{dc} \quad (1)$$

여기서, MI는 인버터의 펄스폭 변조(PWM) 스위칭 패턴의 변조지수(modulation index)이며,  $V_{dc}$ 는 DC 커페시터 전압을 뜻한다. 한편, 제안된 SVC의 전체적인 제어는 DSP56001프로세서를 이용하여 디지털적으로 수행되었다.

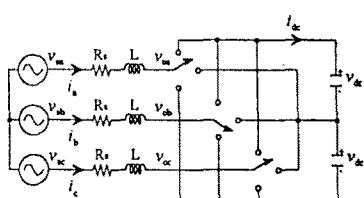


그림 4. SVC시스템의 간단화된 주회로

### III. 모델링

그림 1의 제안된 주회로는 그림 4와 같이 간단화되며,

circuit-DQ변환 방법을 적용함으로써 abc축상의 전체 회로는 dq축상의 등가회로로 변환된다. 균등화된(balanced) 시스템을 고려한다면, abc축상의 전원 전압( $v_{s,abc}$ )과 전류( $i_{abc}$ ), 그리고 스위칭 함수  $S$ 를 갖는 인버터 출력 전압( $v_{o,abc}$ )은 다음과 같이 표시된다.

$$v_{abc} = \sqrt{2/3} V_s \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - 2\pi/3) \\ \sin(\omega t + 2\pi/3) \end{bmatrix}, \quad i_{abc} = \begin{bmatrix} i_{a1} \\ i_{b1} \\ i_{c1} \end{bmatrix}, \quad (2)$$

$$S = \sqrt{2/3} d \begin{bmatrix} \sin(\omega t + \alpha) \\ \sin(\omega t + \alpha - 2\pi/3) \\ \sin(\omega t + \alpha + 2\pi/3) \end{bmatrix}, \quad v_{o,abc} = S v_{dc}. \quad (3)$$

여기서  $V_s$ 는 3상 전원의 rms선간전압이고,  $\sqrt{2/3}d$ 는 스위칭 함수의 변조지수(MI)이며,  $\alpha$ 는  $v_{s,abc}$ 과  $v_{o,abc}$ 간의 위상각을 표시한다. 또한, 임의의 abc축상의 변수는 다음의 변환 행렬  $K$ 를 통하여 dq축상의 변수로 변환된다.

$$K = \sqrt{2/3} \begin{bmatrix} \cos(\omega t + \alpha) & \cos(\omega t + \alpha - 2\pi/3) & \cos(\omega t + \alpha + 2\pi/3) \\ \sin(\omega t + \alpha) & \sin(\omega t + \alpha - 2\pi/3) & \sin(\omega t + \alpha + 2\pi/3) \\ \sqrt{1/2} & \sqrt{1/2} & \sqrt{1/2} \end{bmatrix}. \quad (4)$$

$K$ 를 그림 4에 적용함으로써 dq축상으로 변환된 등가회로가 그림 5와 같이 얻어진다.

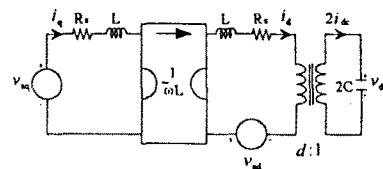


그림 5. SVC의 circuit DQ-변환된 등가회로  
IV. 해석

#### A. DC 해석

그림 5에서 L를 단락, C는 개방하면, 전원의 선간전압  $V_s$ (1 p.u.)와 상전류  $I_s$ (1 p.u.)인 경우의 시스템의 등가 손실저항  $R_s$ 와 최대 제어 가능한 위상각  $\alpha_{max}$ 이 시스템의 효율  $\eta$ 의 함수로 유도되며,  $\alpha_{max}$  만큼의 위상각 천이는 1 p.u.의 전류가 시스템 내부로 흘러 들어가게 한다..

$$R_s = \frac{1-\eta}{\sqrt{3}} \frac{V_s}{I_s} [\text{p.u.}], \quad (5)$$

$$\alpha_{max} = \frac{1}{2} \sin^{-1}[2(1-\eta)]. \quad (6)$$

그림 6과 같이  $\alpha_{max}$ 는 효율  $\eta$ 가 커짐에 따라 작아지며, 대용량 SVC의 경우  $\eta$ 가 커지므로  $\alpha_{max}$ 는 더욱 작아진다. 한편, 표 1은 SVC의 용량에 따른  $R_s$ 와  $\alpha_{max}$ 를 보여준다.

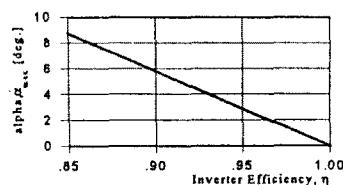


그림 6. 효율  $\eta$ 에 대한 손실  $\alpha_{max}$ 의 그림.

VAR	$V_s(V)$	$I_s(A)$	$\eta$	$R_s$	$a_{max}$
10kVA	220	20	0.90	0.055 pu (0.46 Ω)	5.5°
100kVA	1100	56	0.95	0.03 pu (0.63 Ω)	3°
1MVA	3300	175	0.97	0.017 pu (0.32 Ω)	1.7°

표 1. SVC의 용량에 따른  $R_s$  및  $a_{max}$ 의 값.

### B. AC 해석

그림 5에 대한 소신호 등가회로로부터 위상각  $\alpha(s)$ 에 대한 무효전력  $Q(s)$ 의 개루프 전달함수인  $G_Q(s)$ 가 다음과 같이 얻어진다[4].

$$G_Q(s) = \frac{Q(s)}{\alpha(s)} = \frac{M(s)}{D(s)}. \quad (7)$$

여기서,

$$M(s) = V_s^2(2LCs^2 + 2R_sCs + D^2),$$

$$D(s) = 2CL^2s^3 + 4LCRs^2 + [2C(R_s^2 + (\omega L)^2) + D^2]s + D^2R_s.$$

## V. 벡터적 PLL(VP-PLL)의 개념

기존의 하드웨어 PLL은 사용된 비교기로 인해 전원의 영점 부근에서 발진 및 노이즈가 생기고, 반주기 동안에 하나의 영점 신호만을 검출하여 전원측의 위상변동에 따른 정확하고 빠른 동기화가 어렵다. 한편, IV장에서 보면 대용량 SVC의 경우  $a_{max}$ 가 작아져 좀 더 정확한 주파수 동기화 방법이 요구되며, 본 논문은 기존의 PLL의 단점을 보완한 새로운 VP-PLL를 제안한다.

VP-PLL은 그림 7(a)과 같이 2개의 정규화된 dq-벡터인 전원전압  $v_{s,dq}$ 와 메모리내에 0.5° 간격으로 저장된 스위칭 패턴  $v_{sw,dq}$ 를 벡터적하여 위상각 검출을 한다. 그림 7(b)는 임의의  $VP_{com}$ 를 추종하도록 위상각  $\alpha$ 를 제어하는 VP-PLL을 보여준다. 여기서, VP-PLL은 기존 PLL에 비하여 DSP 프로세서의 내부에서 처리되므로 노이즈 문제가 없고, 한 주기내에 샘플링 주기의 간격으로 위상각을 보정하므로 빠른 응답성을 갖는다.

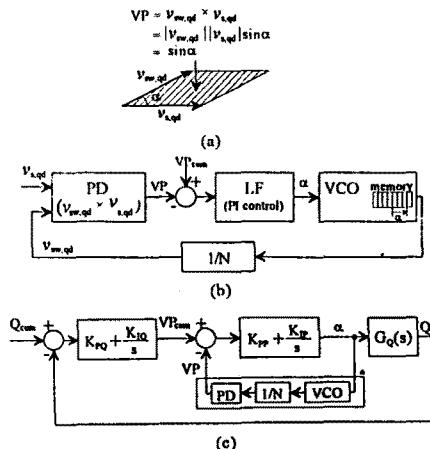


그림 7. (a). 벡터적 PD, (b).  $VP_{com}$ 을 추종하도록  $\alpha$ 를 제어하는 VP-PLL. (c). 전체 제어루프.

## VI. 제어기의 설계

그림 7(c)과 같이, 전체 제어기는 외부의 Q-loop로부터

얻어진  $VP_{com}$ 을 추종하도록  $\alpha$ 를 제어하는 내부의 VP-PL과, PI 제어기를 이용하여 무효전력 command인  $Q_{com}$ 에 해당하는 무효전력을 발생하도록 하는 외부의 Q-loop로 구성된다. PI 제어기의 이득과 사용된 시스템의 파라미터들은 다음과 같다.

$$L = 8mH, C = 1000\mu F, V_s = 2200V_{rms}, R_s = 0.32\Omega, \quad (8)$$

$$K_{pp} = 1.0e-1, K_{Ip} = 1.0e-3, \quad (9)$$

$$K_{pQ} = 2.0e-6, K_{IQ} = 7.6e-5. \quad (10)$$

## VII. 실험 결과

제어기의 타당성은 500kVAR의 실험파형으로 확인되며, 시스템 파라미터는 VI장의 값과 같다. 그림 8은  $Q_{com}$ 이 -500kVAR(capacitive)에서 500kVAR(inductive)로 스텝 변화시의 과도응답을 보여주며,  $I_a$ 는 2주기내에 정상상태에 도달한다. 즉, 제안된 제어기는 대용량 1MVAr SVC에 대한 좋은 성능을 갖는다.

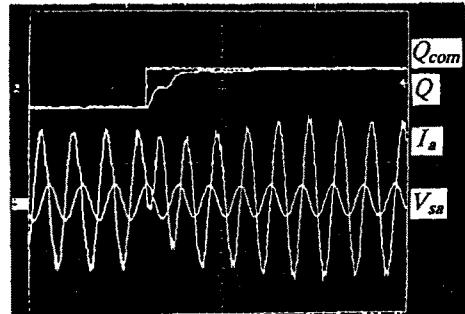


그림 8.  $Q_{com}$ 을 500kVAR(capacitive)로부터 -500kVAR(inductive)로 스텝 변화시 과도응답; 무효전력 command  $Q_{com}$ , 발생된 무효전력  $Q$ , 선전류  $I_a$  (100A/div) 및 전원상전압  $V_{sa}$  (4kV/div).

## VIII. 결론

대용량 SVC의 경우  $a_{max}$ 가 작아져 좀 더 정밀한 주파수 동기화를 위하여 새로운 VP-PLL이 제안된다. 전체 제어루프는 주파수 동기를 위한 내부의 VP-PLL과 부하의 무효전력 보상을 위한 외부의 Q-loop로 구성된다. 제안된 제어기의 타당성은 실험결과를 통하여 입증되었다.

## REFERENCE

- [1] L. Gyugyi et al, "Principles and applications of static, thyristor-controlled shunt compensators", IEEE Trans. Power App. and Sys., vol. 97, no. 5, pp. 1935-1945, Sept./Oct. 1978.
- [2] L.T. Moran et al, "Analysis and design of a three-phase synchronous solid-state var compensator", IEEE Trans. Ind. Appl., vol. IA-25, no. 4, pp. 598-608, July/Aug. 1989.
- [3] Nam S. Choi et al, "Modeling and analysis of a static var compensator using multilevel voltage source inverter ", IEEE/IAS Annual Meeting, pp. 901-908, 1993.
- [4] Guk C. Cho et al, "Analysis and controller design of a static var compensator using three-level GTO inverter", IEEE Trans. Power Electron., vol. 11, no. 1, pp. 57-65, Jan. 1996.