

새로운 SDB 기술과 대용량 반도체소자에의 응용

김 운동, 박종문[○], 김 상철, 민원기, 이인상*, 송종규*, A. L. Kostina**
한국전기연구소, *한국전자(주), **A. F. Ioffe Physico-Technical Institute,

A Modified SDB Technology and Its Application to High-Power Semiconductor Devices

E. D. Kim, J. M. Park[○], S. C. Kim, W. G. Min, Y. S. Lee*, J. K. Song*, A. L. Kostina**
KERI, *KEC, **A. F. Ioffe Physico-Technical Institute,

A modified silicon direct bonding method has been developed alloying an intimate contact between grooved and smooth mirror-polished oxide-free silicon wafers. A regular set of grooves was formed during preparation of heavily doped p⁺-type grid network by oxide-masking and boron diffusion. Void-free bonded interfaces with filling of the grooves were observed by x-ray diffraction topography, infrared, optical, and scanning electron microscope techniques. The presence of regularly formed grooves in bonding plane results in the substantial decrease of dislocation over large areas near the interface. Moreover two strongly misoriented wafers could be successfully bonded by new technique.

Diodes with bonded a pn-junction yielded a value of the ideality factor n about 1.5 and the uniform distribution of series resistance over the whole area of bonded pn-structure. The suitability of the modified technique was confirmed by I - V characteristics of power diodes and reversly switched-on dynistor(RSD) with a working area about 12cm². Both devices demonstrated breakdown voltages close to the calculation values.

혼파기를 이용하는 새로운 실리콘 직접접합기술이 제안된다. 홈들은 고농도 p⁺-형 그리드(grid) 망목구조의 형성과정에서 만들어졌다. X-선 회절 topography와 적외선, 광학 및 주사전자현미경 관찰결과, 제안하는 새로운 방법으로 공동(空洞)이 없는 접합계면을 얻을 수 있다는 것을 확인할 수 있었다. 또한 적절한 열처리로 홈을 완전히 채울 수 있었다. 접합계면에서의 규칙적인 홈의 존재는 접합계면 가까운 실리콘 내부의 선결함(dislocation)을 줄이는데 효과적이었다. 더욱이 강한 격자부정합이 있는 경우에도 이 방법으로 신뢰할 만한 결합상태를 얻을 수 있었다.

제안한 방법으로 만들어진, pn 접합면을 SDB 계면으로 한, 다이오드들의 이상지수(ideality factor)는 1.5 정도였으며, 직렬 저항성분은 전면에 걸쳐 균일하게 나타났다. 새로운 SDB법의 가능성은 12cm² 정도의 비교적 넓은 양극면적을 가지는 다이오드와 역점호 다이니스터를 제작하여 I - V 특성을 측정하여 본 결과에 의하여 확인할 수 있었다. 두 소자의 파괴전압은 이른치

에 이르는 값을 나타내었다.

서 론

최근 실리콘 웨이퍼 사이의 직접접합(silicon-to-silicon direct bonding, SDB)법이 다양한 종류의 전력반도체소자 제조를 위한 강력한 수단으로 등장하였다. 이것은 이 방법이 매우 간단할 뿐만 아니라 결정학적으로 에피택셜 성장막 등과는 다른 실리콘의 품질을 제공하기 때문이다. 다시 말하자면, 불순물확산이나 에피택셜성장의 다른 한 방법이다^{1, 2}. 또한 이 방법은 전기적으로 도전성은 물론 절연성 계면구조에의 응용도 가능한 장점이 있다. 즉 전기적 절연(dielectric isolation, DI)이나 SOI(silicon on insulator)구조에의 응용이 편리하다^{3, 4}. 어떠한 경우엔, 소자의 전기적 특성에 미치는 SDB 접합계면의 영향을 최소화하는 것이 중요하다. 일반적으로 같은 면방위의 실리콘 웨이퍼를 1° 이하의 격자부정합있는 상태로 접합하더라도 전기적 전위장벽을 만드는 결합과 접합되지 않는 공동(空洞)이 계면에 형성된다고 보고되고 있다^{5, 6}.

본 보고에서는 대용량소자의 설계에서 새로운 장을 열 수 있는 개량된 SDB법을 소개하고자 한다. 가장 큰 특징은 한 접합면에 규칙적인 홈을 도입하는 것이다. 규칙적인 그물망(網) 모양의 홈은 고농도 p⁺-형 그리드 망의 형성을 위한 산화막-마스킹(masking)과 붕소확산과정에서 만들어지므로 추가적인 공정이 도입없이도 가능한 장점이 있다.

X-선 회절 topography(XRT)와 적외선(IR), 광학(OM) 및 주사전자현미경(SEM)으로 접합계면 및 실리콘의 결정학적 특성을 관찰하였으며, 계면의 전기적 특성과 소자의 I - V 특성을 측정 비교하였다. 특히 비교적 대면적의 pn 다이오드와 pnpn구조의 역점호 다이니스터¹⁶⁾(reversly switched-on dynistor, 2전극 사이리스터(diode thyristor)의 일종)의 pn 접합계면을 SDB계면으로 만들었다.

실 험 방 법

일반 상용의 경면연마한 ρ_p=7.5Ω·cm의 p-형 및 ρ_n=30Ω·cm의 n-형 FZ 웨이퍼와 n-형 0.001Ω·cm CZ(Czochoralski) 웨이퍼를 이용하였다. 웨이퍼 두께는 각각 0.28, 0.32 및 0.45mm

였으며 직경은 60mm 였다. 모든 웨이퍼는 (111)웨이퍼였다. 고농도 p⁺-형 그물망은 일반적인 photolithography와 붕소(B)확산법으로 만들어 졌다. 여기서 p⁺-형 그물망을 구성하는 줄의 폭은 50 μ m, 줄과 줄 사이의 폭은 200 μ m, 확산깊이는 3 ~ 5 μ m로 하였으며 표면농도 N_s는 10²⁰cm⁻³로 하였다. 확산을 위한 산화막의 제거 후, 만들어진 홈의 깊이는 0.3 ~ 0.5 μ m였으며, 폭은 p⁺-형 줄의 폭보다는 약간 작았다.

pn 다이오드는 p-형 FZ웨이퍼에 고농도 p⁺-형 그물망을 만들어 홈망을 만든 면과 n-형 FZ웨이퍼를 접합하여 만들었다. 그 구조는 그림 1에 나타내었다.

역점조 고속 다이내스티를 만들기 위하여, 먼저 n-형 FZ 웨이퍼의 양면에 알루미늄(Al)과 붕소(B) 혼합물로써 p층을 형성하여 pnp구조를 만들었다. 이 구조의 한면에 앞에서 설명한 방법으로 홈망을 형성하였다. 다이내스티는 홈망이 형성된 면을 n-형 CZ웨이퍼의 경면연마(鏡面研磨)면(mirror-polished surface)과 pnp구조의 홈이 형성된 면을 접합하여 제작하였다. 그림 2에 역점조 다이내스티의 단면 구조를 나타내었다.

먼저 접합할 면을 알려진 방법으로 친수화(hydrophilization)^[7] 하고, 저항율 18M Ω ·cm의 순수로 세정한 후, 순수 속에서 두 면을 접착하였다. 접착된 웨이퍼 쌍의 수분은 회전시켜 제거(spin-dry)하였다. 다음으로 95 $^{\circ}$ C로 4시간 동안 절소분위기에서 0.1N/cm²의 압력으로 압착하였다. 압착 후에는, 여러 논문^[8-10]을 참작하여, 절소분위기에서 1,000 $^{\circ}$ C에서 1시간 유지한 후 1,150 $^{\circ}$ C로 올려 2시간 동안 열처리하여 계면을 형성하였다. 열처리과정에는 외부의 압력을 가하지 않았다. 본 연구에서는 접합된 두 (111)면 상에서의 결정축을 일치시키지는 않았다.

접합계면상태와 실리콘 내부(bulk)의 결정학적 특성을 비파괴 검사법으로 관찰하기 위하여, 평면계면을 갖는 웨이퍼 측을 갈아내어 그 두께가 30 ~ 40 μ m 정도가 되게 한 후, CuK α -선(Si 내의 침투깊이는 40 μ m 내외)을 이용하는 반사모드 XRT법(Berg-Barrett-Newkirk법)과 적외선투과상(IR-transmission image)법을 적용하였다.

OM 및 SEM관찰을 위해서는 절단면을 연마한 후, HF-HNO₃-CH₃COOH(3:5:3)용액을 이용하여 식각하였다.

전기적 특성평가를 위한 금속화층은 니켈(Ni)을 무전해도금한 후 650 $^{\circ}$ C에서 열처리하여 형성하였다. 외부전극을 인출하기 위해, 니켈전극층 위에 텅스텐(W) 열용력보상판을 고온매납으로 붙였다. 가장자리에서의 내전압 확보를 위하여 가장자리 경사각기(bevelling)을 기계적인 연마법으로 행한 후, 마무리 가장자리형상(edge contour)처리를 화학식각법으로 하였다. 가장자리는 새징공정을 거친 후, 일반적인 고전압소자의 경우와 마찬가지로 실리콘고무로 보호하였다.

접합계면의 균일성을 관찰하기 위하여 접합체를 10 \times 10mm²의 크기로 절단하고, 앞에서 언급한 방법으로 금속화와 가장자리 처리를 한 후, I - V 특성을 측정하여 비교하였다.

결과 및 고찰

본 연구에서는 홈파기를 이용한 SDB법으로 pn 다이오드 및 역점조 다이내스티를 제조했다. 접합체의 계면 및 웨이퍼의 내부의 결합상태는 x-선 topography법으로 관찰했다^[11]. 접합된 두 웨이퍼 사이에 격자부정합이 있으면, 접합계면 뿐만 아니라 웨이퍼 내부에서도 많은 결함이 나타난다. 이것은 계면에서 형

성된 선결함이 열처리과정에서 웨이퍼의 결정내부를 통과하여 자유표면으로 이동하여 제거되는 과정에 그 흔적을 남기기 때문이라고 설명할 수 있다. 저자들은^[12], 두 경면연마 웨이퍼를 접착한 경우와 비교할 때, 홈을 도입하는 방법은 접합계면 뿐만 아니라 실리콘 내부에서의 선결합농도가 10²~10³ 정도 낮게 나타나는 것을 확인하였다. 이러한 결과는 격자부정합 때문에 생긴 계면의 결함을 인위적으로 만든 홈들이 소멸시키기(gettering) 때문이라고 설명할 수 있었다.

그림 3은 홈을 판 p-형 웨이퍼와 단순 경면연마 n-형 웨이퍼 접합체의 접합계면을 포함하는 실리콘 내부의 X-선 topography 관찰결과를 보여주고 있다. 그림에서 볼 수 있는 바와 같이, 접합되지 않는 부분이 거의 없는 계면상태와 비교적 완벽한 결정상태를 함께 가지고 있음을 알 수 있다.

접합계면의 상태는 투과적외선상으로도 관찰 할 수 있었는데, 그 결과를 그림 4에 나타내었다. 그림 4의 (a) 및 (b)의 홈파기법으로 만든 다이오드 및 다이내스티구조는, (c)의 일반적인 SDB법으로 만든 다이오드 구조에 비하여, 보다 완벽한 계면접합을 이루고 있다는 것을 나타내어 주고있다. 그림에서 어두운 부분은 접착되지 않은 계면이 내부의 가스로 인해서 공동을 형성했기 때문으로 판단된다.

그림 5는 열처리에 의하여 홈들이 완전히 채워진 모양을 보여주고 있다. 접합초기에는 홈들 주위에 결합층이 존재하지만 적절한 열처리에 의한 원자 재배열로 신뢰성있는 접합체를 얻을 수 있었음을 전자현미경 관찰로도 확인할 수 있었다.

그림 6은 홈을 도입하여 얻은 직경 60mm SDB pn다이오드의 직렬저항 R_s의 분포도를 나타내고 있다. 이 결과는 여기에서 제안하는 방법으로 신뢰성있는 접합계면을 얻을 수 있다는 것을 증명하고 있다.

그림 7은 제안한 방법으로 얻은 다이오드들의 순방향 I - V 특성의 대표적인 예이다. 이러한 특성으로 부터 구한, 다이오드의 I - V 관계식 $I = Aexp(qV/nkT)$ 의 이상지수 n값이 약 1.5정도임을 알 수 있다. 대전류영역에서의 I - V곡선에서의 직선화 현상은, 대전류주입시에 나타나는 효과, 즉, 전자-정공 산란, pn 접합에서의 주입효율의 저하 및 Auger계결합 등으로 설명될 수 있을 것이다. 특히 SDB접합면을 pn접합면으로 하는 경우, 주입효율에 미치는 접합계면상태의 영향에 대해서는 보다 면밀한 연구가 요구된다.

역방향 I - V특성을 측정해 보면, 125 $^{\circ}$ C, 1,300V에서 누설전류가 확산형 다이오드의 경우와 비슷한 수준인, 10⁻³A를 넘지 않았다. 이는 앞에서 언급한 바 대로, 공핍층내에 선결합을 홈의 도입으로 줄일 수 있었기 때문이라고 생각된다. 12cm²의 홈파기 SDB 다이오드의 250 ~ 300A/cm²에서의 순방향전압강하를 측정해 본 결과 일반적인 확산형 pn 다이오드의 1.3 - 1.5V에 근접하였다. 이러한 결과는 앞서의 설명을 다시 한번 확인하여 주고 있다. 또한 만들어진 SDB 다이오드의 내전압(1,400 ~ 1,500V)은 30 Ω ·cm n-형 웨이퍼를 기준으로 계산한 이론치에 가까웠다.

SDB기술은 대면적 다층구조의 고전압소자에 유용한 기술이다. 특히 활성층이 얇아야 하는 고속스위칭 소자에서는 새로운 장을 열 수 있는 공정이다. 본 연구에서는 RSD에 적용하여 그 가능성을 타진하였다. RSD는 그림 2에서 보는 바와 같이 n⁺pn⁺ 트랜지스터와 p⁺npn⁺ 사이리스터가 병렬로 결합된 구조를 가지고 있다. 이 구조에서 접히는 주회로로 부터 유극에 순

간적인 양전압을 인가한 후, 전류(轉流) 시킴으로써 이루어진다. 소자가 역바이어스 되면 확산형 n⁺p 접합은 저전압에서 파괴된다. 이 파괴전류는 n⁺n⁺p 트랜지스터의 베이스 전류로 작용하여 트랜지스터를 절호시킨다. 사이리스터의 p-에미터 구조를 적절히 설계하므로써 트랜지스터의 점호에 의하여 만들어지는, n-베이스에서의 전자-정공 플라즈마층을 균일하게 분포시킬 수가 있다. 이와 같이 역바이어스하여 얻어진, n-베이스의 과잉전하들이 존재하는 상태 하에서 주전극에 가해지는 전압을 순방향으로 전환하면 플라즈마 영역의 과잉의 전하들은 자기 반대극성의 주전극쪽으로 이동하게 된다. 높은 p-베이스로 주입되어 n⁺p-에미터 접합으로 부터 전자의 주입이 일어나도록 한다. 이 주입현상은 일반적인 사이리스터와는 달리 접합의 전면에서 동시에 일어난다. 따라서 사이리스터의 경우와 같은 통전영역의 확산과정이 없이 단시간에 점호될 수 있다는 장점을 가지고 있다. 이와 같은 구조의 작동면적 50cm² RSD는 수 kA의 스위칭 전류에서 μ s 정도의 스위칭특성과 $di/dt > 5 \times 10^4 A/\mu s$ 의 능력을 나타내었다. 이와 같은 특별한 스위칭특성 때문에, 일반 사이리스터와는 달리 스위칭손실이 통전상태손실(on-state loss)에 비하여 작게 나타난다. 이와같은 특성은 이소자의 고속작동을 보장한다.

여기에 덧붙여 SDB기술을 응용하므로써 스위칭특성을 더욱 개선할 수 있었다. 두꺼운 n⁺-기판에 p-에미터 단락구조를 갖는 pnp 트랜지스터를 SDB법으로 붙여, 대면적의 다이니스터 구조체를 만들 수 있었어 p- 및 n-베이스 층의 두께를 줄일 수 있기 때문에 통전상태 전압강하를 줄일 수 있으며, 스위칭속도도 개선할 수 있다. 그리고 실험방법에서 설명한 n⁺p 접합계면에 도입한 p-층에서의 p⁺-그리드망(網)은 일반 사이리스터에서 에미터단락구조와 같이 dV/dt 의 개선을 위하여 도입하였다. 이와 같은 배경으로 설계제작된 SDB 다이니스터의 특성은 확산형에 비교하여 손색이 없는 정격치($V_{DRM} \approx 1.0kV$, $V_{TM} \approx 2.5V$ at $J_{TM} = 500A/cm^2$)를 얻을 수 있었다. 한편 dV/dt 는 약 800V/ μ s, 125 $^{\circ}C$ 에서 10 μ s 소호(turn-off)시간을 가지는 역점호모드로 20kHz의 주파수로 1kA의 평균전류를 단속하는 것이 가능하였다.

결 론

본 연구결과 제안하는 홈파기를 이용한 SDB기술이 대용량 고속소자를 제조하는 유용한 방법이 될 수 있음이 확인되었다. 인위적으로 도입한 홈들이 접합시 나타나는 계면의 결함을 제거하는 중심으로 작용하여 계면 뿐만 아니라 실리콘 결정내부의 결함을 줄여 주므로써, 일반적인 SDB에서 나타나는 전기적 특성열화를 현저히 줄일 수 있었다. 특히 대용량 다층구조의 소자인 다이니스터에의 응용 결과, 손실을 줄이고 스위칭특성을 개선할 수 있는 구조의 설계 및 제작이 가능함을 확인할 수 있었다.

본 논문에서 제안하는 새로운 SDB법은 앞에서 열거한 많은 장점에도 불구하고 아직 많은 체계적인 연구가 필요하다고 사료된다. 특히 '인위적으로 만든 홈이 채워지는 과정에서 나타날 수 있는 홈주위 결함들의 영향을 어떻게 최소화할 것인가?' 또는 홈채우기와 계면의 완벽한 접합을 위한 최적의 열처리조건을 찾는 것과 같은 문제가 선결되어야 할 것이다.

REFERENCES.

- 1) M. Shimbo, K. Furukawa, K. K. Fukuda and K. Tanzawa, J. Appl. Phys., 60[8], 2987(1986).
- 2) C. Parkes, N. S. J. Mitchell, H. S. Gamble and B. M. Armstrong, Proc. EPE-MADEP, Firenze (1991), p. 47-52
- 3) R. Stengl, K. Y. Ahn and Gosele, Jpn. J. Appl. Phys., 28, L1735(1989).
- 4) W. P. Maszara, J. Electrochem. Soc. 138[1], 341(1991).
- 5) R. D. Black, S. D. Arthur, R. S. Gilmore, N. Lewis, E. L. Hall and R. D. Lillquist, J. Appl. Phys., 63[8], 2773(1988).
- 6) I. V. Grekhov, A. V. Gorbatyuk, L. S. Kostina, S. V. Korotkov and N. S. Jakovtchuk, Solid States Electronics 26[11], 1132(1983).
- 7) W. Kern and D. A. Puotinen, RCA Rev. 31, 187(1970).
- 8) E. Tong, H-Z. Zhang and M. Qing, Electronics Letters, 27[3], 288(1991).
- 9) R. Wiget, E. P. Burte, J. Gyulai and H. Ryssel, EPE Proceedings, Brighton(1993), p.63.
- 10) M. Horiuchi and S. Aoki, J. Electrochem. Soc., 139[9], 2589(1992).
- 11) M. J. J. Theunissen, A. H. Goemans, A. J. R. de Kock, J. Haisma, C. W. T. Bulle-Lieuwma and D. E. W. Vandenhoudt, J. Electrochem. Soc., 137[12], 3975(1990).
- 12) E. D. Kim, S. C. Kim, N. K. Kim, S. W. Yi, and A. L. Kostina, Electron. Lett., to be published.

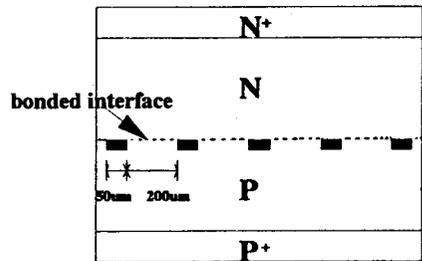


그림 1. 직접접합 계면에 P⁺-형 그리드 망을 형성시켜 만든 PN 다이오드의 단면구조

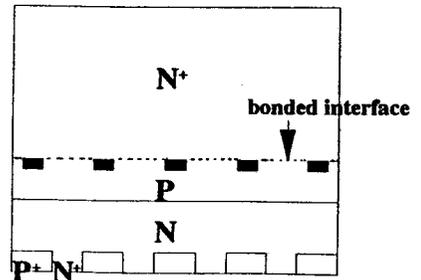


그림 2. N⁺- 웨이퍼와 P 베이스 층 사이에 직접접합 계면을 만든 역점호 다이니스터의 단면구조

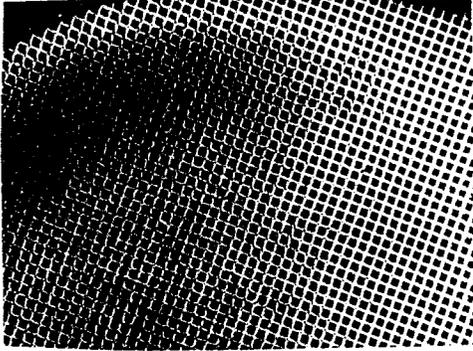


그림 3. 흡출 판 p-형 웨이퍼와 단순 경면연마 n-형 웨이퍼 집합체의 집합계면을 포함하는 실리콘 내부의 X-선 topography

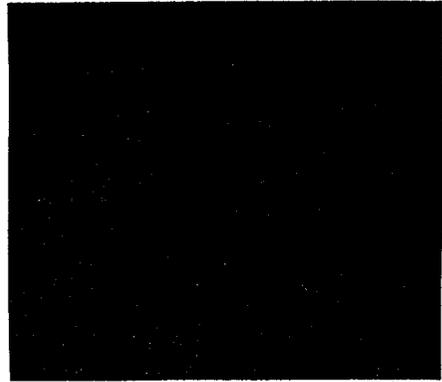
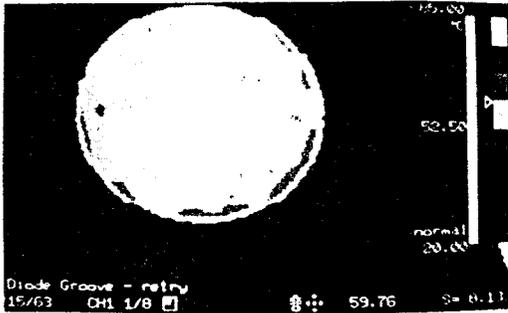


그림 5. 열처리에 의해 흡이 채워진 모양



(a) 흡파기 법으로 만든 다이오드

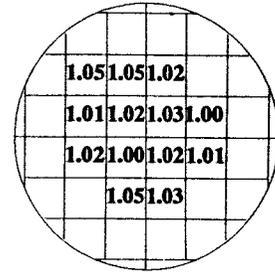
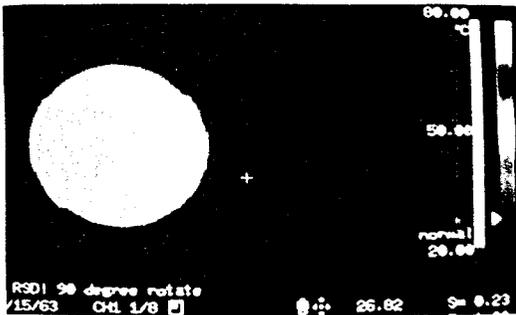


그림 6. 직경 60mm의 SDB pn-다이오드의 직렬저항 분포



(b) 흡파기 법으로 만든 다이오드



(c) 일반적인 SDB법으로 만든 다이오드

그림 4. 투과적외선상으로 관찰한 집합계면

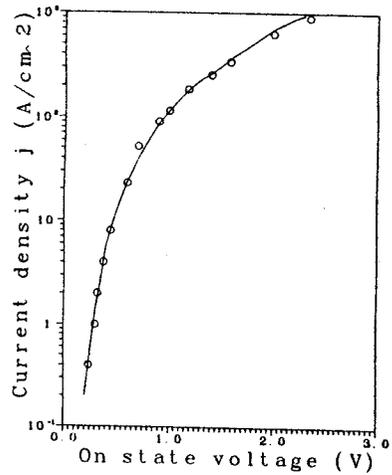


그림 7. 제안된 방법으로 얻은 다이오드의 순방향 I-V 특성