

## NPC 인버터의 베이스/게이트 구동 억제 방법

윤지택<sup>°°</sup> · 박인규<sup>°°</sup> · 박종근<sup>°</sup>

<sup>°</sup>서울대학교 전기공학과 · <sup>°°</sup>원광대학교 제어계측공학과

### Base/Gate Drive Suppression Methods of NPC Inverters

Ji Taek Yoon<sup>°°</sup> · In Gyu Park<sup>°°</sup> · Jong Keun Park<sup>°</sup>

<sup>°</sup>Dept. of Electrical Eng., Seoul National University

<sup>°°</sup>Dept. of Control and Instrumentation Eng., Won Kwang University

**Abstract** - This paper proposes two base/gate drive suppression methods of NPC inverters. The first is the output current polarity detection type, which can be regarded as an extension of Joshi and Bose's method for ordinary inverters. But this method has difficulties in implementation. The second is the output voltage polarity detection type, which is easier to implement than the former. The base/gate drive suppression methods have the merit that it does not have the dead time problem, reduces the power loss of the driving circuit, and others.

### 1. 서 론

본 논문은 NPC(neutral point clamped) 인버터의 leg를 구동하는 방법에 관한 것이다.

NPC 인버터는 three-level의 스위칭 특성을 갖는 것으로서, 보통의 two-level 인버터보다 출력 전압의 고조파 왜곡이 적다는 장점과 직류 링크 전압을 두 배로 높일 수 있다는 장점 때문에 대용량의 인버터에 특히 적합한 것으로 평가되고 있다. [1~3].

NPC 인버터의 leg를 구동하는 현재의 방법은 상보적 구동 방법으로서 스위칭 시에 leg가 단락 되는 것을 막기 위해서 매 스위칭에 dead time을 삽입하는 방법이다. 그러나 이 방법은, two-level 인버터에서의 마찬가지로, dead time에 의해 leg의 스위칭에 오차가 발생하여 인버터의 출력이 왜곡된다는 문제가 있다.

이러한 dead time 문제를 해결하기 위한 여러 연구들이 two-level 인버터를 대상으로 있어 왔다 [4~7]. 이들 중에서 Joshi씨와 Bose씨의 베이스/게이트 구동 억제 방법 [7]은 특히 주목할 만하다. 이 방법은 기본적으로 dead time 없이 leg를 구동할 뿐만 아니라, 구동 회로의 전력 손실을 줄이며, leg의 신뢰성을 높인다는 등의 장점을 갖는다 [7].

본 논문에서는 NPC 인버터의 leg에 대한 베이스/게이트 구동 억제 방법을 제안해 보고자 한다. 제안하는 방법은 두 가지이다. 첫째는 출력 전류 극성 검출식으로, 이것은 Joshi씨와 Bose씨의

방법의 확장으로 볼 수 있다. 그러나 이 방법은 구현에 난점이 있다. 둘째는 출력 전압 극성 검출식이다. 이 방법은 첫째 방법보다 구현이 용이하다.

### 2. 출력 전류 극성 검출식 구동 억제 방법

#### 2.1 현재의 구동 방법

그림 1에 NPC 인버터 leg를 나타내었다. 그리고 표 1에는 현재의 구동 방법을 나타내었다. 표에서 보는 것과 같이, 현재의 구동 방법은 상보적 구동 방법으로서  $S_1$ 과  $S_3$  및  $S_2$ 와  $S_4$ 가 각각 상보적 관계 하에 있다. 이 방법은 스위칭 시에 leg가 단락 되는 것을 막기 위해서  $S_1$ 과  $S_3$  및  $S_2$ 와  $S_4$  각각의 매 스위칭에 dead time을 삽입해야 한다. (표 1에서 스위치들의 값 1은 온 상태를 나타내며 0은 오프 상태를 나타낸다.)

#### 2.2 제안하는 방법

현재의 구동 방법에는 스위치의 불필요한 구동이 있다. 즉, 출

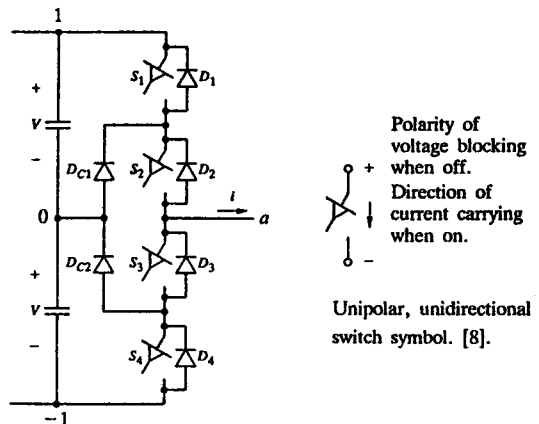


그림 1 NPC 인버터의 leg

Fig. 1 A leg of NPC inverters

**표 1** 현재의 구동 방법

**Table 1** The driving method of current use

$S_1$	$S_2$	$S_3$	$S_4$	$u_{a0}$
1	1	0	0	$V$
0	1	1	0	0
0	0	1	1	$-V$

력 전류  $i > 0$  일 때에는 전류는  $S_1$ 과  $S_2$ 를 통해서만 흐르며  $S_3$ 과  $S_4$ 를 통해서 흐르지 않기 때문에  $S_3$ 과  $S_4$ 의 구동은 불필요하다. 반대로,  $i < 0$  일 때에는  $S_1$ 과  $S_2$ 의 구동이 불필요하다.

제안하는 출력 전류 극성 검출식 구동 억제 방법은 출력 전류  $i$ 의 극성을 검출하여,  $i > 0$  일 때는  $S_3$ 과  $S_4$ 를 오프 상태로 둔 채  $S_1$ 과  $S_2$ 만을 구동하고, 반대로  $i < 0$  일 때는  $S_1$ 과  $S_2$ 를 오프 상태로 둔 채  $S_3$ 과  $S_4$ 만을 구동하는 것이다. 표 2와 3에 이것을 나타내었다.  $i > 0$  일 때  $S_3$ 과  $S_4$ 를 오프 상태로 두면 그림 1은 그림 2의 (a)와 같게 된다. 그리고  $i < 0$  일 때  $S_1$ 과  $S_2$ 를 오프 상태로 두면 그림 1은 그림 2의 (b)와 같게 된다. 그런데 그림 2의 (a)와 (b)의 회로는 dead time이 없어 스위칭 시에 leg가 단락될 위험이 없다. 즉, 제안하는 방법은 기본적으로 dead time 없이 leg를 구동할 수 있다.

**표 2**  $i > 0$  일 때의 구동 억제

**Table 2** The drive suppression when  $i > 0$

$S_1$	$S_2$	$S_3$	$S_4$	$u_{a0}$
1	1	0	0	$V$
0	1	0	0	0
0	0	0	0	$-V$

**표 3**  $i < 0$  일 때의 구동 억제

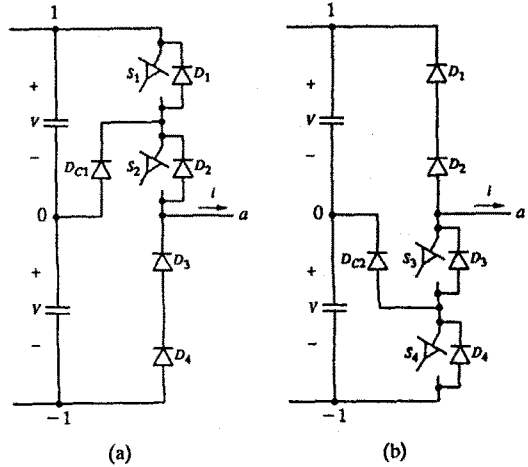
**Table 3** The drive suppression when  $i < 0$

$S_1$	$S_2$	$S_3$	$S_4$	$u_{a0}$
0	0	0	0	$V$
0	0	1	0	0
0	0	1	1	$-V$

구동 억제는 기동 시나 전류 불연속 시에는  $i=0$ 이 되어 극성이 정의되지 않기 때문에 적용될 수 없다. 그리고 운전 시에도 zero-crossing 부근에서는  $i$ 의 극성을 정확하게 검출할 수 없다는 문제가 있다. 때문에, 극성이 불확실한 영역을 설정하여 그 영역에서는 dead time 삽입 방법을 적용하는 것이 필요하다.

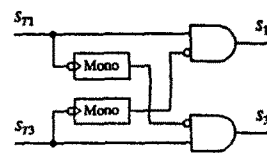
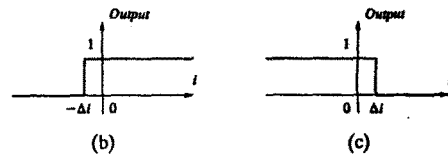
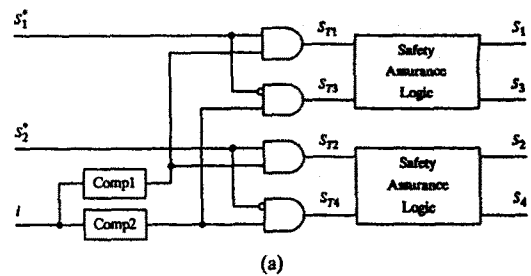
**2.3 구현**

그림 3에 제안하는 방법의 구현을 나타내었다. 비교기1과 비교기2는  $i$ 의 극성을 검출하는 기능과 불확실한 영역을 판정하는 기능을 한꺼번에 수행한다. 비교기의  $\Delta i$ 는 극성이 불확실한 영역을 설정하기 위한 것이다.  $S_{T1}$ 과  $S_{T3}$ ,  $S_{T2}$ ,  $S_{T4}$ 에는  $i$ 의 극성이 확실한 영역에서는 구동-억제된 구동 신호가 출력되며, 불확실한 영역에서는 상보적 구동 신호가 출력된다. '안전 보장 논리'는 필요한 경우에만 dead time을 삽입하는 회로이다. 즉, 구동-억제된



**그림 2** (a)  $S_3$ 과  $S_4$ 를 오프했을 때의 leg, (b)  $S_1$ 과  $S_2$ 를 오프했을 때의 leg

**Fig. 2** (a) The leg when  $S_3$  and  $S_4$  are off, (b) The leg when  $S_1$  and  $S_2$  are off



**그림 3** 제안하는 출력 전류 극성 검출식 구동 억제 방법 : (a) 블럭도, (b)(c) 비교기1과 2의 특성, (d) 안전 보장 논리

**Fig. 3** The proposed drive suppression method of the output current polarity detection type : (a) block diagram, (b)(c) characteristic of comparator1 and 2, (d) safety assurance logic

구동 신호는 그냥 통과시키며 상보적 구동 신호에 대해서는 dead time을 삽입한다. 결국,  $S_1$ 과  $S_3$ ,  $S_2$ ,  $S_4$ 에는  $i$ 의 극성이 확실한 영역에서는 구동-억제된 구동 신호가 출력되며, 불확실한 영역에서는 dead time이 삽입된 상보적 구동 신호가 출력된다.

### 2.4 평가

제안하는 방법은 기본적으로 dead time 없이 leg를 구동할 뿐 아니라, 구동 회로의 전력 손실을 줄이며, leg의 신뢰성을 높인다는 등의 장점을 갖는다. 그러나 이 방법은 구현에 어려움이 있다. 첫째, 출력 전류의 파형은 대체로 연속이며 또한 부하 조건에 따라 크게 변하기 때문에 그 극성을 정확하게 검출하기 어렵다. 둘째, 출력 전류 극성의 검출을 위한 하드웨어는 (경우에 따라 다르지만) 일반적으로 부담스럽다.

## 3. 출력 전압 극성 검출식 구동 억제 방법

### 3.1 선택적 구동

그림 1에서 ( $i$ 의 극성에 관계없이 임의로)  $S_1$ 과  $S_2$ 를 선택하여 구동하고  $S_3$ 과  $S_4$ 는 오프 상태에 두는 것을 생각한다. 그러면 그림 1은 그림 2의 (a)와 같게 되며, 따라서  $i > 0$ 인 한에 있어서는 leg는  $S_1$ 과  $S_2$  만의 구동에 의해 (dead time의 필요 없이, 그리고 leg 단락의 위험 없이) 잘 스위칭 된다. 그러나  $i < 0$ 이 되면, 전류는  $S_1$ 과  $S_2$ 의 구동에 관계없이  $D_1$ 과  $D_2$ 를 통해서 흐르며, leg의 스위칭에 오차가 나타나게 된다. 이렇게 leg의 스위칭에 오차가 나타날 때에 선택을 바꾸어  $S_3$ 과  $S_4$  만을 구동하고  $S_1$ 과  $S_2$ 를 오프 상태에 두면, 그림 1은 그림 2의 (b)와 같게 되며, 따라서  $i < 0$ 인 한에 있어서는 leg는 역시  $S_3$ 과  $S_4$  만의 구동에 의해 잘 스위칭 된다. 그러나  $i > 0$ 이 되면, 전류는  $D_3$ 과  $D_4$ 를 통해서 흐르며, leg의 스위칭에 다시 오차가 나타나게 된다. 이 때에 다시 선택을 바꾸어  $S_1$ 과  $S_2$  만을 구동하고  $S_3$ 과  $S_4$ 를 오프 상태에 두면 처음으로 돌아가서 이상의 과정이 반복된다.

### 3.2 스위칭 오차의 검출

Leg의 스위칭 오차는 leg의 기준 스위칭 신호와 실제의 leg의 스위칭 상태와의 차이이다. 실제의 leg의 스위칭 상태는 출력 전압  $u_{ao}$ 로부터 검출할 수 있다. 절점  $a$ 가 절점 1에 연결된 때에는  $u_{ao}$ 에는 전압  $V$ 가 나타나며, 절점  $a$ 가 절점 0에 연결된 때에는 전압 0이 나타나고, 절점  $a$ 가 절점 -1에 연결된 때에는 전압  $-V$ 가 나타난다. 따라서  $u_{ao}$ 를 측정하여 전압이  $V$ (high)인지 0(low)인지  $-V$ (negative high)인지를 판정하면 leg의 스위칭 상태가 검출된다. 검출된 leg의 스위칭 상태와 leg의 기준 스위칭 신호를 비교하면 leg의 스위칭 오차가 검출된다.

그런데, leg의 스위칭 오차 신호에는 스위칭 소자들의 스위칭 과도 시간 때문에 스위칭 시에 과도 오차가 포함되어 나타난다. 때문에 전류의 극성의 변화 때문에 발생하는 스위칭 오차를 검출하기 위해서는 스위칭 오차 신호에서 이 과도 오차를 배제하

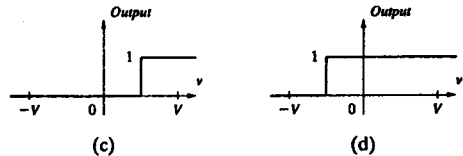
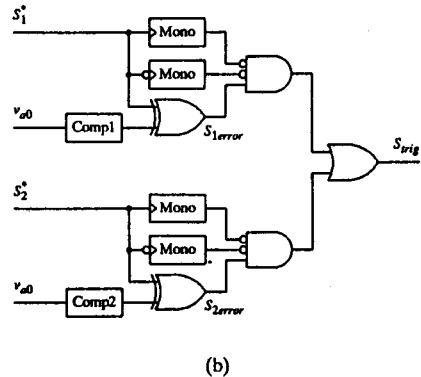
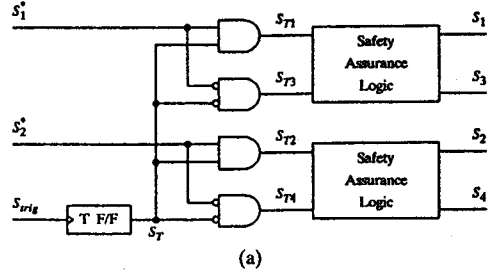


그림 4 제안하는 출력 전압 극성 검출식 구동 억제 방법 : (a) 선택적 구동, (b) 스위칭 오차의 검출, (c)(d) 비교기1과 2의 특성

Fig. 4 The proposed drive suppression method of the output voltage polarity detection type : (a) selective drive, (b) detection of the switching errors, (c)(d) characteristic of comparator1 and 2

여야 한다. 과도 오차의 배제는 기준 스위칭 신호에서 예상 스위칭 과도 시간을 추출하여 스위칭 오차 신호를 masking함으로써 가능하다.

### 3.3 구현

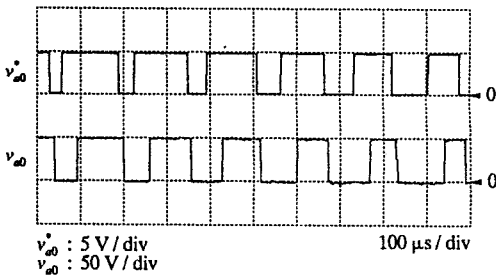
그림 4에 제안하는 방법의 구현을 나타내었다.  $S_1$ 과  $S_3$ , 및  $S_2$ 와  $S_4$ 는 toggle flip-flop의 상태에 따라 각각 하나만 선택되며 다른 하나는 0이 된다. 단안정 발진기들은 각각 기준 스위칭 신호의 rising 및 falling edge에서 trigger되어 예상 과도 시간만큼의 폭을 갖는 펄스를 만들어 낸다. (예상 과도 시간은 스위칭 소자의 스위칭 과도 시간과 스위칭 오차 검출 회로의 시지연을 고려해서 충분히 길게 설정한다.) 스위칭 오차 신호  $S_{1error}$ 와  $S_{2error}$ 는 각각의 예상 과도 시간에 의해 masking 되어 toggle flip-flop을

trigger한다. '안전 보장 논리'는 동작 중에 발생할 수 있는 'dead time이 필요한 특수한 경우'(이에 대한 설명은 복잡하기 때문에 본 논문에서는 생략한다.)에 대비한 것이다. (그림 4의 회로는 실제의 구현에서는 단안정 발진기가 총 2개인 회로로 단순화될 수 있다.)

### 3.4 평가

제한하는 방법은 기본적으로 dead time없이 leg를 구동한다. 다만, 전류의 극성이 바뀌는 순간에는 경우에 따라 한번의 dead time이 발생한다. 결국, 제한하는 방법은 출력 전류  $i$ 가 연속이고 주기 당 극성의 변화가 2번인 경우에는 주기 당 스위칭 수에 관계없이 주기 당 최대 2번의 dead time 만이 발생한다.

출력 전압 극성 검출식 방법은 출력 전류 극성 검출식 방법에 비해 구현이 쉽다. 첫째, 출력 전류  $i$ 의 파형은 대체로 연속이며 또한 부하 조건에 따라 크게 변하기 때문에 그 극성을 정확하게 검출하기 어렵다. 반면에, 출력 전압  $v_{ao}$ 의 파형은 high 또는 low의 불연속 대(大) 신호이며 부하 조건에 따라 변하지 않기 때문에 극성을 검출하기 매우 쉽다. 둘째, 출력 전압  $v_{ao}$ 의 극성의 검출은 출력 전류  $i$ 의 극성의 검출보다 하드웨어상 부담이 작다. 아울러, 제안하는 방법은 극성 검출 회로의 시지연을 예상 과도 시간에 포함시킬 수 있기 때문에 하드웨어의 높은 정밀도가 요구되지 않는다.



### 3.5 실험 결과

그림 5와 6은 각각 dead time 삽입 방법 및 제안하는 출력 전압 극성 검출식 구동 억제 방법을 단상 반(half) 브리지 NPC 인버터에 적용한 실험 결과이다. 예상과 같이, dead time 삽입 방법 방법에서는 출력 전압의 파형에 dead time 오차가 발생하지만, 제안하는 방법에서는 dead time 오차가 발생하지 않는다. 그리고 출력 전류 파형도 제안하는 방법이 dead time 삽입 방법에 비해 크기가 더 크며 왜곡도 거의 없다. 그림 7은 전류의 극성이 바뀌는 순간에서의 제안하는 방법의 동작 파형들이다. (실험에서 사용된 스위칭 소자는 450V, 30A급의 BJT이며, 부하는 R-L 직렬 회로이다. 그리고 dead time 삽입 방법의 dead time 및 제안하는 방법의 예상 과도 시간은 둘 다 30 μsec이다.)

## 3. 결 론

본 논문에서는 NPC 인버터의 leg에 대한 출력 전류 극성 검출식 및 출력 전압 극성 검출식 베이스/게이트 구동 억제 방법을 제안하였다. 제안한 방법들은 기본적으로 dead time없이 leg를 구동하므로 종래의 dead time 오차가 거의 발생하지 않으며, 구동 회로의 전력 손실을 줄인다는 등의 장점도 갖는다. 출력 전압 극성 검출식 방법은 출력 전류 극성 검출식 방법보다 구현하기 용이하다. 특히 출력 전압 극성 검출식 방법은 전용 IC로 상품화

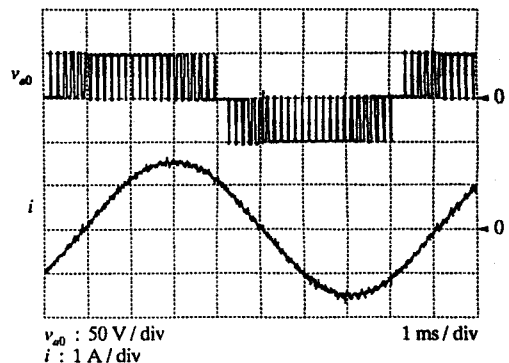
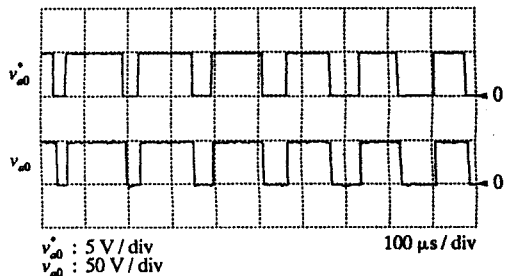
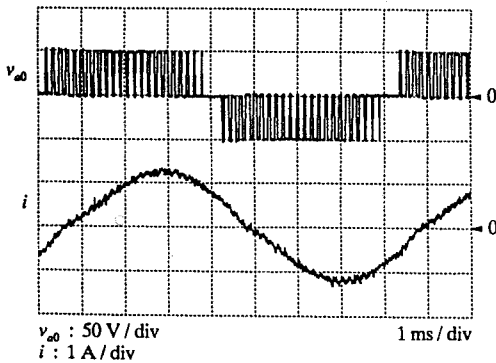


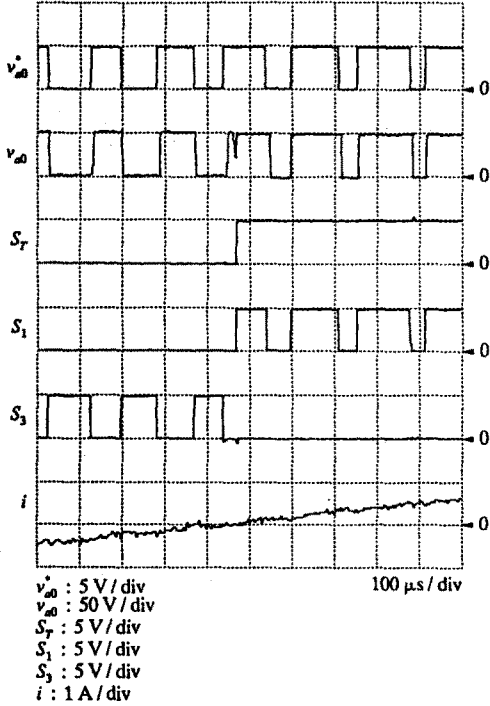
그림 5 Dead time 삽입 방법에 의한 실험 결과

Fig. 5 Experimental result with the dead time insertion method

그림 6 출력 전압 극성 검출식 구동 억제 방법에 의한 실험 결과

Fig. 6 Experimental result with the drive suppression method of the output voltage polarity detection type

## 참고 문헌



**그림 7** 전류의 극성이 바뀌는 순간에서의 제안하는 방법의 동작  
**Fig. 7** Operation of the proposed method at the moment  
 when the current polarity changes

되면 쉽게 널리 쓰일 수 있을 것으로 기대된다.

제안하는 방법들은 다단(multilevel) 인버터 [9]에도 확장 적용  
될 수 있다.

- [1] A. Nabae *et al.*, "A new neutral-point-clamped PWM inverter," *IEEE Trans. Ind. Appl.*, vol. 17, no. 5, pp. 518-523, 1981.
- [2] K. Nakata *et al.*, "A three-level traction inverter with IGBTs for EMU," in *1994 IEEE IAS Conf Rec.*, pp. 667-672, 1994.
- [3] C. Hochgraf *et al.*, "Comparison of multilevel inverters for static var compensation," in *1994 IEEE IAS Conf Rec.*, pp. 921-928, 1994.
- [4] Y. Murai *et al.*, "Waveform distortion and correction circuit for PWM inverters with switching lag-times," *IEEE Trans. Ind. Appl.*, vol. 23, no. 5, pp. 881-886, 1987.
- [5] T. Sukegawa *et al.*, "Fully digital, vector-controlled PWM VSI-fed ac drives with an inverter dead-time compensation strategy," in *1988 IEEE IAS Conf Rec.*, pp. 463-469, 1988.
- [6] S. G. Jeong *et al.*, "The analysis and compensation of dead time effects," in *IEEE IECON'88 Conf Rec.*, pp. 667-671, 1988.
- [7] R. P. Joshi and B. K. Bose, "Base/gate drive suppression of inactive power devices of a voltage-fed inverter and precision synthesis of ac voltage and dc current waves," in *IEEE IECON'90 Conf Rec.*, pp. 1034-1040, 1990.
- [8] P. Wood., *Switching Power Converters*, Van Nostrand Reinhold Company., 1981, pp. 16-18.
- [9] Nam S. Choi *et al.*, "A general circuit topology of multilevel inverter," in *IEEE PESC'91 Conf Rec.*, pp. 96-103, 1991.