

# 3-레벨 인버터를 위한 과전압 제한회로 설계

정재훈<sup>o</sup>, 이요한, 현동석  
한양대학교 전기공학과

## A Circuit Design for Clamping an Overvoltage in Three-level Inverters

Jae-Houn Jeong<sup>o</sup>, Yo-Han Lee, Dong-Seok Hyun  
Dept. of Electrical Eng., Hanyang Univ.

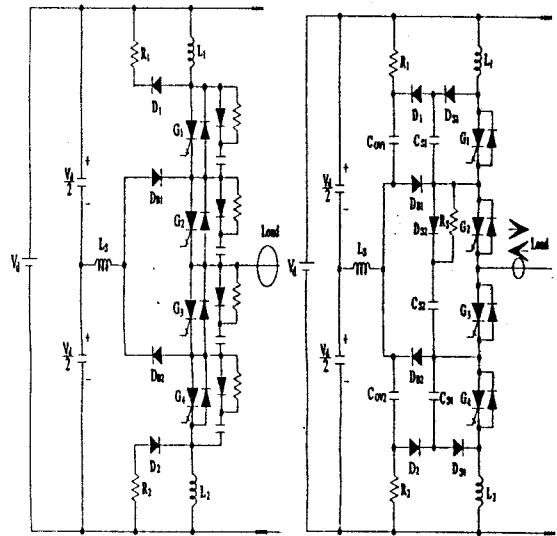
**Abstract** - This paper represents an overvoltage clamping circuit for three level inverters. With a proposed overvoltage clamping circuit, the problems that high voltage stresses and voltage unbalance between outer and inner switches occurs in high power and high voltage 3-level inverters are reduced.

에서는 3-레벨 인버터에 적용될 수 있는 과전압 제한 회로를 제안하고 제안된 회로의 타당성을 시뮬레이션을 통해 확인한다.

### 2. 제안된 과전압 제한 회로와 동작 특성

### 1. 서론

3-레벨 인버터는 각 스위칭 소자의 차단 전압이 DC-링크 전압의 1/2이고 2-레벨에 비해 같은 스위칭 주파수에서 인버터 출력전압의 고조파 성분이 적고 2-레벨 인버터의 병렬운전에 의한 고조파 제거방식에 비해 부가적인 리액티나 변압기가 필요하지 않는 장점으로 인해 고압 대용량 인버터 시스템에 적합한 구조이다[1]. 인버터 시스템 구현시 스너비회로는 스위칭 과도상태 안전동작 조건을 만족시키고 시스템의 신뢰성 확보를 위해 필수적이다. 2-레벨 인버터의 경우에는 여러 가지 희생스너버 방식과 Underland 스너비회로, 그리고 McMurray 스너비회로 처럼 소자수를 줄이면서도 저손실화를 이룰 수 있는 스너비회로가 개발되었다[2],[3]. 그러나 일반적으로 3-레벨 인버터에서는 구조상의 차이로 2-레벨의 고효율 저 손실 스너비 회로를 사용하지 못하고 기존의 RCD회로를 사용해 왔다. 이 RCD 스너비회로는 전류 통로상의 인덕티스 성분으로 인한 스위칭 소자 턴오프시 스위칭 소자 양단에 나타나는 과전압을 제한하지 못하여 과전압에 의한 과도 상태 손실이 증가한다. 특히 고압 대용량 시스템 응용에 주로 쓰이는 GTO의 경우는 과전압이 나타나는 구간 동안 애노드 후미전류가 흐르기 때문에 이 과전압으로 인한 전력 손실 문제가 더욱 심각하다. 또한 과전압은 소자에 큰 전압 스트레스를 주어 수명과 신뢰성을 떨어뜨린다. 특히 내측 스위칭 소자는 외측 소자와 달리 과전압 방전 통로가 없어 내 외측 소자간에 차단 전압 불균형을 야기시킨다. 이러한 문제점은 고압 대용량으로 갈수록 더욱 심각하다. 본 논문



(a) 기존의 RCD 스너버 (b) 제안된 과전압 제한회로

그림 1. 3-레벨 인버터 시스템

그림 1(a)는 기존의 RCD 스너비회로이고 그림 1(b)는 제안된 과전압 제한 회로이다. 제안된 회로에서는 과전압 제한 회로 외에 기존의 RCD회로의 턴오프 스너버 역할을 담당하면서도 기존에 비해 소자수를 줄인 회로를 제시하였다. 그림 1(b)에서 Cov 1은 G1과 G3의 과전압 제한을 위한 커패시터이고 Cov2는 G2와 G4의 과전압 제한 커패시터이다. 3-레벨 PWM 인버터의 스너비회로 동작은 해석이 매우 복잡하므로 3-레벨 인버터를 초

피로 동작시켜 해석하는 것이 편리하다. 해석의 편의를 위해 부하 전류는 스위칭 과도 상태 동안 일정하다고 가정한다. 외측 소자 G1과 G4, 그리고 내측소자 G2와 G3은 각각 스위칭시 스너버회로의 동작 원리가 같기 때문에, G1과 G3의 턴오프시 과전압 제한 회로의 동작을 고찰한다. 표 1은 각 소자의 스위칭 상태에 따른 3-레벨 인버터의 출력 전압을 나타낸다.

기호	각 소자의 스위칭 상태				단자전압
	G1	G2	G3	G4	
P	on	on	off	off	$V_d/2$
O	off	on	on	off	0
N	off	off	on	on	$-V_d/2$

표 1. 소자의 스위칭 상태에 따른 출력전압

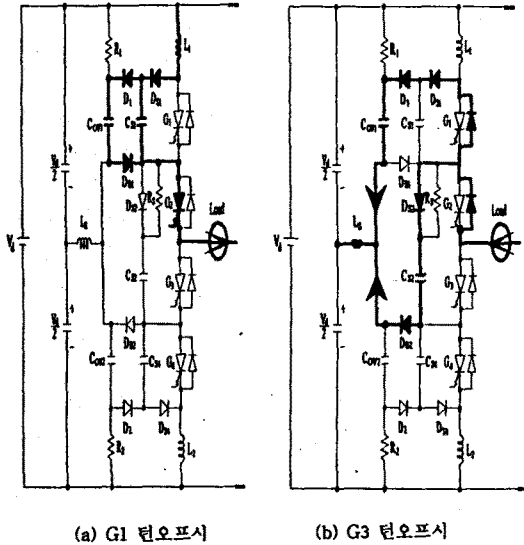


그림 2. G1과 G3 턴오프시 과전압 제한회로 동작

그림 2(a)는 G1의 턴오프시, 즉 P상태에서 O상태로 바뀔 때 회로의 동작을 보여준다. L1-Ds1-Cs1-G2의 경로를 따라 Cs1이 충전되면서 G1의 전압 상승률을 제한하고  $V_{Cs1}=V_d/2$ 가 되면 D1이 도통되어 이때부터는 Cov1과 Cs1이 병렬로 충전된다. 그런데 Cov1이 Cs1의 10~5배 정도로 크기 때문에 L1의 에너지 대부분은 Cov1에 저장되어 G1의 과전압을 효과적으로 제한한다. G4의 과전압 제한 회로 동작은 G1의 경우와 유사하다. 그림 2(b)는 G3의 턴오프시, 즉 O상태에서 P상태로 바뀔 때 회로의 동작을 보여준다. Df2-Ds2-Cs2-Ds3-Ls를 따라 Cs2가 충전되면서 G3의 전압 상승률을 제한하고  $V_{Cs2}=V_d/2$ 가 되면 전류가 Df2-Df1-Ds1-D1-Cov1-Ls의 경로를 따라 Cs2와 Cov1이 병렬로 충전된다. 이로써 G1의 경우처럼 G3의 과전압을 효과적으로 제한한다. G2의 과전압 제한 회로 동작은 G3의 경우와 유사하다. 과전압 제한 회로의 효과적인 동작으로 내외측 소자간의 차단 전압 불균형 문제는 상당히 해소될 수 있다.

### 3. 시뮬레이션 및 비교

시뮬레이션에 사용된 PWM 방법은 DC-링크 전압 균형과 스위칭 소자의 최소 온 오프시간을 고려한 공간벡터 PWM 방법을 사용하였다[5]. 시뮬레이션 조건은 표 2와 같이 기존의 회로와 제안한 회로에서 동일하게 사용하였다. 단 기존 RCD회로에서 Cov는 필요없다.

Vd	4200V
Cs	3 $\mu$ F
Cov	50 $\mu$ F
Ls	0.5 $\mu$ H
L	4.5 $\mu$ H
Rs	5 $\Omega$
R	1 $\Omega$
Rload	4 $\Omega$
Lload	2mH

표 2. 시뮬레이션 조건

그림 3은 기존의 RCD 스너버에 의한 출력 전압 전류 파형이다. 출력전압의 서지 전압은 약 5300V이다. 그러나 과전압은 수  $\mu$ sec 동안만 나타나기 때문에 출력전류파형에는 영향을 주지 않는다. 그림 4는 기존 RCD 회로에 의한 각 스위칭 소자의 전압 파형이다. 900V 이상의 과전압과 내외측 소자간의 전압 불균형을 볼 수 있다. 그림 5는 제안한 과전압 제한 회로에 의한

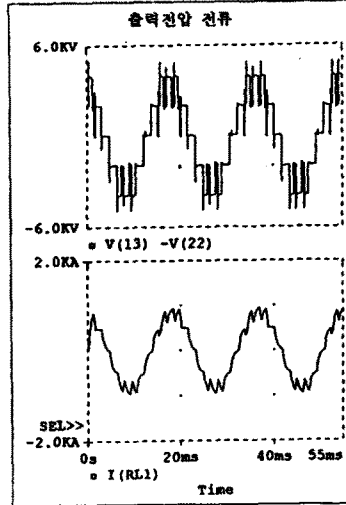


그림 3. RCD스너버 회로의 출력전압 전류파형

출력 전압 전류 파형이다. 서지 전압이 약 500V정도 감소했다. 그림 8은 제안한 회로에 의한 각 소자의 전압 파형이다. 표 5는 기존의 RCD회로와 제안한 회로의 시뮬레이션 결과를 정리한 것이다. 그림 3-6과 표 3에서 알 수 있듯이 제안된 과전압 제한 회로에 의해 과전압

은 기존의 RCD에 비해 약 500V 정도 감소했고 내외측 소자 전압 불균형 문제도 상당히 개선되었다.

스위치	RCD 스너버	제안한 회로	
G1	피크치	3.03kV	2.49kV
	정상치	2.12kV	2.11kV
G2	피크치	3.05kV	2.64kV
	정상치	2.72kV	2.34kV
G3	피크치	3.16kV	2.64kV
	정상치	2.82kV	2.35kV
G4	피크치	3.03kV	2.52kV
	정상치	2.10kV	2.12kV

표 3. 시뮬레이션 결과

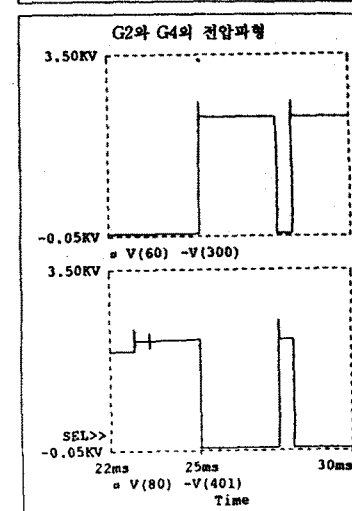
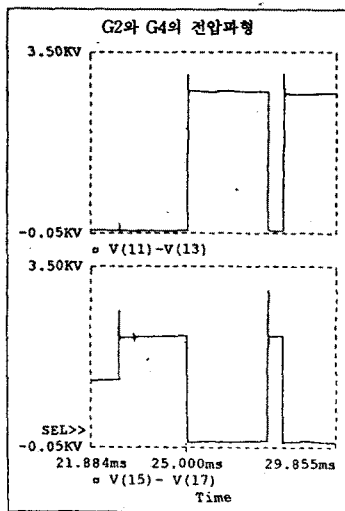
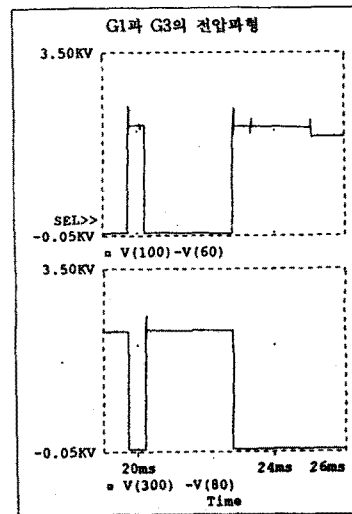
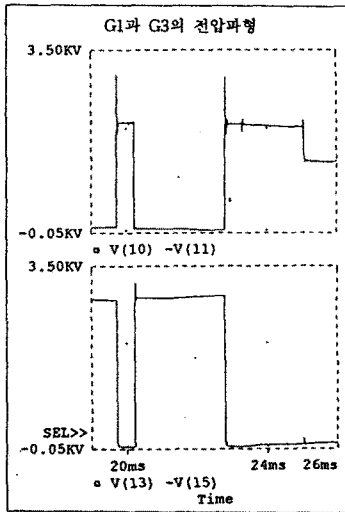


그림4. RCD스너버 회로의 각 소자 전압파형

그림6. 제안한 회로의 각 소자 전압 파형

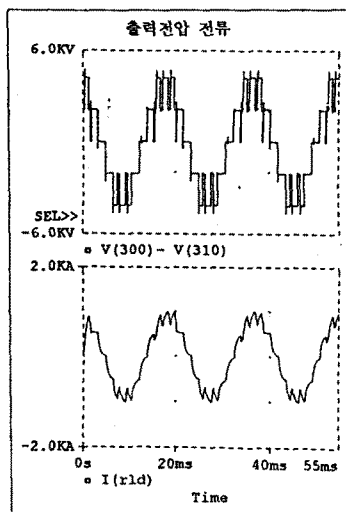


그림5. 제안한 회로의 출력전압 전류파형

#### 4. 결론

고압 대용량의 3-레벨 인버터 시스템의 응용 범위가 날로 확대되고 있는 시점에서, 본 논문에서는 고압 대용량 3-레벨 인버터에 효과적인 과전압 제한 회로를 제안하고 시뮬레이션을 통하여 타당성을 확인하였다.

#### Reference.

- [1] A. Nabae, L. Takahashi, H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," IEEE Trans, on IA, Vol IA-17, No5, pp518-523, 1981
- [2] T. M. Underland, "Snubbers for Pulse Width Modulated Bridge Converters with Power Transistors and GTO," conf. Rec. of IPEC'83, pp313-323, 1983
- [3] William McMurray, "Efficient Snubbers for Voltage Source GTO Inverters," IEEE Trans on PE, Vol PE-2, No3, pp 264-272, 1987
- [4] D. S. Hyun et al., "A circuit Design for Clamping an Overvoltage in Three-level GTO Inverters," IECON'94, pp 651-656, 1994
- [5] D. s. Hyun et al., "A Novel PWM Scheme for a Three-level Voltage Source Inverter with GTO Thyristors," IAS'94, pp 1151-1157, 1994