

DLTS 방법에 의한 GaAs/Al_xGa_{1-x}As/GaAs 이종구조의 물성분석에 관한 연구
 (Physical Characterization of GaAs/Al_xGa_{1-x}As/GaAs Heterostructures
 by Deep Level Transient Spectroscopy)

수원대학교 전자재료공학과 이원섭, 최광수

대우고등기술연구원 최영환

연락처 : 이원섭

(445-743) 경기도 화성군 봉담면 와우리 산 2-2

수원대학교 전자재료공학과

TEL : (0331) 220-2175, FAX : (0331) 220-2494

1. 서론

GaAs 기판 위에 MOCVD (Metalorganic Chemical Vapor Deposition) 방법으로 GaAs/Al_xGa_{1-x}As/GaAs 이종박막을 증착하여 양질의 GaAs buffer layer를 성장시킬 수 있었으며, 아울러 도핑 되지 않은 Al_xGa_{1-x}As 이종박막을 GaAs 기판 위에 증착한 후 금속과 접합하여 기존의 MESFET의 디자인과 제조공정은 그대로 유지하면서 Al_xGa_{1-x}As의 높은 band gap으로 인한 barrier height (ϕ_B)의 증가, 즉 threshold voltage (V_T)의 증가를 확인할 수 있었다. 이 ϕ_B 의 증가로 인하여 GaAs/Al_xGa_{1-x}As/GaAs 이종구조 위에 형성된 Schottky barrier gate가 순수 기판 위에 형성된 Schottky barrier gate에 비해 보다 높은 gate 전압을 허용하고 gate-source간 누설전류가 적을 것으로 판단할 수 있다. 하지만 동 이종구조의 I-V 측정결과 Al_xGa_{1-x}As layer의 두께가 증가함에 따라 심한 I-V hysteresis 현상을 관측할 수 있었으며 이러한 I-V hysteresis 현상은 Al_xGa_{1-x}As 층이 없는 순수 GaAs 기판 위에 구성된 Schottky diode에는 거의 관측되지 않는 것으로 보아, GaAs/Al_xGa_{1-x}As/GaAs 이종구조 계면에서의 lattice mismatch로 인한 dislocation 및 불순물 등이 electron trap으로 작동한 것으로 보인다^[1]. 이러한 불순물 등은 FET의 V_T 에 영향을 주게 되며, 따라서 Al_xGa_{1-x}As 이종접합의 사용으로 인한 ϕ_B 와 V_T 의 증가 효과는 자칫하면 이것들에 의하여 압도당할 수가 있다. 그러므로 시편의 정밀한 물성분석을 통하여 불순물에 의한 영향을 고려함이 중요하다.

2. 실험방법

LEC (Liquid Encapsulated Czochralski) 방법으로 성장된 undoped semi-insulating type GaAs wafer 위에 GaAs/undoped Al_xGa_{1-x}As/n-type GaAs 3층의 이종박막을 표준 AP-MOCVD 방법으로 제조하였다. 이를 표면으로부터 순서대로 열거하면 20 nm 두께의 GaAs 표면보호층 (cap layer), 10 ~ 40 nm 두께의 Al_xGa_{1-x}As barrier 층 (barrier layer), 100 nm 두께의 n-type GaAs 전도채널층 (conduction channel layer), 800 nm 두께의 GaAs 완충층 (buffer layer)이다. N-type GaAs 전도채널층은 AP-MOCVD 공정중, SiH₄ gas를 주입하여 형성하였고, Al_xGa_{1-x}As barrier층은 x = 0.5가 되도록 (CH₃)₃Ga와 (CH₃)₃Al 가스를 적절히 배합하여 사용하였으며, 기판의 온도는 650 °C였다. 동 이종구조의 전기적 특성과 DLTS (Deep Level Transient Spectroscopy) 측정을 위하여 lift-off 공정과 thermal evaporator를 사용하여 Schottky diode를 제작하고 C-V 및 I-V 측정을 수행한 후 DLTS 측정용 시편을 silver paste와 Al wire을 이용하여 완성한 뒤 DLTS 측정을 실시하였다. DLTS 측정은 Al_xGa_{1-x}As 층이 없는 시편 즉, n-type GaAs 층만 존재하는 시편과 Al_xGa_{1-x}As 층의 두께가 10 ~ 40 nm인 시편을 각각 측정하여 비교하였다.

3. 실험결과 및 고찰

DLTS 측정결과 n-type GaAs 층만 존재하는 시편에서는 activation energy가 0.787 eV인 electron trap만을 확인할 수 있었으며, $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 층의 두께가 각각 10 ~ 40 nm인 시편에서는 0.742 ~ 0.777 eV, 0.232 ~ 0.680 eV인 electron trap들을 확인할 수 있었다. 확인된 electron trap 중에서 n-type GaAs 층만 존재하는 시편에서 확인된 0.787 eV와 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 층이 있는 모든 시편에서 발견된 0.742 ~ 0.777 eV는 아마도 MOCVD 방법으로 성장된 GaAs와 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 에서 발견되는 EL2와 관련된 electron trap^[2~4]이라고 생각되며, 특히 MOCVD 성장 시의 기판온도가 630 ~ 660 °C인 시편에서 발견된 EL2 level들^[5~7]과 일치하는 것으로 보인다. EL2 이외의 0.232 ~ 0.680 eV인 다른 electron trap들은 아마도 n-type GaAs 층만 존재하는 시편에서는 관측되지 않는 것으로 보아 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 층의 영향으로 보인다.

4. 참고문헌

- [1] 최영환, 이원섭, 최광수, 응용물리, 8 (5) (1995).
- [2] E. E. Wagner, Dan E. Mars, G. Hom and G. B. Stringfellow, J. Appl. Phys., 51 (10), 5434 (1980).
- [3] L. Samuelson, P. O. Titze and H. G. Grimmeiss, J. Crystal Growth, 55, 164 (1981).
- [4] P. K. Bhattacharya, S. Subramanian and M. J. Ludowise, J. Appl. Phys., 55 (10), 3664 (1984).
- [5] H. Zhu, Y. Adachi and T. Ikoma, J. Crystal Growth, 55, 154 (1981).
- [6] M. O. Watanabe, A. Tanaka, T. Udagawa, T. Nakatosi and Y. Zohta, Jpn. J. Appl. Phys., 22 (6), 923 (1983).
- [7] T. Soga, S. Sakai, M. Umeno and S. Hattori, Jpn. J. Appl. Phys., 25 (10), 1510 (1986).