

非揮發性 SNOSFET EEPROM 記憶素子の 임피던스 효과에 관한 연구

A Study on the Impedance Effect of Nonvolatile SNOSFET EEPROM Memory Devices

姜昌秀, 金東鎭, 金善周\*, 李相培\*, 李聖培\*, 徐光烈\*  
柳韓專門大學 電子科 \* 光云大學校 電子材料工學科

C.S. Kang, D.J. Kim

Dept. of Electronic Engineering, Yuhan Junior College

S.J. Kim\*, S.B. Lee\*, S.B. Lee\*, K.Y. Seo\*

Dept. of Electronic Material Engineering, Kwang Woon University

Abstract

In this paper, The effect of the impedances in SNOSFET's memory devices has been developed. The effect of source and drain impedances are measuring using the method of the field effect bias resistance in the inner resistance regions of the device structure and external bias resistance. The effect of impedance by source and drain resistance shows according to increasing to the storage of memory charges, shows according to a function of decreasing to the gate voltage and shows the delay of threshold voltages. The delay time of low conductance state and high conductance state by the impedance effect shows 3[μsec] and 1[μsec] respectively.

I. 序論

半導體 記憶素子は 半導體 工程技術의 急速한 發展에 따라 次世代 ULSI 設計에 必要한 submicron에 關心이 增大되고 있다. 이러한 微細 패턴에 依해 製作되는 非揮發性 半導體 EEPROM 記憶素子は 多層絶緣膜 構造의 FAMOSFET,  $Mn_2SF_2$ FET, MONOSFET 素子等이 있다.

SNOSFET(polySilicon Nitride Oxide Semiconductor Field Effect Transistor) 半導體 記憶素子は EEPROM(Electrically Erasable Programmable Read Only Memory)으로 應用되어, 商業用, 軍事用 등으로 使用되고 있다. 그러나 物性에 關한 正確한 情報 뿐만 아니라 非揮發性 半導體 記憶素子로서의 記錄, 消去, 低電壓化, 高速度動作, 高集積, 高信賴性 等の 改善에 많은 研究을 必要로 한다.

製造工程技術의 發展은 ULSI 設計에 必要한 Deep submicro meter의 素子製作技術을 可能하게 하고 있으나 많은 問題點을 갖고 있다.<sup>1,2)</sup> 集積回路 設計時 重要한 變數中 하나는 抵抗과 캐패시턴스 效果이다.<sup>3,4)</sup> 소오스와 드레인 抵抗에 依한 電壓降下는 供給電壓을 降下시키고 素子の 電流 驅動力을 減少시킨다.<sup>5,6)</sup> 이러한 實驗의 研究는 技術開發의 方向과 素子要素를 決定하는데 重要한 情報를 提供한다.<sup>7,8)</sup> 非揮發性 EEPROM 記憶素子の 高集積 어레이<sup>9-11)</sup>를 具現함에 있어 소오스와 드레인 抵抗成分에 따른 抵抗特性이 顯著하게 나타나며 SNOSFET 記憶素子<sup>12)</sup>의 論理機能 遂行에서 많은 影響을 준다. 本 研究에서는 SNOSFET EEPROM을 CMOS 1 Mbit 設計規則에 따라 製作하고 單位 面積當 積面積의 SCALE DOWN으로 因한 動作特性과 어레이 特性에 影響을 미치는 非揮發性 素子の 抵抗特性을 把握 調査함으로

서 實際 回路 設計時 必要한 應用 可能性 및 改善點을 考察한다.

II. 實驗

2.1 試片의 製作

本 實驗을 爲하여 製作한 非揮發性 SNOSFET EEPROM 記憶素子は CMOS 1 Mbit 製造工程에  $Si_3N_4$ 膜의 蒸着工程을 挿入하여 使用하였다. 使用 基板은 比抵抗이 6~9 Ω-cm인 P形 실리콘 <100> 웨이퍼이다.

터널링 酸化膜은 乾式酸化法으로 775[°C]의 擴散爐에서 3.83[A/min]의 比率로 23[A] 成長하였다. 窒化膜은 低壓化學 蒸着爐에서 10:1의  $NH_3:SiH_2Cl_2$  混合氣體 反應가스 流量比, 27~30[A/min]의 蒸着率로 530[A] 蒸着시켰다. 소오스와 드레인은 DDD(Double Doped Drain) 構造이다. 燻을 50[KeV],  $4 \times 10^{13}/cm^2$ 로 이온注入하여 n<sup>-</sup>領域을 形成하고, 같은 領域에 砒素를 80[KeV],  $4 \times 10^{15}/cm^2$ 로 이온注入하여 n<sup>+</sup>領域을 形成한다. 接合깊이가 0.25[μm]인 n<sup>+</sup>領域과 이 領域周圍를 0.1~0.15[μm]로 둘러싸고 있는 n<sup>-</sup>領域으로 이루어진 소오스와 드레인을 만들었다. 게이트電極은 450[°C]에서 30분동안 抵抗接觸하였으며 電極面積은  $7.38 \times 10^{-3}[cm^2]$ 이다.

2.2 實驗方法

임피던스 特性을 調査하기 爲한 測定上의 構成圖는 그림 2와 같다. 測定裝置의 主要 部分은 記憶電壓 印加, 素子の 測定 初期狀態의 調整, 抵抗測定, 문턱電壓 測定 部分으로 構成되어 있다. 非揮發性 半導體 記憶素子の 임피던스 特性은 記憶電壓의 크기 및 印加時間에 따른 記憶電荷量의 關係를 測定함으로써 調査한다.

SNOSFET 記憶素子の 窒化膜內에 記憶電荷를 트래핑과 디트래핑시키기 爲하여 두 個의 펄스發生器를 利用한다. 펄스發生器 A(Leader, LFG 1300)는 基準 電壓레벨을 設定하기 爲하여 使用한다. 펄스發生器 B(Kikusui, Model 458A)는 게이트電壓을 印加하기 爲한 것이다. 펄스發生器 A와 B는 펄스幅과 크기를 變化시키면서 出力端子를 素子の 드레인, 소오스 그리고 基板을 共通으로한 端子和 게이트端자에 各各 連結한다.

記錄은 드레인, 소오스 그리고 基板을 共通으로한 端자에 對해 게이트 端자에 펄스幅과 크기를 變化시킨 陽의 電壓을 印加한다. 消去는 드레인, 소오스 그리고 基板을 共通으로한 端자에 對해 게이트端자에 陰의 電壓을 印加하여 實行한다. 그리고 모든 實驗은 室溫下에서 實行한다.

傳送 및 抵抗特性은 初期狀態를 高傳導狀態 또는 低傳導狀態로 만들기 爲하여 드레인, 소오스 그리고 基板을 共通 接地한 後 펄스發生器 B로 게이트에 印加한다. 게이트에 펄스幅과 크기가 다른 電壓을 印加하여 一定 時間 經過 後 定常狀態에서 드레인 供給電壓  $V_{DD}=5[V]$ 로 固定하여 게이트電壓의 變化에 對한 드레인電流 變化 卽, 문턱電壓의 移動量을 測定하여 調査한다.

### III. 結果 및 討議

#### 3.1 드레인 抵抗 變化에 依한 드레인 소오스 電壓

채널幅과 길이가  $15 \times 1.5[\mu m]$ 인 二重絶緣膜 素子の 드레인抵抗 變化에 依한 드레인 소오스電壓을 測定한 結果는 그림 1과 같다. 消去電壓  $V_E=-34[V]$ ,  $P_E=50[sec]$ 를 印加하여 高傳導狀態로 設定한 後, 게이트電壓  $V_G$ 를 3[V], 4[V], 5[V], 6[V], 7[V]로 印加하고 드레인抵抗  $R_D$ 을 1~10[K $\Omega$ ]으로 變化시키면서 드레인 소오스電壓  $V_{DS}$ 의 變化를 測定한 結果는 그림 1의 (1)과 같다. 記錄電壓  $V_W=+34[V]$ ,  $P_W=50[sec]$ 를 印加하여 低傳導狀態로 한 後, 게이트電壓  $V_G$ 를 3[V], 4[V], 5[V], 6[V], 7[V]로 印加하고 드레인抵抗  $R_D$ 을 1~10[K $\Omega$ ]으로 變化시키면서 드레인 소오스電壓  $V_{DS}$ 의 變化를 測定한 結果는 그림 1의

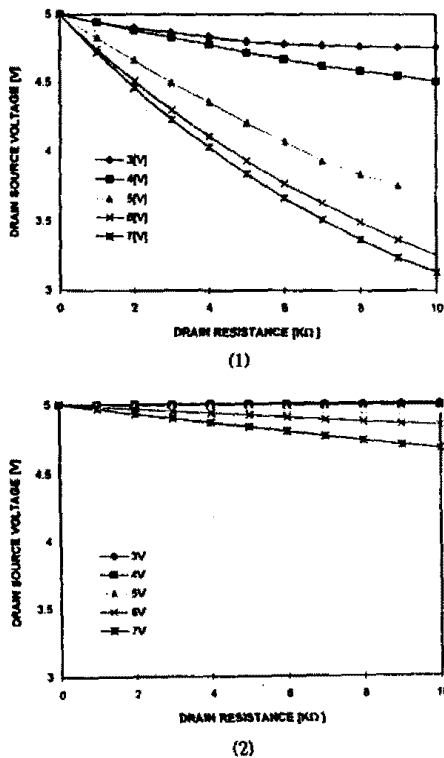


그림 1 게이트 印加電壓  $V_G$ 에 對한 드레인 소오스電壓  $V_{DS}$  對 드레인抵抗

- (1) 高傳導狀態
- (2) 低傳導狀態

Fig. 1 Drain source voltage  $V_{DS}$  vs. drain resistance  $R_D$  as the applied voltage  $V_G$   
(1) High conductance state  
(2) Low. conductance state

(2)와 같다.

그림 1의 (1), (2)에서 알 수 있는 바와같이 게이트電壓  $V_G$ 가 3[V], 4[V], 5[V], 6[V], 7[V]로 增加하면, 드레인 소오스電壓  $V_{DS}$ 는 減少함을 알 수 있다. 드레인抵抗  $R_D$ 가 增加할수록 드레인 소오스電壓  $V_{DS}$ 가 減少함을 알 수 있다.

以上的 結果로부터 게이트電壓이 增加하면 氧化膜 電荷의 蓄積에 依한 채널 形成과 게이트 바이이스 電壓에 對한 影響에 依해 드레인 소오스電壓이 減少한다. 드레인抵抗이 增加하면 드레인 端子抵抗의 電壓降下가 커져서 드레인 소오스電壓  $V_{DS}$ 는 減少한다.

#### 3.2 소오스抵抗의 變化에 對한 드레인 소오스 電壓

소오스抵抗 變化에 對한 드레인 소오스電壓을 測定한 結果는 그림 2와 같다. 消去電壓  $V_E=-34[V]$ ,  $P_E=50[sec]$ 를 素子에 印加하여 高傳導狀態로 한 後, 게이트電壓  $V_G$ 를 3[V], 4[V], 5[V], 6[V], 7[V]로 印加하고 소오스抵抗  $R_S$ 을 1~10[K $\Omega$ ]으로 變化시키면서 드레인 소오스電壓  $V_{DS}$ 의 變化를 測定한 結果는 그림 2의 (1)과 같다. 記錄電壓  $V_W=+34[V]$ ,  $P_W=50[sec]$ 를 印加하여 低傳導狀態로 한 後, 게이트電壓  $V_G$ 를 3[V], 4[V], 5[V], 6[V], 7[V]로 印加하고 소오스抵抗  $R_S$ 을 1~10[K $\Omega$ ]으로 變化시키면서 드레인 소오스電壓의 變化를 測定한 結果는 그림 2의 (2)와 같다.

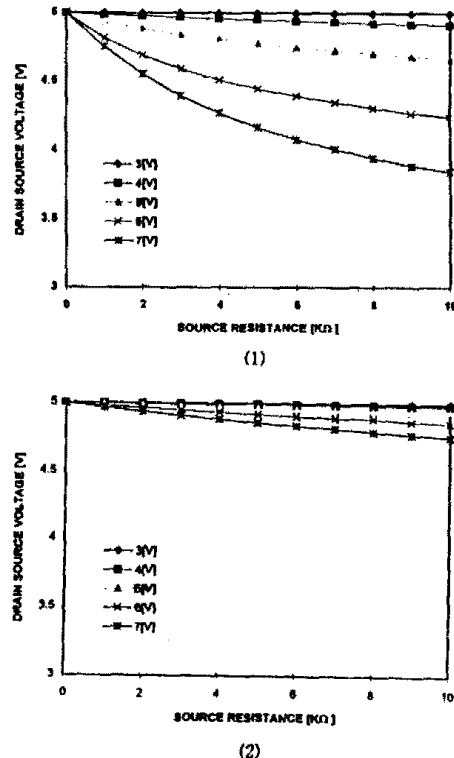


그림 2 게이트 印加電壓  $V_G$ 에 對한 드레인 소오스電壓  $V_{DS}$ 에 對 소오스抵抗

- (1) 高傳導狀態
- (2) 低傳導狀態

Fig. 2 Drain source voltage  $V_{DS}$  vs. source resistance  $R_S$  as the applied voltage  $V_G$   
(1) High conductance state  
(2) Low. conductance state

그림 2의 (1)과 (2)에서 알 수 있는 바와같이 소오스저항  $R_S$ 가 증가할수록 드레인 소오스전압은 감소하며, 게이트전압이 증가할수록 드레인 소오스전압은 감소함을 알 수 있다.

이상의 결과로부터 게이트전압  $V_G$ 가 증가하면 산화막 축적 전하에 의한 채널 형성과 게이트 바이어스전압  $V_G$ 에 대한 영향 때문에 드레인 소오스전압  $V_{DS}$ 는 감소한다. 소오스저항이 증가하면 소오스端子저항의 전압 분하 때문에 드레인 소오스전압  $V_{DS}$ 는 감소한다.

그림 1과 그림 2로부터 드레인저항  $R_D$ 와 소오스저항  $R_S$ 를 1[k $\Omega$ ]에서 10[k $\Omega$ ]까지 균등하게 변화시키면서 측정한 드레인 소오스전압  $V_{SD}$ 의 변화를 비교하면, 소오스저항  $R_S$ 의 변화에 대한 드레인 소오스전압  $V_{DS}$ 의 변화가 드레인저항  $R_D$ 에 대한 드레인 소오스전압  $V_{DS}$ 의 변화보다 영향이 작음을 알 수 있다.

### 3.3 소오스와 드레인저항에 의한 스위칭특성

SNOSFET EEPROM 기억소자의 소오스와 드레인端子에 각각 2[k $\Omega$ ], 10[k $\Omega$ ]의 저항을 삽입하여 소거전압  $V_E = -34[V]$ ,  $P_E = 50[sec]$ 를 인가하여 고전도상태로 초기상태를 설정한 후, 기록전압  $V_W = +34[V]$ , 기록전압 폭  $P_W = 50[\mu sec]$ , 500[ $\mu sec$ ], 5[msec], 50[msec], 500[msec], 5[sec]로 변화시키면서 스위칭특성을 조사한 결과는 그림 3과 같다.

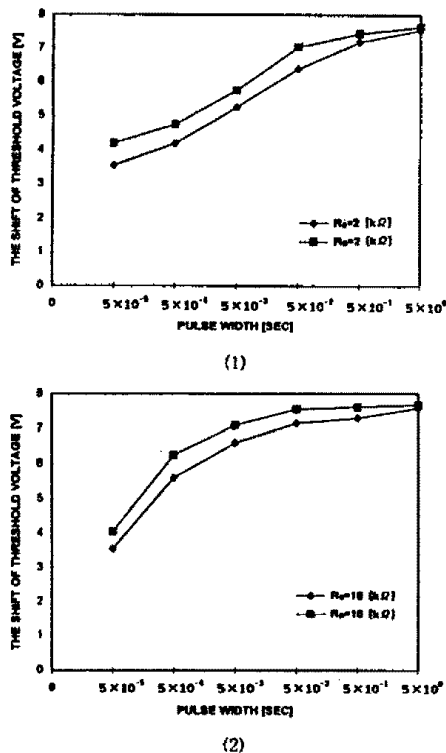


그림 3 소오스와 드레인저항 효과에 의한 스위칭특성

- (1)  $R_S = 2 [k\Omega]$ ,  $R_D = 2 [k\Omega]$
- (2)  $R_S = 10 [k\Omega]$ ,  $R_D = 10 [k\Omega]$

Fig. 3 Switching characteristics by the effect of source and drain resistance

- (1)  $R_S = 2 [k\Omega]$ ,  $R_D = 2 [k\Omega]$
- (2)  $R_S = 10 [k\Omega]$ ,  $R_D = 10 [k\Omega]$

그림 3의 (1)에서 알 수 있는 바와같이 소오스와 드레인端子에 각각 2[k $\Omega$ ]의 저항을 삽입하여 각각의 펄스폭 변화에 대한 문턱전압의 이동량을 측정한 결과, 소오스端子에 직렬로 연결하였을 경우 드레인端子에 직렬로 연결하였을 경우보다 문턱전압의 이동량은 작았다.

그림 3의 (2)에서 알 수 있는 바와같이 드레인과 소오스端子에 각각 10[k $\Omega$ ]의 저항을 직렬로 연결하여 펄스폭 변화에 대한 문턱전압의 이동량을 측정한 결과 소오스端子에 직렬로 연결한 문턱전압의 이동량보다 드레인端子에 직렬로 연결한 문턱전압의 이동량이 작음을 알았다. 그리고 드레인과 소오스端子에 큰 직렬저항이 연결될 경우 문턱전압의 이동량 변화가 초기에 나타났다.

### 3.4 反轉特性

비揮發性 SNOSFET EEPROM 기억소자에서 저전도상태와 고전도상태의 게이트 인가전압에 따른 驅動特性을 측정한 결과는 그림 4와 같다.

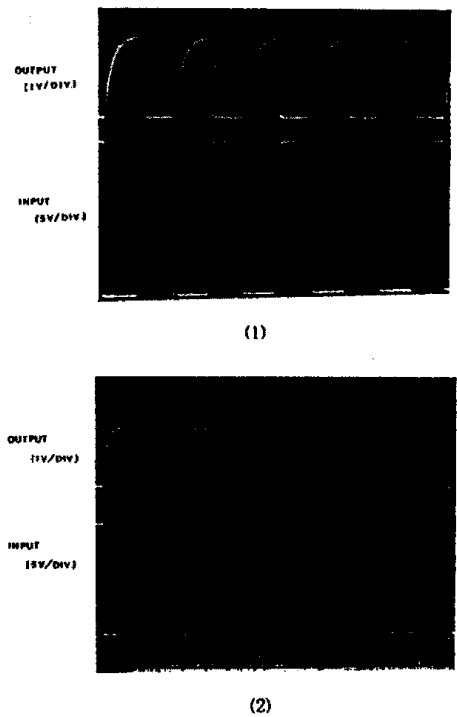


그림 4 SNOSFET의 反轉特性 波形

- (1) 正펄스에 對한 記錄時 動作모드
- (2) 正펄스에 對한 消去時 動作모드

Fig. 4 Waveform for inverting characteristics of SNOSFET

- (1) Write operation mode with positive pulse
- (2) Erase operation mode with positive pulse

SNOSFET는 驅動段으로 동작하고 출력은 負荷 20[k $\Omega$ ] 線形저항을 사용하여 測定하였다. 入力펄스는 驅動段으로 동작하는 SNOSFET의 게이트에 인가하였다. 反轉出力은 20[k $\Omega$ ]의 負荷저항으로부터 出力되는 信號를 測定하였다.

채널폭과 길이가 15x1.5[ $\mu m$ ]인 二重絶緣膜 素子에 소거전압  $V_E = -34[V]$ ,  $P_E = 50[sec]$ 를 인가하여 고전도상태로 한 후 反轉出力을 測定한 결과는 그림 4의 (1)과 같다. 記錄電壓

$V_w = +34[V]$ ,  $P_w = 50[sec]$ 를 印加하여 低傳導狀態로 한 後 反轉 出力을 測定한 結果는 그림 4의 (2)와 같다. 그림 4의 (1)과 (2)에서 알 수 있는 바와같이 窒化膜의 電荷貯藏에 依한 低傳導狀態에서 駒動段 出力波형은 채널形成을 爲하여 게이트端 子에 높은 마이이스 電壓이 要求됨을 알 수 있으며, 窒化膜 記憶電荷 消去에 依한 高傳導狀態에서 出力波형은 작은 게이트 電壓으로도 驅動段을 動作할 수 있음을 보여주고 있다.

低傳導狀態時 駒動段 出力波형을 나타내기 爲한 게이트電壓은 11.8[V] 以上이 되어야 하고, 高傳導狀態時 驅動段 出力 波형을 나타내기 爲한 게이트電壓은 4.4[V] 以上이 되어야 함을 알았다. 典型的 出力波형을 얻기 爲해서는 低傳導狀態時 13[V] 以上の 게이트電壓이 必要하며, 高傳導狀態時 6[V] 以上の 게이트電壓이 印加되어야 出力波형은 窒化膜 電荷의 影響을 받지 않음을 알 수 있었다. 入力波형에 對한 出力波형의 時間遲延이 低傳導狀態에서는 3[ $\mu sec$ ]이고, 高傳導狀態에서는 1[ $\mu sec$ ]임을 알 수 있다. 時間遲延은 驅動段으로 動作하는 SNOSFET의 絶緣膜容量値와 채널 抵抗에 依한 것이다.

#### IV. 結果

本 論文은 IC 集積化에 使用되는 SNOSFET EEPROM 記 憶素子の 記錄과 消去電壓 方法으로 傳導特性에 따라 外部 마이이스 影響을 調査하였다.

1. 外部 마이이스 抵抗에 依한 드레인 소오스電壓의 變化는 게이트電壓이 커질수록 增加함을 알았다.

2. 低傳導狀態와 高傳導狀態에서 드레인 소오스... 變化는 高傳導狀態 變化보다 低傳導狀態 變化가 큼을 알았다.

3. 記錄과 消去狀態에서 소오스와 드레인抵抗을 挿入한 문턱電壓의 移動量 變化는 드레인 임피던스 成分이 소오스 임피던스 成分보다 影響이 작음을 알았다.

4. 低傳導狀態에서의 時間遲延은 3[ $\mu sec$ ]이고, 高傳導狀態에서의 時間遲延은 1[ $\mu sec$ ]임을 알았다.

임피던스와 캐패시턴스 成分은 SNOSFET EEPROM의 驅動能力과 遲延時間에 影響을 주며 機能이 低下됨을 알 수 있다.

#### V. 參考文獻

- 1) P.I. Sucas, et al., IEEE Tran. on Electron Devices, vol. ED-27, no. 9, p. 1846, Sep, 1980
- 2) K.L. Peng, et al., IEEE Electron Device Letters, vol. EDL-3, no. 12, p. 360, Dec, 1982
- 3) B. J. Sheu, et al., IEEE Electron Device Letters, vol. EDL-5, no. 11, p. 491, Nov., 1984
- 4) J. Whitfield, IEEE Electron Device Letters, vol. EDL-6, no. 3, p. 109, March, 1985
- 5) K.K. Ng, et al., IEEE Tran. on Electron Device, vol. ED-34, no. 3, p. 503, 1987
- 6) F.L. Schuermeyer, et al., IEEE Trans. on Elect. Dev., Vol. 35, No. 8, pp. 1241-1245, 1988
- 7) S. Minami, et al., Conference on Solid State Devices and Materials, pp. 169-172, Tokyo, 1988
- 8) C. Hu, et al., IEEE, Trans. on Elect. Dev., Vol. 37, No. 11, 1990
- 9) G. Mahinthakumar, et al., IEEE Trans. on Elec. Dev., Vol. 38, No. 12, 1991

- 10) H. Arima, et al., J. J. Appl. Phys., Vol. 30, pp. 1334-1337, 1991

- 11) G. Merckel, et al., IEDM pp. 549-552, 1993

- 12) 姜昌秀 外, 電氣電子材料學會誌, Vol. 6, No. 4, pp. 330-338, 1993