

트랜스퍼 금형에 있어서 IC 패키지의 성형 유동 해석에 관한 연구

구본권* · 이호덕**

A Study on the Molding Analysis of IC Package in Transfer mold

Koo, Bon Kwan* · Rhee, Ho Deok**

ABSTRACT

Transfer Molding is currently the most widely used process for encapsulation integrated circuits(IC). Although the process has been introduced over 20 years ago, generating billions of parts each year, it is far from being optimized. With each new mold, epoxy mold compound, and lead-frame, lengthy period and expensive qualification runs have to be performed to minimized defects ranging from wire sweep, incomplete fill, and internal voids etc.

This studies describes how simulation can be applied to transfer molding to yield acceptable design and processing parameter. The non-isothermal filling of non-newtonian reactive epoxy molding compound(EMC) in a multi-cavity mold is analyzed. Sensitivity analysis is conducted to investigate the influence of process deviations on the final molded profile.

This study trend is carried out by following some heuristic process guidelines.

Keywords : Transfer Molding(트랜스퍼 성형), Encapsulation, Integrated circuits(집적회로), Mold(금형), EMC(에폭시 몰딩 컴파운드), Wire Sweep(와이어 쓸림), Incomplete Fill(불충분한 충전)

1. 서론

반도체 산업은 1948년 미국에서 트랜지스터가 발명된 이래 첨단 산업을 주도하며, 발전을 거듭하고 있다. 한국의 반도체 산업도 날로 발전하여 반도체 선진국 대열에 실수 있는 수준이 되어가고 있으나, 반도체 산업전반에 걸쳐 미국·일본등 선진외국의 기술특허에 의존하고 있는 실정이며, 이점은 회로 설계기술에서부터 가공, 조립, 그리고 검사에 걸친 전공정의 기술과 장비를 거의 전적으로 외국에 의존 하고있다 해도 과언은 아니다.

반도체 제조공정을 공정별로 분류하면 회로설계 기술, 웨이퍼 가공기술, 조립공정, 검사공정(기능 및 신뢰성 검사)으로 나눈다.

정부나 각 연구소에서 회로설계 및 웨이퍼 가공 기술 개발에 중점을 둔 개발 전략과 많은 연구가 진행되고 있으나, 조립 및 검사 공정에 대한 연구 개발에는 미약한 면이 있다.

트랜스퍼 몰딩은 반도체 칩을 에폭시 수지로 성형, 기밀성을 유지하고, 외부의 열적, 기계적인 환경으로부터 보호하고, 기계적 안정성을 높여 안정된 전기적 특성을 발휘하게 하는 성형방법이다.

Encapsulation의 응용은 반도체 및 Microelectronics부품등 전기·전자부품에 적용되고 있다. 성형용 수지재료는 에폭시수지가 가장 대표적이며, 이외에 실리콘수지, 불포화폴리에스테르수지, 페놀수지등이 사용된다. 에폭시 수지는 특히 저점도에서 우수한 유동성이 그 특징이다.

종래 반도체금형의 설계·제작방법에 있어서 경험적인 Know-How에 기초를 두고 이루어져 왔으

며, 금형을 제작한 후 시제품 형태를 보고 금형을 수정·변경하는 시행착오적인 방법에 의존해오고 있다. 그러나 최근의 새로운 Package 형태에서는 기존의 경험적인 기술만으로 대응하기에는 기술적인 한계가 제기 되어왔다. 최근의 반도체 트랜스퍼 성형에서는 선진 반도체 국가에서 최신 해석 기법을 통해서전에 예상되는 문제와 이미 문제시되고 있는 현상에 대한 학문적인 기본 연구와 적용 사례가 늘 어가고 있는 상황에 있다.

Wang⁽¹⁾, Turng⁽²⁾은 에폭시 몰딩 컴파운드(EMC)의 Encapsulation에 관하여, 40-lead-dual-in-line-package(DIP)칩에 적용하여, 수학적 모델링 및 Simulation을 행하고 실험결과를 비교하였다.

Nguyen⁽³⁾, Tanaka⁽⁴⁾는 IC Package의 트랜스퍼 몰딩에 있어서 Non-Newtonian유체로 가정된 flow Simulation을 행하고 설계 및 성형 공정변수들에 따른 영향 인자를 고찰하였다.

Nguyen⁽⁵⁾, Han⁽⁶⁾, Wang⁽⁷⁾, Kuah⁽⁸⁾는 IC Chip의 트랜스퍼 몰딩시 Encapsulation과 관련한 Wire Sweep에 관하여 여러 방면으로 해석을 시도한바 있다.

본 연구에서는 반도체 조립공정 가운데 열경화성 에폭시 수지(Epoxy Molding Compound)를 이용한 트랜스퍼 몰딩공정(Encapsulation Process)인 IC Chip의 플라스틱 패키징의 유동 해석 연구에 대해 연구하였다.

이에 본 연구에서는 반도체 Packaging용 Simulation Software인 AC-Technology사의 C-SET 을 이용하여, Conventional Mold에서 Runner 및 Gate의 형상과 Runner의 유동길이가 수지 성형 인자에 미치는 영향을 고찰하였다.

* 서울산업대학교 금형설계학과
** 서울산업대학교 금형설계학과 산업대학원

2. 이론적 고찰

2-1. 지배 방정식

지배 방정식은 질량, 힘, 및 에너지보존법칙에 따른다. 비등온(non-isothermal)조건하에서 비-뉴톤 유체의 일반화된 Hele-Shaw유동은 다음과 같이 표현된다.

$$\frac{\partial}{\partial x}(b\bar{u}) + \frac{\partial}{\partial y}(b\bar{v}) = 0 \quad \dots\dots\dots (1)$$

$$\frac{\partial P}{\partial x} + \frac{\partial}{\partial z}(\eta \frac{\partial u}{\partial z}) = 0; \quad \dots\dots\dots (2)$$

$$\frac{\partial P}{\partial y} + \frac{\partial}{\partial z}(\eta \frac{\partial v}{\partial z}) = 0;$$

$$\rho C_p (\frac{\partial T}{\partial t} + u \frac{\partial T}{\partial x} + v \frac{\partial T}{\partial y}) \quad \dots\dots\dots (3)$$

$$= k \frac{\partial^2 T}{\partial z^2} + \eta \dot{\gamma}^2 + \frac{d\alpha}{dt} \Delta H$$

여기서, \bar{u} and \bar{v} : the gapwise-averaged velocity components in the x and y directions
 b : half thickness in the gapwise (z) direction
 P, T, η , ρ , C_p , k, γ , α , and ΔH : pressure, temperature, viscosity, density, specific heat, thermal conductivity, shear rate, extent of conversion, and exothermic heat of reaction

EMC의 열 및 rheological적인 특성은 변화의 정도에 따라 그 강도가 달라지게 되며, 특히 EMC의 성형중 직접적으로 영향을 미치는 것은 열적·기계적요인에 의해 영향을 받게 된다. 유동에 영향을 주는 요인은 Melt-front영역에서의 온도 분포와 경화정도의 분포이며, 유로 전체영역에 걸쳐 일어난다.

2-2. 캐비티 구조

본 연구에서는 Dual 8-lead mini-dual-in-line (DIP) IC Packaging의 Flow Balancing에 대해 연구하였다. 모델은 캐비티 두께에 대한 고려와 FEM mesh를 생성한 해석 모델을 설계하였으며, Fig. 1은 해석에 적용된 런너의 형상을 사다리꼴 형태에서 원형으로 이상화하였으며, 각 캐비티의 구조는 Leadframe를 중심으로하여 Top, Bottom 두개의 Sub-Cavity로 나누었다.

Bottom-캐비티는 게이트와 바로 연결되어 있으며, Top-캐비티는 리드프레임이 Bottom-캐비티위에 얹혀지면, 그 위를 덮는 구조로 되어 있다. Sub-Cavity로 나누어진 캐비티의 연결은 C-SET에서 Connector[공간상의 두 절점을 연결하며, 물리적으로는 압력, 온도등에서 동일 조건을 갖는다]로 연결하였으며, 해석에서는 아무런 영향을 미치지 않는다. 트랜스퍼 물딩에 대한 기하학적 모델링은 C-MOLD내의 Pre-Processor인 C-VIEW를 이용하였으며, Fig 2-1과 Fig 2-2에 캐비티 구조 및 캐비티내의 수지 충전시의 현상을 나타내었다.

3. 해석모델 및 연구방법

본 연구에서는 Dual 8-lead mini-dual-in-line

(DIP) Type의 IC Chip을 수지봉합(Encapsulation)하기 위하여 Table 3-1에서와 같이 Transfer Ram Pot가 한개인 Conventional Mold를 해석 대상으로 하였다.

Table 3-1. Structure of Conventional Mold

Number of Chase	10 EA
Number of Cavities per Chase	56 EA
Number of Total Cavities	560 EA
Number of Cavity Row	14 EA

본 모델은 반도체 금형의 특성상 회전 대칭구조를 이루고 있으므로, 5Chase 부분에 대하여 모델링 하였다. 자동 요소 분할된 삼각형 요소의 수는 9,568개, 절점수는 8,822개로 하였으며, 수렴조건은 0.2로 하였다. Fig 3-1에 해석 모델의 평면도를 도시하였다.

한편, 해석에 사용된 금형 및 Epoxy수지의 물리적, 열적, 유동학적 data는 상용의 것으로 Data base내에 등록되어있는 일본 NittoDenko사의 MP-180S를 취하였다. 주요 물성치를 Table 3-2에 나타냈다.

Table 3-2. Coefficients from material properties

COEFFICIENTS	VALUES
ρ kg/m ³	1.3010E+03
C_p J/kg·k	1.1200E+03
K W/m·k	6.1600E-01
H (J/kg)	52000
η	0.740
τ (Pa)	1e-4

또한, Runner의 형상변화에 따라 수지의 Cavity내의 충전에 미치는 성형인자들을 조사하기 위하여영향 런너의 단면적을 표준형으로하여, Fig 3-2와 같이 3가지의 경우로 변경시켜가면서 해석하였다.

또한 Transfer Ram Rot로부터 위치를 달리하는 Cavity의 Gate폭을 변화시켜서 Cavity내 및 Runner 압력, 온도, 유동등을 고찰하였다. Fig 3-3에 Gate의 폭을 도시하였으며, 각 Chase의 Runner길이 수지유동에 미치는 영향도 함께 고찰하였다.

4. 해석 결과 및 고찰

○ Runner의 길이 L_r 이 설계 인자에 미치는 영향
 Center Chase에서 충전 불량 및 Wire sweep이 다른 Chase에서 보다 많이 발생하여, 런너 길이를 다음과 같이 수정하였다. Center Chase의 초기 치수 $L_r = 160$ mm에서, 수정치수 $L_r = 142$ mm로 수정하여 보다 양호하게 충전됨을 알 수 있었다. Fig 4-1에 도시한 바와 같다.

○ Runner의 단면형상이 수지 유동 특성에 미치는 영향

Runner의 단면 형상이 수지 유동에 미치는 영향을 해석한 결과를 Fig 4-2에 도시하였다.

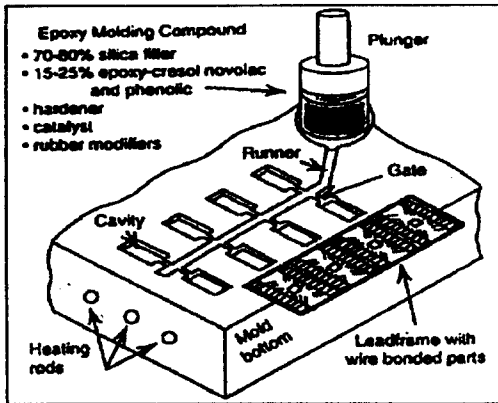


Fig2-1. Drawing of Cavity Structure

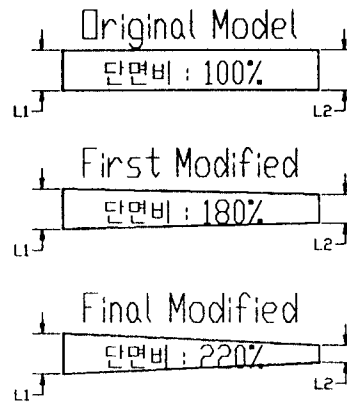


Fig 3-2. Drawing of Comparison on the Runner Cross Sectional Profile

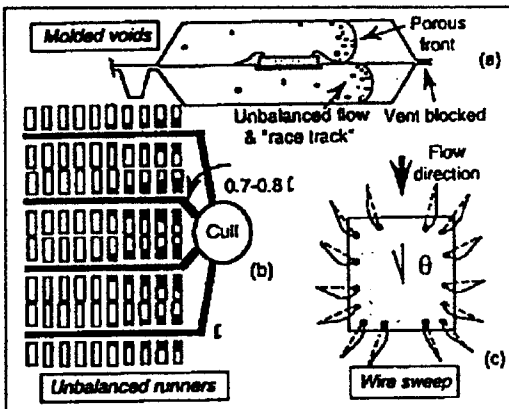


Fig 2-2. Status of Resin Filling Predicted in The Cavity.

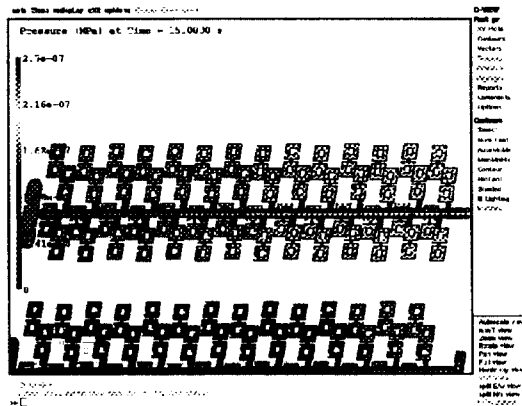


Fig 3-3-1. Drawing of the Gate Width I

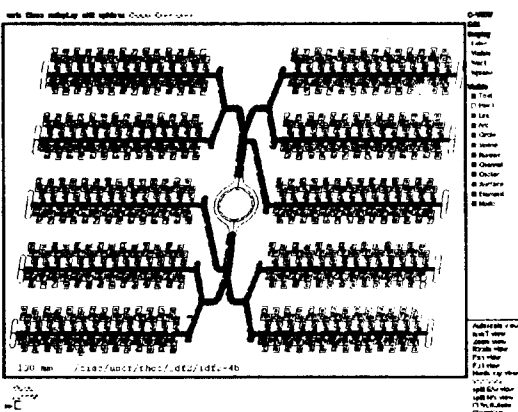


Fig 3-1. Plan of View on the Analysis Model

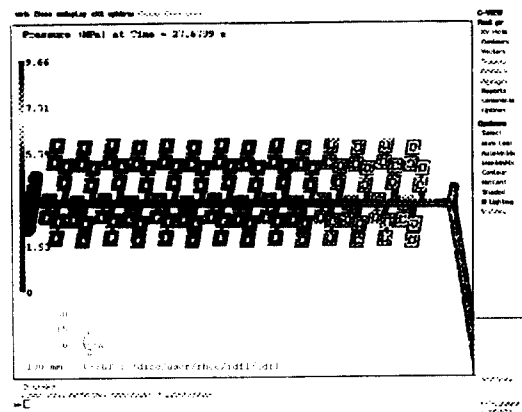


Fig 3-3-2. Drawing of the Gate Width II

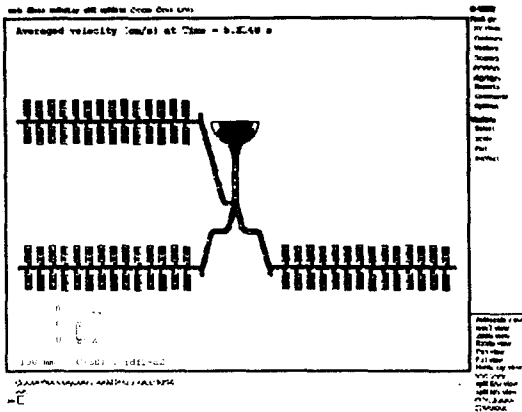


Fig 4-1-1. The Effects of Design Parameter at Depend on a Runner Length I

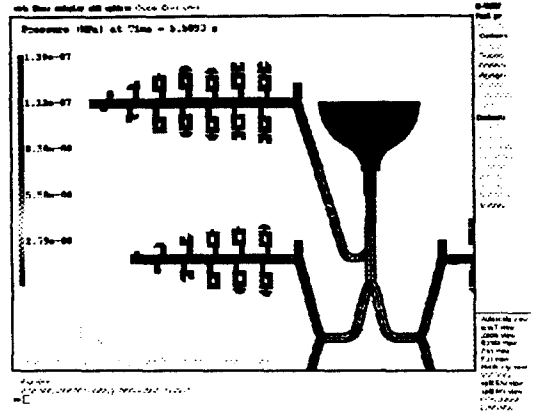


Fig 4-2-2. The Effects of the Properties Resin Flow Behavior at Depend on a Runner Cross Sectional Profiles II

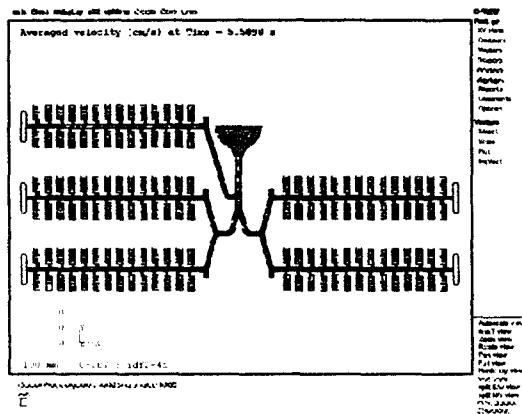


Fig 4-1-2. The Effects of Design Parameter at Depend on a Runner Length II

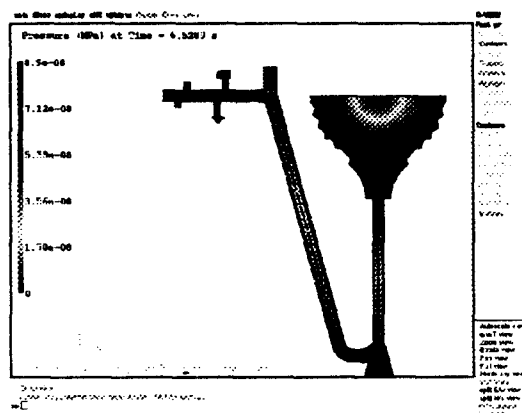


Fig 4-2-1. The Effects of the Properties Resin Flow Behavior at Depend on a Runner Cross Sectional Profiles I