

UPS용 위상동기화기법의 특성개선

김 제홍^o · 김 병진 · 정 영석 · 라 주석 · 최 재호

충북대학교 공과대학 전기공학과

Characteristic Improvement of Phase-Locked Technique for UPS

J. H. Kim · B. J. Kim · Y. S. Jung · J. S. Kwak · J. H. Choi

Dept. of Electrical Eng., Chungbuk National University

Abstract

An UPS must be synchronized in frequency and phase relationship with the mains power supply. This paper describes and tests a digital phase-locked loop(DPLL) circuit of the open-loop method designed by full software with TMS320C31 digital signal processor. Finally, the performance of the proposed DPPLL is shown and discussed through simulation and experiment.

1. 서론

무정전전원장치(UPS)는 경우에 따라서 인버터 출력측과 바이패스 전원측사이에 스위치 전환을 행한다. 이때, 인버터측과 바이패스 전원측 사이에는 출력전압에서의 과도상태 특성을 보상하기 위하여 고속 위상동기가 필요하다. 일반적으로 이러한 문제는 위상동기화회로 (Phased-locked loop ; PLL)기술을 사용하므로써 극복될 수 있다.^{1,2,3,4}

참고문헌[1]에서는 UPS 출력단 펄스에 기인한 위상지연을 보상하기 위하여 패루프 구조를 가지는 디지털 위상동기화회로를 제시하였다. 이 방식은 위상이 90° 지연된 상태로 동기되기 때문에, 이를 UPS에 적용시키기 위해서는 DPLL 진단이나 후단에서 위상보상이 이루어져야 한다. 이 경우 UPS 출력전압 기준신호로서 바이패스 전원을 검출하여 사용하지 않고 내부에서 기준전압신호를 발생시킨 후 DPLL 진단에서 바이패스 기준전압신호의 위상을 90° 전상보상을 함으로서 아무런 문제가 없었다. 그러나, 실제의 시스템 구현에 있어서는 바이패스 검출전압을 기준신호로 사용하여야 하기 때문에 진단에서의 위상보상이 매우 어렵다는 문제점이 제기된다. 또한, 후단에서의 위상보상도 고려할 수 있으나, 이 방법은 복잡해지는 단점을 가지고 있다.

따라서, 본 연구에서는 참고문헌[1]의 방법과는 다르게 VCO 출력단 전압이 위상비교기까지 피이드백되는 경로에서 위상보상이 이루어지도록 Open Loop 방식으로 구성하였다. 즉, DPLL의 입력이 사인파형 기준신호인 경우, VCO 출력이 사인파형과 코사인파형 둘다 발생시키도록 근사다항식을 사용하여 소프트웨어적으로 구현하였다. 사인 파형 신호출력은 UPS 출력전압의 기준신호로 사용되고 코사인 파형 신호는 피이드백되어 기준 입력 사인 파형 신호와 90° 위상차를 가지고 비교되도록 함으로써 위상동기를 얻는다. 마지막으로 제안된 방식의 타당성과 우수성을 시뮬레이션과 실험으로 비교하여 제시한다.

2. 제안된 디지털 PLL

본 연구에서는 참고문헌[1]의 패루프 방식 디지털 위상 동기화회로의 90도 위상지연을 보상하기 위하여 Open Loop 디지털 위상동기화회로를 제시하였다. 그림 1에서 보이고 있는 바와 같이 TMS320C31 DSP에 의해 순차적으로 제어되고 있는

UPS 시스템의 특성을 최대한으로 살리고 완전 소프트웨어로 구현하기 위하여 그림 2와 같이 완전 소프트웨어방식의 디지털 PLL을 제안하였다.^{5,6}

그림 1에서 보이고 있는 제안된 개루프 디지털 PLL의 블럭도가 그림 2에 도시되어 있다. 기존의 패루프 방식과 비교하여 인버터 출력단 펄스에 기인한 위상지연의 효과는 인버터의 제어 성능이 우수하여 펄터용량이 작아지기 때문에 무시해도 큰 문제점은 발생하지 않는다.

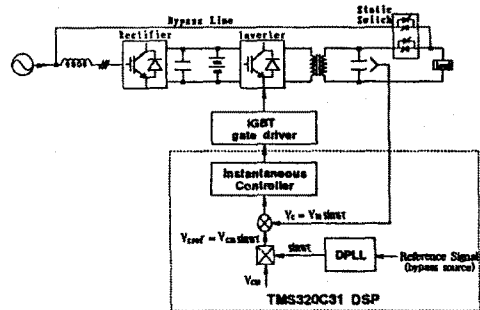


그림 1. 전체 시스템 블럭도

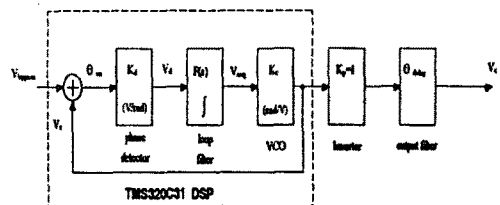


그림 2. 제안된 디지털 PLL 블럭도

3. 루프 방정식

그림 3은 본 논문에서 제안한 완전 소프트웨어방식 디지털 PLL의 회로구성도이다. 그림으로부터 알 수 있는 바와 같이 디지털 PLL은 승산형 위상비교기, 디지털 1차 IIR 필터, 디지털 VCO로 구성되어 있다.

3.1 위상비교기

TMS320C31 DSP로 구현할 경우, 위상비교는 승산으로 행하는 것이 훨씬 간단하고 고속이다.^{6,7}

디지털 PLL의 입력신호 전압은 식 (1)로, 전압제어 발전기 VCO의 출력전압은 식 (2)로 다음과 같이 정의 된다.

$$V_c(k) = V_{om} \cos[2\pi k + \theta] \quad (1)$$

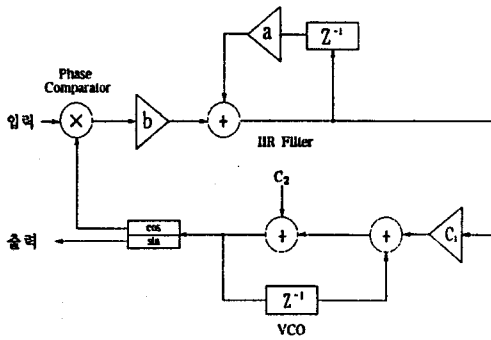


그림 3. 디지털 PLL 회로도

$$V_{\omega}(k) = V_{\text{com}} \sin[2\pi Fk + \phi] \quad (2)$$

식 (1) 및 식(2)와 같이 표시하면 선형시스템의 위상비교기에서 $V_c(k)$ 및 $V_{\omega}(k)$ 의 위상차가 90° 일 때, 로우패스 필터의 평균출력전압이 0이 된다. 이 때, 승상형 위상비교기의 출력은 다음의 식 (3)과 같이 된다.

$$\begin{aligned} V_{\text{pc}}(k) &= V_{\text{cm}} \cos[2\pi fk + \theta] \cdot V_{\text{com}} \sin[2\pi Fk + \phi] \\ &= \frac{V_{\text{cm}} V_{\text{com}}}{2} \cdot \sin(2\pi(F+f)K + \phi + \theta) \\ &\quad + \sin(2\pi(F-k) + \phi - \theta) \end{aligned} \quad (3)$$

그러나, 실제의 경우에는 f (기준입력신호의 주파수) $\approx F$ (VCO 출력주파수) 이므로 제 1항의 Sin 성분 주파수는 기준입력신호 주파수의 2배가 된다. 즉 제 1항의 $2f$ 성분은 다음의 루프필터를 통과하면 제거되고 제 2항만 존재한다.

3.2 루프필터

이 루프필터는 위상비교기에서 발생하는 고주파성분을 제거하는 작용뿐만 아니라 PLL의 동기특성이나 응답특성을 결정하는 아주 중요한 요소이다.¹⁶⁾

그림 3에서 루프필터를 수식으로 표현하면 다음의 식 (4)와 같이 된다.

$$V_{\text{IR}}(z) = az^{-1}V_{\text{IR}}(z) + bV_{\text{pc}}(z) \quad (4)$$

식(4)로부터, 다음의 식(5)와 같이 루프필터의 전달함수가 얻어진다.

$$H(z) = \frac{V_{\text{IR}}(z)}{V_{\text{pc}}(z)} = \frac{b}{1-az^{-1}} = \frac{bz}{z-a} \quad (5)$$

3.3 디지털 전압제어발전기

그림 3에서 전압제어발전기 VCO 는 그 발전주파수가 입력 제어전압에 의해서 직선적으로 변화하는 발전기를 말한다.¹⁷⁾ 계수 c_1 은 입력제어전압에 대한 출력주파수의 비를 결정한다.

$$\text{즉, } c_1 = \frac{f_o}{v_{in}} \quad (6)$$

계수 c_2 는 입력전압이 0인 경우 60[Hz]의 정현파를 프리런닝으로 출력하도록 해준다.

$$c_2 = 4f_r T_s \quad (7)$$

단, f_r 은 프리런닝 할 때 전압제어발전기의 출력주파수이다. 디지털 전압제어발전기의 출력인수는 다음의 식 (8)로 주어진다.

$$V_{io}(z) = z^{-1}V_{io}(z) + c_1V_{\text{IR}}(z) + c_2 \quad (8)$$

따라서 전달함수는 다음의 식 (9)와 같이 된다.

$$\frac{V_{io}(z)}{V_{\text{IR}}(z)} = \frac{c_1 z}{1-z^{-1}} = \frac{c_1 z}{z-1} \quad (9)$$

식(8)의 출력인수와 식 (10)의 미니막스 근사다항식을 사용하여 소프트웨어적으로 전압제어발전기를 구현한다. 정현파를 출력하기 위한 근사 다항식은 다음의 식 (10)과 같이 된다.

$$\sin\left(\frac{\pi}{2} V_{io}\right) \approx a_1 V_{io} + a_3 V_{io}^3 + a_5 V_{io}^5 \quad (10)$$

$$\begin{aligned} \text{단, } a_1 &= 1.570 \\ a_2 &= -0.642 \\ a_3 &= 0.071 \end{aligned}$$

식 (8)에서 출력인수 V_{io} 는 ± 2 의 범위 내로 결정되며

$\sin\left(\frac{\pi}{2} V_{io}\right)$ 는 ± 1 의 범위 내로 한정된다. 식(10)에서 알 수

있는 바와 같이 V_{io} 의 변화에 따라 사인파의 위상과 주파수가 가변되어 원하는 출력을 발생시키게 된다.

4. 시뮬레이션 및 실험결과

본 연구에서는 디지털 순시제어 UPS 시스템에 적용시키기 위한 디지털 PLL을 설계하여 시뮬레이션을 수행하였다.

표1. 시뮬레이션 파라미터

Parameters	Constant values	
filter parameters	a	0.99
	b	0.01
VCO parameters	c1	0.000125
	c2	0.0024
UPS rating	5 [KVA]	
Freerunning frequency	60 [Hz]	

그림 4와 5는 각각 디지털 PLL 기준입력신호의 위상이 갑자기 90도 지연 및 지연 변화되었을 때 UPS 출력전압의 동기화 과정을 나타낸 것이다. 기준입력신호의 위상이 90도 지연되었을 경우는 필터의 출력값이 0보다 커져서 전압제어발전기는 위상을 지연시키는 방향으로 발전한다. 역으로 기준입력신호의 위상이 90도 지연되었을 경우는 필터의 출력값이 0보다 작아져서 전압제어발전기는 위상을 지연시키는 방향으로 발전한다. 그림 6과 7은 각각 디지털 PLL 기준입력신호의 주파수가 갑자기 61[Hz] 및 59[Hz]로 변동되었을 때 동기화과정을 보여 준다. 기준입력신호의 주파수가 61[Hz]로 되었을 경우는 필터의 출력값이 0보다 커져서 전압제어발전기의 출력주파수를 증가시켜 주파수동기가 얻어진다. 주파수가 59[Hz]로 되었을 경우는 필터의 출력값이 0보다 작아져서 전압제어발전기의 출력주파수를 감소시켜 주파수동기가 얻어진다. 그림 8은 기준입력신호가 어느 한 순간 갑자기 소실되었을 경우 디지털 PLL이 60[Hz]의 정현파로 과도현상 없이 출력을 발생시키고 있음을 보여 준다. 그림 9와 10은 90° 위상변동시 디지털 PLL 실험파형을 나타낸다. 시뮬레이션과 실험 결과가 일치함을 알 수 있다.

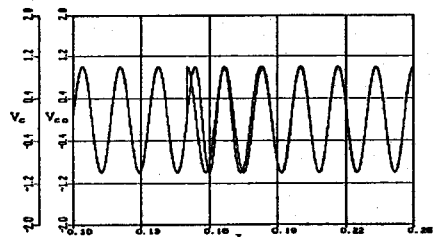


그림 4. 디지털 PLL 입력과 출력파형 (90° leading variation)

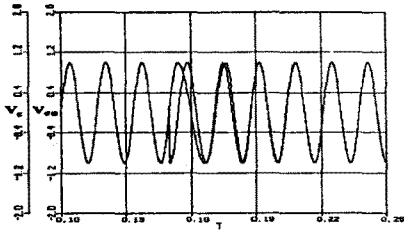


그림 5. 디지털 PLL 입력과 출력파형
(90° lagging variation)

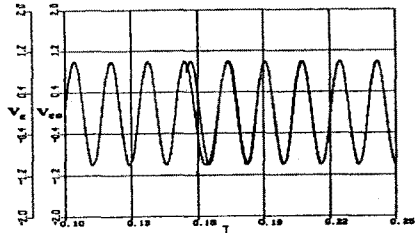


그림 7. 디지털 PLL 입력과 출력파형
(59Hz frequency variation)

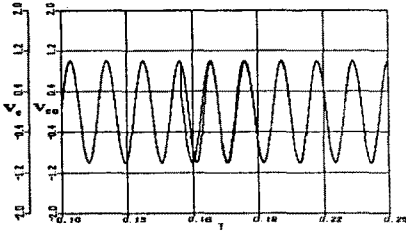


그림 6. 디지털 PLL 입력과 출력 파형
(61Hz frequency variation)

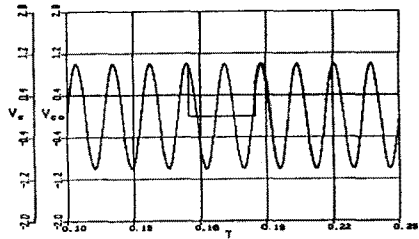


그림 8. 디지털 PLL 입력과 출력파형
(Reference fails at $t = 0.3 \sim 0.34$)

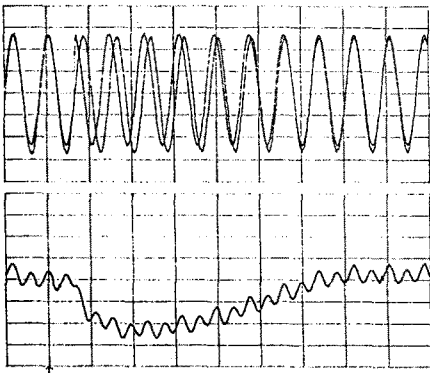


그림 9. 디지털 PLL 실험 파형(90° leading)

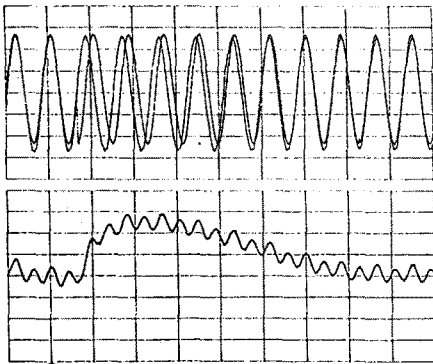


그림 10. 디지털 PLL 실험 파형(90° lagging)

5. 결론

본 연구에서는 기존의 Close Loop 방식 디지털 위상동기화회로의 실제 구현상에서 직면한 문제점을 극복하기 위하여 Open Loop 방식을 제시하였다. 또한, 제안된 기법을 5[kVA]급 디지털 순시제 UPS 시스템에 적용시키므로써 UPS 출력전압과 바이패스 전압을 정확히 동기시킬 수 있었다. 제안된 디지털 위상동기화회로는 360도 전 범위에 대하여 위상 및 주파수 동기가 가능하며 빠른 과도상태 응답특성을 나타내었다.

마지막으로 제안된 위상동기화회로의 타당성과 우수성이 디지털 시뮬레이션과 실험에 의하여 확인되었다.

향후 제안된 기법을 가지고 페루프 시스템을 구현하는 것이 과제이다.

참고문헌

1. Je-Hong Kim, et al., "Digital synchronization technique for UPS", '95 춘계전력전자 학술연구발표회 논문집, pp. 42-49, 1995
2. 畑 雅恭, PLL 制御回路設計事例集, トリケップス, 1987.
3. 金子 俊夫, DSP를 이용한, CQ 出版社, 1989.
4. 三上直樹, デジタル 信號處理プログラミング入門, CQ 出版社, 1993.
5. 柳澤 健, PLL(位相同期 루프) 應用回路, 總合電子出版社, 1992.
6. 見城 尚志, et al., 實用電子回路設計 가이드, 總合電子出版社, 1993.2
7. David A. Hodges, et al., "Design of PLL - based clock generation circuits", IEEE Journal solid-state circuits, Vol. SC-22, NO. 2, pp. 255-261, April, 1987.
8. Burkhard Giebel, et al., "Digitally controlled oscillator", IEEE Journal of solid state circuits, Vol. 24, No. 24, pp. 640-645, June, 1989.