

회로 시뮬레이션을 위한 MOS 제어 다이리스터의 PSPICE 모델

이영국*, 현동석
한양대학교 전기공학과

A Pspice Model of MOS-Controlled Thyristor for Circuit Simulation

Young-Kook Lee and Dong-Seok Hyun
Dept. of Electrical Engineering, Hanyang University

Abstract-The advancement of power semiconductor devices has given great attribution to the performance and reliability of power conversion systems. But contemporary power devices have room for improvement. So much interest and endeavor are being applied to develop an improved power devices. The MOS-Controlled Thyristor(MCT)is a recently developed power device which combines four layers thyristor structure and MOS-gate. Owing to advantages compared to other devices in many respects, the MCT attracts much notice recently. Nowadays, in designing and manufacturing power conversion systems, the importance of circuit simulation for reducing cost and time is increased. And to excute the simulation that resemble the real system as much as possible, to develop a model of power device that provides properly static and dynamic characteristics is important. So, this paper presents a PSPICE model of the MCT considering dynamic characteristics.

1. 서론

전력용 반도체 소자의 정격과 성능의 향상은 전력변환 장치의 성능과 신뢰성 향상에 큰 기여를 해 왔다. 하지만 현존하는 전력용반도체소자들은 아직까지는 개선의 여지가 많이 남아 있는 실정이다. 따라서 보다 향상된 전력용 반도체 소자의 개발을 위한 많은 노력이 경주되고 있다. 이러한 시도의 하나로 전압 구동 소자와 전류 구동 소자의 장점을 결합한 소자의 개발이 이루어져 왔다. MOS제어 다이리스터는 바로 이러한 시도의 산물이며 다른 전력용 반도체 소자에 비하여 지니고 있는 장점 때문에 주목받고 있는 소자이다[1]. 또한 전력변환장치 설계와 제작시 시간과 비용 절감을 위한 회로 시뮬레이션은 중요한 사항으로 실제 시스템과 가장 근사한 시뮬레이션을 수행하기 위해서 전력용 반도체 소자의 동적 및 정적 특성을 올바르게 제공하는 소자 모델의 개발을 위하여 많은 연구가 되고 있다. 이에 본 논문에서는 최근 주목 받고 있는 MOS제어 다이리스터의 동적 특성을 고려한 회로 시뮬레이션을 위한 모델을 제시하고 그 타당성을 검증하고자 한다.

2. MOS제어 다이리스터의 단위 Cell구조와 회로 등가 모델

그림1은 P형 MOS제어 다이리스터의 단위 Cell구조를 보여 주고 있다. P형 MOS제어 다이리스터는 게이트와 애노드 사이에 음의 전압을 인가하면 턴-온이 되고 양의 전압을 인가하면 턴-오프가 된다. 보통 MOS제어 다이리스터의 경우 전류의 정격은 얼마나 빠른 시간에 다이리스터의 재생 작용을 멈추게 하는가에 따라 달려 있기 때문에 on-FET는 모든 Cell에 존재 하지는 않지만 off-FET의 경우는 모든 단위 Cell에 존재하게 된다[2, 3].

그림2는 본 논문에서 제안하는 MOS제어 다이리스터의 회로 등가 모델을 나타내고 있다. 다이리스터의 회로 등가 모델의 경우 두개의 트랜지스터로 등가화하거나 세 개의 다이오드로 등가화시키는 것이 일반적이다. 본 논문에서는 세 개의 다이오드 등가 모델을 제시하고 있다. 게이트와 애노드사이의 on-FET와 off-FET는 다이오드와 커패시터로 등가화시켰고 애노드와 캐소드사이는 세개의 다이오드와 전압 제어 스위치로 등가화시켰다.

3. 모델 파라미터 추정

3-1. on-FET와 off-FET의 등가 커패시턴스 추정

게이트 구동 회로의 전압은 ± 15 이고 게이트 구동회로의 입력 저항은 10ohm 이다. 온/오프시 전압의 Rising, Falling시간으로 부터 아래의 식 (1), (2)를 이용하여 게이트 애노드양단간 커패시터를 추정할 수 있다. 다이오드의 전압 정격은 게이트 애노드 양단의 전압정격으로 근사화할 수 있으며 그값은 데이터 Sheet로부터 알 수 있으며 35V로 산정하였다.

$$V_{ag} = V_{control}(1 - \exp(-t/\tau)), \tau = R_{input} \times C_{on-FET,off-FET} \dots (1)$$

$$9 = \exp(t_{rising,falling} / \tau), t_{rising} = 0.6\mu s, t_{falling} = 1.9\mu s \dots (2)$$

따라서

$$C_{on-FET} = t_{falling} / \ln 9 / 10$$

$$C_{off-FET} = t_{rising} / \ln 9 / 10$$

3-2 전압 제어 스위치의 파라미터 추정

전압 제어 스위치의 구동전압은 게이트 애노드사이의 문턱전압으로 설정할 수 있으며 이 값은 데이터 Sheet에서 제공되며 2.0V로 산정하였다. 온시의 저항은 MOS제어 다이리스터의 도통시 전압강하를 이용한 식(3)으로 부터 추정이 가능하고 오프시의 저항은 Breakover 전압을 고려하여 산정이 가능하다.

$$R_{on} = V_{akon} / I_a, V_{akon} = 2.0, I_a = 20A \dots\dots\dots(3)$$

3-3. 애노드 접합의 커패시턴스 추정

전류 오프시 나타나는 tail전류가 도통하는 시간동안 애노드 접합만이 도통상태에 있으므로 tail구간동안의 시간은 C_a 의 방전 시간으로 생각해도 무방하다. 따라서 C_a 의 값은 식(4)에 의하여 산정이 가능하다.

$$T_{tail} = 3 * C_a * R_a, T_{tail} = 1.5\mu s, R_a = 500\Omega \dots\dots\dots(4)$$

3-4. P⁻영역의 커패시턴스 추정

턴 오프시 전압은 전압 구동 스위치가 오프되어 있는 상태이므로 초기에 C_g 에 인가가 되게 된다. 이때 회로의 부유 인덕턴스에 축적된 에너지가 이 커패시턴스에 축적되므로 C_g 의 값은 식(5)을 통하여 산정이 가능하다.

$$C_g = L_s * I_a^2 / V_{akoff}^2, L_s = 1.0\mu H, I_a = 20A, V_{akoff} = 200V \dots\dots(5)$$

3-5. 캐소드접합의 커패시턴스 추정

전압 오프시 회로 부유 인덕턴스의 영향으로 나타나게 되는 전압 공진의 주파수를 이용하여 식에 의하여 추정이 가능하다. 여기서 회로상의 부유 인덕턴스를 1.0 μ H라고 가정한다 [3].

$$T = 2 * \pi * \sqrt{L_s C_k}, T = 800ns, L_s = 1.0\mu H \dots\dots\dots(6)$$

4. 실험 및 시뮬레이션 결과

본 논문의 실험은 DC전압 200V, 부하 10 Ω 스위칭 주파수 1kHz인 초퍼 테스트를 실시 하였다. 그에 대한 실험 결과 파형은 그림3에 제시되어 있다. 본 논문에서 제시한 MOS제어 다이리스터의 모델로 실시한 PSPICE 시뮬레이션 결과는 그림4에 제시되어 있다. 이에 대한 결과를 표1에 나타내었다.

표1. 시뮬레이션 결과와 실험 결과

측정 항목	실험 결과	시뮬레이션결과
V_{an} Rising Time	1.9 μ s	1.9 μ s
V_{an} Falling Time	0.6 μ s	0.6 μ s
V_{ak} Rising Time	330ns	310ns
V_{ak} Falling Time	340ns	290ns
I_a Rising Time	210ns	390ns
I_a Falling Time	390ns	380ns

5. 결론

앞서 제시한 실험과 시뮬레이션의 결과를 보면 본 논문에서 제시한 모델이 실제 MOS제어 다이리스터의 동적및 정적 특성을 매우 근사하게 보이고 있음을 알 수 있다.

참고 문헌

- [1] V.A.K Temple, "MOS-Controlled Thyristors - A New Class of Power Devices," *IEEE Trans. on Electron Devices*, vol.33, no. 10, pp.1609-1618, Oct, 1986
- [2] HARRIS SEMICONDUCTOR "User's Guide-MOS Controlled Thyristor," *Harris.co*, 1993.
- [3] C.Alonso et al, "A MODEL OF GTO COMPATIBLE WITH POWER CIRCUIT SIMULATION," *EPE 93*, BRIGHTON, pp.232-237, 1993.
- [4] Mohan et al, "Power Electronics : CONVERTERS APPLICATION AND DESIGNS," *John & Wiley*, 1995.

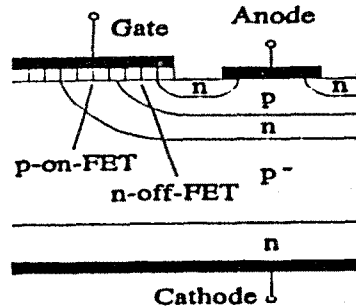


그림1. P형 MCT의 단위 Cell의 수직구조

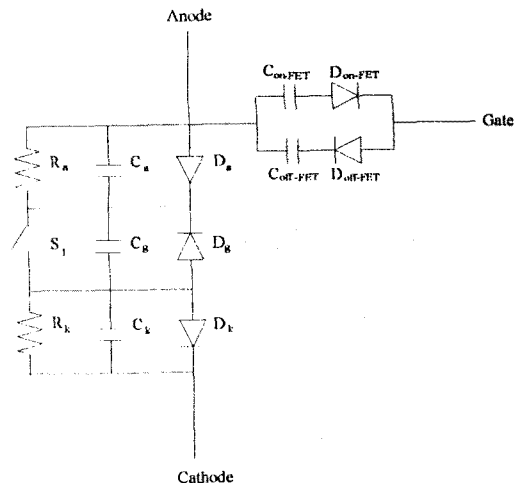


그림2. 회로 시뮬레이션을 위한 MCT 등가 모델

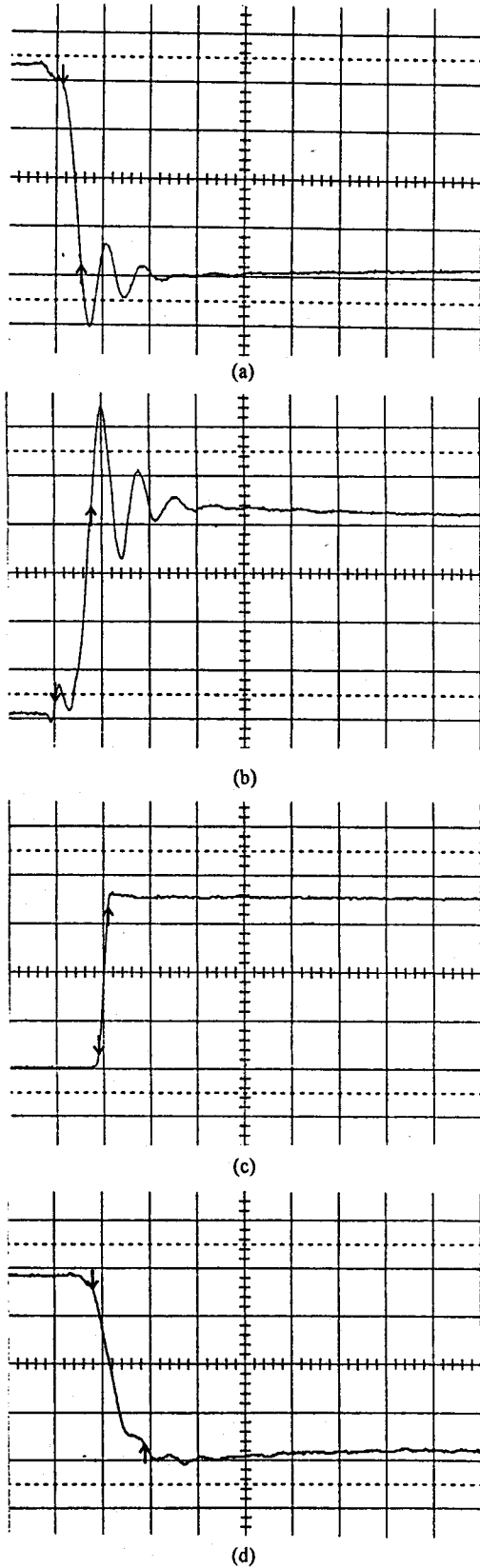


그림 3. 실험결과 (a) 턴-온시 V_{ak} 전압파형 ; 55V/div ; time 1 μ s/div (b) 턴-오프시 V_{ak} 전압파형 ; 55V/div ; time 1 μ s/div (c) 턴-온시 I_a 전류파형 ; 5.5A/div ; time 500ns/div (d) 턴-오프시 I_a 전류파형 ; 5.5A/div ; time 500ns/div

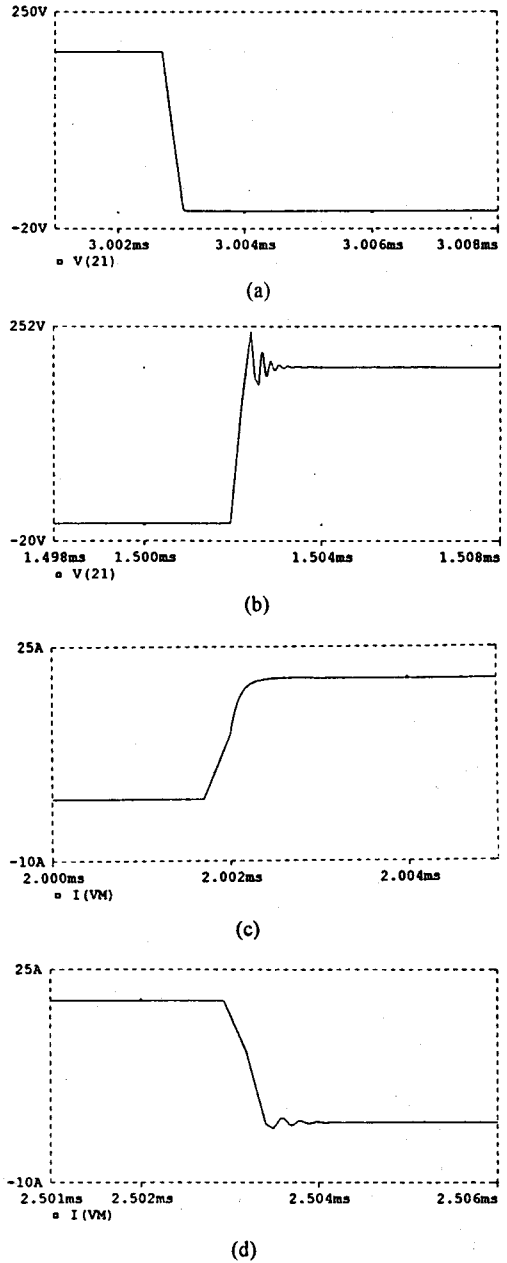


그림 4. 시뮬레이션 결과 (a) 턴-온시 V_{ak} 전압파형 (b) 턴-오프시 V_{ak} 전압파형 (c) 턴-온시 I_a 전류파형 (d) 턴-오프시 I_a 전류파형