

## 기억논리소자에서의 전달지연시간에 의한 Critical Time의 변화 양상 고찰

주유진<sup>\*</sup>, 이선형<sup>\*</sup>, 류지호<sup>\*</sup>, 이상훈<sup>\*\*</sup>, 성영권<sup>\*</sup>

\*고려대학교 전기공학과, \*\*현대전자(주), \*\*\*한서대학교 전자공학과

### A Study on the Effect of Propogation Delay Time on Critical Time in Storage Elements

Y.J.Joo<sup>\*</sup>, S.H.Lee<sup>\*</sup>, J.H.Ryoo<sup>\*</sup>, S.H.Lee<sup>\*\*</sup>, Y.K.Sung<sup>\*</sup>

<sup>\*</sup>Dept. of Electrical Engineering, Korea Univ., <sup>\*\*</sup>Hyundai Electronic Co., <sup>\*\*\*</sup>Han Seo Univ.

#### Abstract

The modeling of accurate timing in storage elements of ASIC cell library was studied. The propagation delay time of clock signal affects the critical time and this can cause malfunction in the chip designed in synchronous. In this paper, an analysis on the effect of input slope of clock signal in timing modeling were carried out. For the first time, in ASIC design, the design guides that can be used in both 0.6μm and 0.8μm design rule were offered, reducing the run time of SPICE and the time of cell library development.

#### 1. 서론

소자의 dimension<sup>[1]</sup> 점차 미세화됨에 따라, clock 주파수는 증가하게되고 동작속도는 더욱 빨라져 ASIC 설계에 사용되는 Cell에 대한 정확한 timing modeling을 필요로 하게되었다.<sup>[1,2]</sup> 한편, storage element의 delay time은 clock signal과 관련되어 있기 때문에, delay time의 계산과정에서 가장 중요한 것은 clock signal의 rising time과 falling time이며 clock signal의 rising time과 falling time은 fanout이 커질수록 증가한다. storage element에서 clock signal의 rising time과 falling time이 변화하면, 이는 critical time(setup time, hold time)에 영향을 미칠 수 있고, 또 동기(synchronous) 설계된 chip에서 오동작을 유발할 수 있다. 따라서, 본 논문에서는, timing modeling에서 input slope의 영향을 분석, 정의한 후, 논리준위변화시간이 각종 논리소자의 setup 및 hold time에 주는 영향을 SPICE 모의실험을 통하여 분석하였다. 0.8μm design rule에 입각하여 수행한 모의실험결과를 단순 1차함수로 근사화시켰다. 또한 향후 0.6μm design rule에도 적용 가능한지를 판단하기 위해 추가적인 모의실험을 실시하였다. 설계자의 경험 등에 의해서 판단되어진 논리준위변화시간의 setup, hold time에 대한 영향을 분석하여, 단순 1차함수로 근사화시켜서 ASIC cell library 개발시의 지침을 마련하였다.

본 논문에 제재된 모든 결과는, 현대전자(주) 0.8μm, 0.6μm ASIC cell library의 개발과정에서 수행된 delay modeling에 기반을 둔다.

#### 2. critical time에 관한 이론적 논의

critical time의 의미는 setup time, hold time, positive pulse width time(PW+), negative pulse width time(PW-) 등을 포함한다. 이들 critical time중에서 제일 먼저 고려해야 할 시간특성은 setup time과 hold time이다. clock signal가 인가되어 cell을 활성화시킬 때, clock신호가 인가되기 이전에 data signal은 이미 기억논리소자의 내부로 인가되어 있어야만 안정된 입력으로 인정할 수 있다. 이때 최소시간이 setup time이다. clock signal의 rising/falling 이후에도 data signal은 안정해야 한다. 이 최소시간을 hold time이라 한다. 예로써, [그림.1]과 같은 1개의 storage element를 가정해보자. 이 storage element는 rising edge active, no set/reset signal의 D Flip-flop이다. 이것은 기본적인 D F/F 회로이다. [그림.1]에서 보듯이, clock signal에 의해 출력단의 신호가 변화할 때까지의 시간은 식(1), 식(2)에 나타내었다.

$$T_{d_{\text{min}}} = T_d(C_1) + T_d(C_2) + T_d(T_3) + T_d(D_4) + T_d(D_5) \quad \dots \quad (1)$$

$$T_{d_{\text{max}}} = T_d(C_1) + T_d(C_2) + T_d(T_3) + T_d(D_4) + T_d(D_5) + T_d(D_7) \quad (2)$$

이때,  $T_d(G)$ 는 G cell의 전달지연시간,  $T_{d_{\text{min}}}$ 와  $T_{d_{\text{max}}}$ 은 입력 clock signal에 의한 출력 Q, QN의 논리준위 변화시간을 의미한다.

저장된 논리정보는 rising edge 활성화에 의해 변화되며 rising edge 활성화는 clock signal에 의해 이루어진다. 이를 수식으로 표현하면 다음과 같이 나타낼 수 있다.

$$T_{\text{min}} = T_d(T_1) + T_d(D_2) + T_d(D_3) - T_d(C_1) - T_d(C_2) \quad \dots \quad (3)$$

$$T_{\text{max}} = T_d(C_1) + T_d(C_2) \quad \dots \quad (4)$$

clock 신호는 설계상 많은 부하를 가질 수도 있으므로 신호의 논리준위변화시간은 각 설계에 따라 달라질 수 있다. 부하에 따른 전달지연시간은 clock 신호의 논리준위변화시간을 변화시킬 수 있고, 이는 기억논리소자의 중요한 변수인 setup 및 hold time에도 영향을 미친다. 따라서, setup 및 hold time 역시 일반 지연시간과 동일하게 신호의 논리준위변화시간에 따라 변화양상을 정의하여야 하지만 현재까지는 이에 대한 논리적인 의미의 정의가 없었던 것으로 파악된다. 식(3)과 식(4)을 참고하면, 부하의 증가로 인해 clock signal의 논리준위변화시간이 길어지면 C1 gate의 영향으로 인해 setup time

은 짧아지게되고, hold time은 길어지게된다. 반면, 논리준위변화시간이 짧아지면 setup time은 길어지고 hold time은 짧아지게 된다. 하지만, 식(3), (4)는 C1 gate의 반도체 특성을 고려하지 않은 일반적인 수식이기 때문에 정설로 인정할 수는 없다. 그러므로, C1 gate를 구성하는 PMOS와 NMOS Tr.의 크기와 배선배치의 영향을 모두 고려하여야 한다.

### 3. setup, hold time의 고찰 및 모의실험의 결과

논리준위 변화시간에 따른 기억논리소자의 setup, hold 시간 변화를 고찰하기 위해 [그림.1]의 D Flip Flop에서 C1' Gate의 P, NMOS Transistor의 크기를 변화시키면서 모의실험을 실시하였다. [그림.2.(a)]는 C1 Gate의 P, NMOS Transistor의 크기를 각각  $W_p$ ,  $W_n$ 이라 할 때,  $W_p$ 를  $10\mu m$ 로 고정하고  $W_n$ 의 크기를  $10\mu m$ ,  $7.5\mu m$ ,  $5\mu m$ ,  $2.5\mu m$ 로 변화시킴과 동시에 Clock신호의 논리준위 변화시간도 각각 0.2ns, 0.5ns, 1ns, 2ns, 3ns로 변화시켜 가면서 setup time을 모의실험으로 구한 결과이다. 본 연구에서는 논리준위 변화시간이 3ns 이하에서 동작하는 것으로 가정하였다. [그림.2.(a)]에서 알 수 있는 바와 같이 setup시간은  $W_p$ 대  $W_n$ 의 Ratio가 1, 1.33일 때는 논리준위 변화시간이 점차 커지면서 증가하는 반면에 Ratio가 2.0, 4.0일 때는 점차 감소하는 양상을 보이고 있다.

그러나 [그림.3.(a)]에서 알 수 있듯이 hold시간은 Ratio가 1, 1.33일 때는 논리준위 변화시간이 증가함에 따라 점차 감소하거나 정체되고 있음을 알 수 있었다. 상기 Ratio에 따른 setup, hold 시간변화의 원인은 논리변화 문턱 전압과 [그림.1]에 나타낸 C1 gate의 fanout으로 작용하는 C2 gate의 Impedance에 기인되는 것으로 추측되고 있으나 각각의 효과를 정량적으로 분석하지는 못한 상태이다. 그러나 모의실험의 결과를 고찰, 분석하여 본 결과 setup, hold time의 논리준위 변화에 따른 변화양상은  $W_p/W_n$  Ratio가 일정하게 결정되는 경우 단순 1차함수식에 근사시킬 수 있다. 이러한 근사를 더욱 간단히 하여 논리준위 변화시간이 가장 긴 경우인 3ns시의 setup 시간과 논리준위 변화시간이 step파에 가까운 0.2ns인 입력이 들어올 때의 setup시간을 구하여 단순 1차함수로 근사화시킨 각 논리준위 변화시간에 따른 시간과 setup시간이 오차율 14%이내에서 거의 근사하고 있다. 즉 3ns와 0.2ns의 논리준위 변화시간에서의 setup시간만을 알면 나머지 1, 2ns의 논리준위 변화 시간을 오차율 14%이내에서 예측할 수 있음을 의미한다.

이러한 양상이 PMOS Transistor 폭이 변화할 때도 동일하게 나타나는지를 확인하기 위해 PMOS의 폭을  $16\mu m$ 로 고정하고  $W_p$ 대  $W_n$ 의 Ratio가 1, 1.33, 2, 4가 되도록  $W_n$ 값을 변화시켜 setup time 및 hold time을 모의실험을 통해 구한 결과는  $10\mu m$ 에서와 같은 양상을 보였다. 또한, 이러한 예측이 향후 소자의 미세화가 진행됨에 따라서도 동일한 양상을 가질 것인가를 추론해 보기 위한 실험으로,  $0.6\mu m$  design rule에 의거하여 동일한 D F/F을 설계하였다. 이때, PMOS Transistor 폭을  $9\mu m$ ,  $15\mu m$ 로 고정하고  $W_p$ 대  $W_n$ 의 Ratio를 1, 1.33,

2, 4가 되도록 각각 모의실험한 결과는  $0.8\mu m$  design rule에서 측정한 D F/F의 PMOS Transistor 폭이  $10\mu m$ 과  $16\mu m$ 인 경우와 동일한 양상을 나타내었다. 이 때의 최대 오차율은 15%로써  $0.6\mu m$  design rule을 적용하여도 충분히 만족할만한 양상을 보이고 있었다. [표.1]에 이에 대한 결과를 나타낸다. [표.1]을 통하여  $0.8\mu m$  design rule 및  $0.6\mu m$  design rule에서 모두 0.2ns와 3ns의 논리준위 변화시간에서의 setup 시간을 알면 나머지 1, 2ns의 논리준위 변화시간을 예측할 수 있고, 이때의 오차율은 각각 14%, 15% 이하이다.

D F/F 모의 실험에 의해 예측가능한 양상이 D F/F이 외의 JK F/F과 Latch와 같은 다른 모든 기억논리소자에 대해서도 적용가능한가를 검토하기 위해, JK F/F과 Latch에서도 마찬가지로  $0.8\mu m$  및  $0.6\mu m$  design rule을 적용하는  $W_p$ 의 크기를  $10\mu m$ ,  $16\mu m$ ,  $9\mu m$ ,  $15\mu m$ 로 고정시킨 후 일정한  $W_p$ 대  $W_n$ 의 Ratio를 유지하기 위해  $W_n$ 의 값을 각각 바꾸어 가며 모의실험을 실시하였다.

JK F/F과 D F/F은 유사한 특성을 보이는 반면, Latch의 setup time은  $W_p$ 대  $W_n$ 의 Ratio가 4인 경우 논리준위 변화시간이 증가할수록 감소하는 양상을 보이고 있다. 마찬가지로 Latch의 hold time 또한 D F/F, JK F/F과는 반대의 양상을 띠고 있다. 이는 Latch는 falling-edge trigger 소자이기 때문에 발생하고 있다.

### 4. 결론

논리준위변화시간의 변화에 따른 D F/F, JK F/F, Latch에서의 setup 및 hold time의 변화양상을 고찰한 결과, 다음과 같은 결론을 얻었다.

- 1) 논리준위변화시간의 변화에 대해 setup 및 hold time은 1차함수로 근사화할 수 있고 이때 1차함수로 근사화시킨 값은 최고 15% 이내, 평균 2.5%의 오차율을 가지고 있다.
- 2) 일반적으로 설계자의 경험에 의해 설정되었던 setup 및 hold time을 1차함수로 근사화, 정의하였다.
- 3) 본 실험에 의해 처음으로 각 기억논리소자의 시간영역 응답특성을 일반화하여 최적화된 setup 및 hold time을 설계자에게 제공, SPICE run time을 줄여 cell library 개발기간을 단축할 수 있다.

### 참고문헌

- 1) C. Mead and M. Rem, "Minimum propagation delays in VLSI", IEEE Journal of Solid-State Circuits, vol.SC-17, pp.773-75, Aug. 1982
- 2) E. T. Lewis, "Optimization of device area and overall delay for CMOS VLSI design", proceedings of IEEE, vol.72, pp.670-689, June 1984
- 3) The technical report from COMPASS AUTOMATION
- 4) "Verilog-XL Manual", Candence Corporation. 1994
- 5) "Quiksim II Manual", Mentor Graphics Corporation. 1994
- 6) Neil H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI design", Addison-Wesley Publishing

Co., Reading, Mass., June, 1988, Chap. 2.

- 7) L. W. Nagel, "SPICE 2 : A computer program to simulate semiconductor circuits", Electronics Research Laboratory, University of California, Berkeley, memo. ERL-M510, May, 1975
- 8) P. Penfield and J. Rubinstein, "Signal Delay in RC Tree Networks", Proceedings of the 18th Design Automation Conference, 1981, pp.613

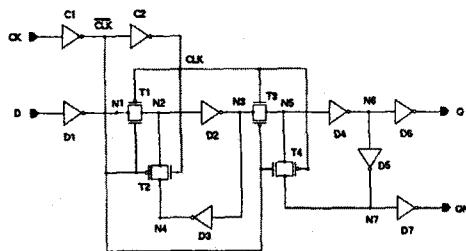
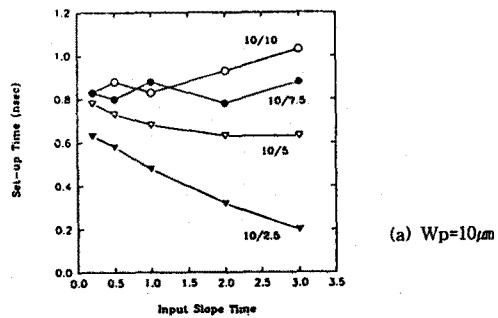
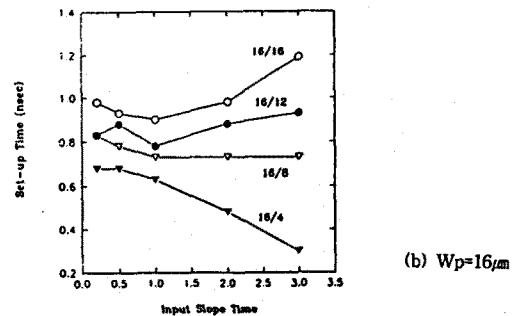


그림.1 rising edge active, no set/reset signal의 D F/F 회로도



(a)  $W_p = 10\mu m$



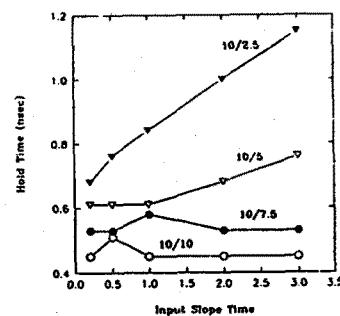
(b)  $W_p = 16\mu m$

그림.2 논리준위변화시간에 따른 D F/F의 setup time

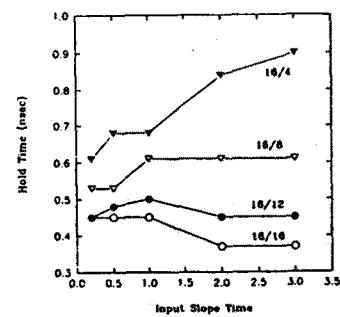
표.1. 논리준위 변화시간에 따른 D F/F의 Setup 및 Hold 시간

input slope time		0.2	0.5	1.0	2.0	3.0	
setup & hold time							
$W_p = 10\mu m$	10/10	setup time	0.83	0.88	0.83	0.93	1.03
	10/10	hold time	0.45	0.51	0.45	0.45	0.45
	10/7.5	setup time	0.83	0.80	0.88	0.78	0.88
	10/7.5	hold time	0.53	0.53	0.58	0.53	0.53
$W_p = 16\mu m$	10/5	setup time	0.78	0.78	0.68	0.63	0.63
	10/5	hold time	0.61	0.61	0.61	0.68	0.76
	10/2.5	setup time	0.63	0.58	0.48	0.32	0.22
	10/2.5	hold time	0.68	0.76	0.84	1.00	1.15
$W_p = 16\mu m$	16/16	setup time	0.98	0.93	0.9	0.98	1.19
	16/16	hold time	0.45	0.45	0.45	0.37	0.37
	16/12	setup time	0.83	0.88	0.78	0.88	0.93
	16/12	hold time	0.45	0.48	0.50	0.45	0.45
$W_p = 9\mu m$	16/8	setup time	0.93	0.78	0.73	0.73	0.73
	16/8	hold time	0.53	0.53	0.61	0.61	0.61
	16/4	setup time	0.68	0.68	0.63	0.48	0.30
	16/4	hold time	0.61	0.68	0.68	0.84	0.90
$W_p = 15\mu m$	9/9	setup time	0.83		0.78	0.93	0.93
	9/9	hold time	0.45		0.45	0.45	0.45
	9/6.75	setup time	0.78		0.73	0.73	0.78
	9/6.75	hold time	0.53		0.53	0.53	0.53
$W_p = 15\mu m$	9/4.5	setup time	0.78		0.63	0.63	0.58
	9/4.5	hold time	0.53		0.68	0.68	0.76
	9/2.25	setup time	0.63		0.58	0.32	0.22
	9/2.25	hold time	0.68		0.84	0.92	1.15
$W_p = 15\mu m$	15/15	setup time	0.83		0.83	0.98	1.19
	15/15	hold time	0.45		0.45	0.45	0.37
	15/11.25	setup time	0.83		0.78	0.96	0.88
	15/11.25	hold time	0.45		0.45	0.51	0.45
$W_p = 15\mu m$	15/7.5	setup time	0.78		0.73	0.78	0.68
	15/7.5	hold time	0.53		0.53	0.61	0.68
	15/3.75	setup time	0.73		0.63	0.48	0.32
	15/3.75	hold time	0.61		0.68	0.84	1.00

그림.3 논리준위변화시간에 따른 D F/F의 hold time



(a)  $W_p = 10\mu m$



(b)  $W_p = 16\mu m$