

주기적 이득함수를 이용하여 디지털 재설계된 시스템의 리플제거의 한 방법

성 지 수* · 양 원 영* · 정 태상**

* 중앙대학교 전기공학과

** 중앙대학교 제어계측공학과

A Method of Reducing the Ripple Effects in Digital Redesign System by Periodic Gain Function

Ji-Su Seong* · Won-Young Yang* · Tae-Sang Chung**

* Dept. of Electrical Eng., Chung-Ang Univ.

** Dept. of Control Instrumentation Eng., Chung-Ang Univ.

ABSTRACT

Practical controllers of industrial systems are usually designed and realized in continuous time domain. However, due to the programmable and flexible nature of digital computers and the speed and stability superiority of digital components over analog ones, it seems more effective to adapt digital controllers.

When an existing analog controller performs satisfactory, it is often advantageous to use the digital redesign technique to obtain an equivalent digital controller which substitutes the analog one.

One method of the digital redesign is to use a periodic gain. This method gives a ripples effect on the steady state response, although its transient response is satisfactory.

This paper suggests a method which eliminates or diminishes periodic ripples generated by the periodic function.

1. 서론

실용적인 산업 시스템의 제어기는 주로 연속 시간 영역에서 설계되며 이는 아날로그 요소를 사용하여 실현되어진다. 하지만 컴퓨터와 디지털소자의 수행 속도와 안정성이 향상되고 다양한 디지털제어기술이 개발됨에 따라 시스템 제어를 디지털구성요소를 사용하는 이상 시간 영역의 제어기들로 하는 것이 효과적일 수 있다. 그러나 기존의 아날로그 제어기들이 만족할 만한 성능을 가지고 있는 경우에는 완전히 새로운 디지털제어기를 설계하는 대신 기존의 아날로그 제어기를 성능이 등등한 이상 제어기들로 변환하는 방법, 즉 디지털재설계 방법을 사용할 수 있다.

본 논문에서는 주기적인 이득 함수를 이용하여 재설계된 디지털 제어기의 정상상태에서 미소하게 발생하는 주기적리플을 제거할 수 있는 방법을 제시할 것이다.

2. 디지털재설계

(1) 디지털 재설계

디지털 재설계방법은 샘플링주기와 플랜트 전달함수에 따라 동일한 기준입력과 초기상태에 대하여 두 시스템의 응답특성이 가깝게 일치되도록 설계하는 방법이다. 이 방법은 직접 대체에 의한 제어기설계 방법보다 시스템응답 특성이 원래의 시스템에 보다 더 정확히 일치시킬수 있고 시스템의 안정도에

영향을 주지 않는 한 비교적 큰 샘플링시간을 이용할 수 있다. 장점이 있다. Kuo[1]가 point-by-point 상태 일치개념을 도입한 후 디지털 재설계에 관한 많은 진보가 이루어졌다. 그러나 기존의 디지털재설계 방법의 대부분이 부분적인 상태일치에 그치고 있다. 개별적으로 제어되어지는 시스템의 응답이 원래의 연속시간 시스템의 응답과 정상상태에서는 비교적 잘 일치되지만 과도상태에서 일치하지 못하는 것도 또한 관찰되어진다. 이 과도상태에서의 빈약한 일치로 인해 로보트경로 제어같은 기준입력이 연속적으로 변하는 경우에는 기존의 디지털재설계 기술의 적용이 어려워진다.

(2) 디지털 재설계 기법 고찰

그림 1에 보여진 일반적인 선형시불변시스템은 아래식과 같이 표현되어진다.

$$\dot{x}_c(t) = Ax_c(t) + Bu_c(t), \quad x_c(0) = x_0 \quad (1)$$

여기서 $x_c(t)$ 와 $u_c(t)$ 은 각각 $n \times 1$ 상태벡터와 $m \times 1$ 입력벡터이고 A와 B는 적절한 차원의 상수배열이다.

일반적으로 상태벡터의 차원 n이 입력벡터의 차원 m보다 크다. 만약 위의 시스템이 제어가능하다면 제어입력은 아래와 같이 표현되어진다.

$$u_c(t) = -K_c x_c(t) + E_c r(t) \quad (2)$$

여기서 $r(t)$ 은 $m \times 1$ 기준입력벡터, E_c 는 $r(t)$ 의 feedforward 이득행렬($m \times m$), 그리고 K_c 는 feedback 이득행렬($m \times n$)이다. 식 (2)를 식 (1)에 대입하면 아래와 같이 된다.

$$\dot{x}_c(t) = \hat{A}x_c(t) + BE_c r(t), \quad \hat{A} = A - BK_c \quad (3)$$

위 식 (3)에서 $x_c(t)$ 의 해를 구하면 다음과 같다.

$$x_c(t) = e^{(\hat{A}-BK_c)(t-kT)} x(kT) + \int_{kT}^t e^{(\hat{A}-BK_c)(t-\tau)} BE_c r(\tau) d\tau. \quad (4)$$

식 (2)와 동가적인 ZOH(zero order hold) 디지털제어입력은 다음과 같다.

$$u_d(t) = E_d r(kT) - K_d x(kT) \quad (5)$$

여기서 T는 샘플링 주기이다.

식 (1)의 등가적인 디지털 시스템을 아래와 같이 표현한다.

$$\dot{x}_d(t) = Ax_d(t) + Bu_d(t), \quad x_d(0) = x_0 \quad (6)$$

식 (6)에 식 (5)을 대입하면 다음과 같이 된다.

$$\dot{x}_d(t) = Ax_d(t) + B[-K_d x(kT) + E_d r(kT)], \\ x_d(0) = x_0 \quad (7)$$

식 (7)의 해를 구하면 식 (8)과 같다.

$$x_d(t) = e^{A(t-\tau)} x_d(\tau T) + \int_{\tau T}^t e^{A(t-u)} B U_d(u) du \quad (8)$$

디지털 제설계의 목적은 식 (2)의 아날로그 이득 K_c 와 E_c 로 부터 식 (5)의 K_d 와 E_d 를 구하여 똑같은 기준입력 $r(t) = r(kT)$ 에 대하여 $x_d(t)$ 와 $x_c(t)$ 을 일치시키는데 있다. 식 (2)와 식 (5)를 비교하여 K_c 와 E_c 를 K_d 와 E_d 로 바꾸는 직접 대체방법이 샘플링시간이 매우 작다는 가정 하에서 설정되어진다. 그러나 실제로 샘플링시간이 매우 작은 경우라도 직접 대체 방법은 제어되는 시스템의 동역학을 고려하지 않기 때문에 원래의 아날로그 시스템과 완전히 일치하는 것을 기대하기가 어렵다. 또한 샘플링 시간이 충분히 작지 않다면 시스템이 불안전하게 되는 이유가 된다. 그러므로 상태벡터들을 일치시키는데 있어 제어되는 시스템의 동역학과 샘플링시간 모두를 고려하는 방법이 필요하다. 이 상태벡터를 일치시키는 여러방법이 많은 연구자에 의해 제안되었다. 샘플링 순간에서만 상태벡터들을 비교함으로서 임의의 그러나 똑같은 초기상태 $x_c(kT) = x_d(kT)$ 에 대해 $x_d(kT+T)$ 와 $x_c(kT+T)$ 를 비교하여 보자.[2] 이 비교에 의해 $r(T) = r(kT)$ 에 대하여 $t=kT+T$ 에서의 식 (4)와 식 (8)의 응답은 각각 식 (9)와 식 (10)과 같다.

$$x_c(kT+T) = e^{(A-BK_c)T} x_c(kT) + \int_0^T e^{(A-BK_c)t} dt BE_c r(kT) \quad (9)$$

$$\begin{aligned} x_d(kT+T) &= [e^{AT} - \int_0^T e^{At} dt BK_d] x_d(kT) \\ &\quad + \int_0^T e^{At} dt BE_d r(kT) \end{aligned} \quad (10)$$

식 (9)와 식 (10)을 비교하여 식 (11)과 식 (12)을 얻을 수 있다.

$$e^{(A-BK_c)T} = e^{AT} - \int_0^T e^{At} dt BK_d \quad (11)$$

$$\int_0^T e^{(A-BK_c)t} dt BE_c = \int_0^T e^{At} dt BE_d \quad (12)$$

이산이득행렬 $K_d(t)$ 는 식 (11)에서 A, B 와 T의 함수로 $E_d(t)$ 은 식 (12)에서 A, B 와 E_c 의 함수로 결정되어진다.

3. 새로운 방법제시

주기적인 이득행렬을 이용하여 디지털 제설계를 한 경우 기존의 직접 대체 방법이나 다른 제설계 방법에 비해 과도상태응답과 정상상태응답 모두에서 비교적 좋은 상태일치를 보여주고 있다. 그러나 이러한 방법은 그림2처럼 정상상태응답에서 주기적인 리플이 발생한다. 그러므로 본 장에서는 상태피드백 제어입력을 식 (13)과 같이 표현한 후 주기적인 리플을 제거하도록 해 보자.

$$U_d(t) = -K_d(t)x_d(t) + E_d(t)r(t), \quad kT \leq t < kT+T \quad (13)$$

$$\text{단, } K_d(t+T) = K_d(t), \quad E_d(t+T) = E_d(t)$$

주기적으로 변하는 이득을 가진 혼형시스템이 모든 샘플링순간에 원래의 아날로그 시스템과 상태를 일치시키기 위해서 식 (11)과 식 (12)를 이용한다. 식 (11)과 식 (12)를 만족시키는 $K_d(t)$ 와 $E_d(t)$ 를 구하기 위해 식 (14)와 같이 조금 수정된 연속적 Grammian 행렬을 정의하자.

$$W_c(0, T) = \int_0^T e^{A(T-u)} B (e^{A(u-kT)} B)^T du, \quad 0 < p < 1 \quad (14)$$

식 (14)로부터 주기적 이득행렬 $K_d(t)$ 와 $E_d(t)$ 를 식 (15)와 식(16)과 같이 나타낼수 있다.

$$K_d(t) = [e^{k(T-\tau)} B]^T W_c(0, T)^{-1} [e^{AT} - e^{(A-BK_c)T}] \quad (15)$$

$$E_d(t) = [e^{k(T-\tau)} B]^T W_c(0, T)^{-1} \int_0^T e^{(A-BK_c)t} dt BE_c \quad (16)$$

4. 모의실험

모의실험은 486PC상에서 C언어와 Matlab을 사용하였고 결과를 보여주기 위해 아래의 시스템 예를 사용하였다.

샘플링주기 T는 0.5초로 비교적 크게 잡았고 feedforward 이득행렬 E_c 는 2차의 단위행렬로 설정하였다. 그리고 기준입력

$r_1(t), r_2(t)$ 를 일정하게 유지하여 모의실험하였다.

$$A = \begin{bmatrix} 0.809 & -2.060 & 0.325 & 0.465 & 0.895 \\ 6.667 & 0.200 & 1.333 & 0.000 & 0.667 \\ -1.291 & 0.458 & -1.072 & -2.326 & -0.199 \\ -0.324 & 0.824 & 1.670 & -1.186 & -0.358 \\ -3.509 & -4.316 & -0.702 & 0.000 & -8.351 \end{bmatrix}$$

$$B = \begin{bmatrix} 0.955 & -0.397 \\ -1.667 & -1.667 \\ -0.212 & 1.195 \\ 0.618 & 0.052 \\ 0.877 & 1.403 \end{bmatrix}$$

위 시스템의 개루프시스템 고유치 $\sigma(A)$ 는 $(0.1999+j4.0002, 0.1999-j4.0002, -0.999+j2.0002, -0.999-j2.0002, -8.000)$ 이다. 위 시스템은 불안정한 해를 가지므로 극점배치 방법을 이용하여 다음과 같은 상태피드백 제어를 함으로써 안정화 시킨다.

$$K_c = \begin{bmatrix} 7.871 & -0.563 & 3.255 & -0.137 & 0.754 \\ 1.625 & -1.247 & 1.297 & -1.003 & 0.182 \end{bmatrix}$$

폐루프시스템의 고유치 $\sigma(A-BK_c)$ 는 $(-4.6442+j4.8425i, -4.6442-j4.8425i, -1.8663+j1.8592, -1.8663-j1.8592, -7.9964)$ 이다.

5. 결론

본 논문에서는 기존의 아날로그 제어기를 디지털 제어기로 교체하는 디지털 제설계방법에 관해 논하였다. 특히 주기적인 이득함수를 이용한 디지털제설계 방법은 기존의 다른 제설계 방법에 비해 과도상태응답과 정상상태응답 모두에서 우수한 성능을 보인다는 것을 알수있다. 그러나 이 방법은 피드백 제어입력을 주기적인 이득함수가 품하여 지는 시스템상의 특성때문에 정상상태응답에서 리플이 발생하는 것이 관찰된다. 그러므로 본 논문에서는 정상상태응답에서 미소하나마

발생하는 주기적리풀을 제거하기 위한 새로운 방법을 제시하였다. 식 (14)에서와 같이 수정된 연속적 Grammian행렬을 이용하여 모의실험 한 결과 정상상태에서의 리풀이 P의 변화에 따라 변화하는 것을 알수있다. 주기적인 이득함수를 이용할때 이득 K_d 의 변화율은 그림 10과 같은 특성을 보인다.

그림 10에서 보는 것처럼 p의 값이 작아지면 주기함수의 변화가 축소되고 샘플링시의 이득함수의 계층이 축소됨을 알 수 있다. 따라서 그림 6에서 9까지에서 보는 것처럼 p의 값이 0으로 감소함에 따라 정상상태에서의 리풀을 줄일수 있다.

그러나 이 방법에 대한 이론적 근거는 아직 확립되지 않았고 수정된 연속적 Grammian행렬 W의 역행렬이 항상 존재하는 것 또한 확인되지 않았다. 그러므로 차후 과제로는 이에 대한 이론적 근거가 연구되어져야 할것이다.

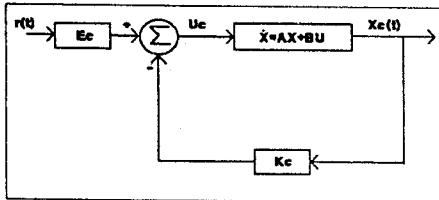


그림 1 연속시간 상태피드백 제어구조

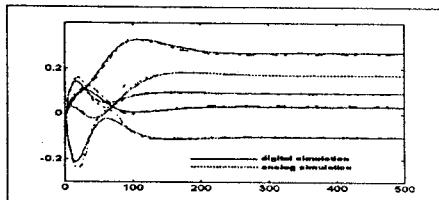


그림 2 주기적인 이득함수에 의한 디지털 재설계 모의실험

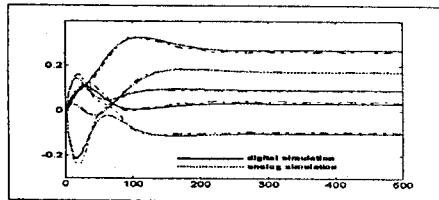


그림 3 p=0.9에서의 디지털 재설계 모의실험, 수정된 grammian 행렬을 사용하였다.

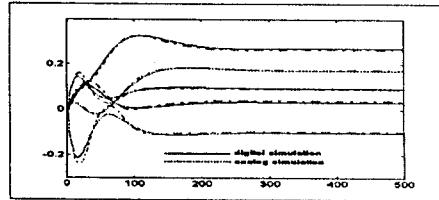


그림 4 p=0.5에서의 디지털 재설계 모의실험, 수정된 grammian 행렬을 사용하였다.

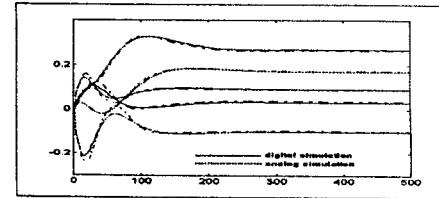


그림 5 p=0.1에서의 디지털 재설계 모의실험, 수정된 Grammian 행렬을 사용하였다.

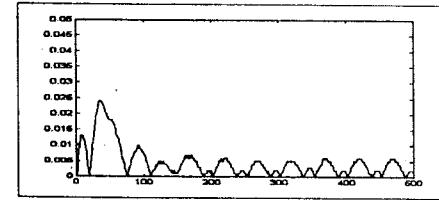


그림 6 주기적인 이득함수에 의한 상태벡터 오차

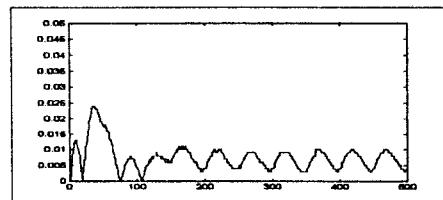


그림 7 p=0.9에서 수정된 상태벡터 오차, 수정된 Grammian 행렬을 사용하였다.

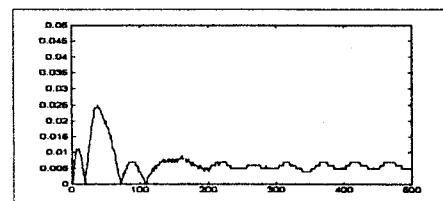


그림 8 P=0.5에서의 상태벡터 오차, 수정된 Grammian 행렬을 사용하였다.

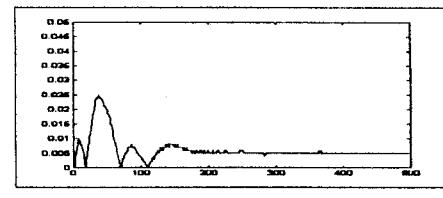


그림 9 P=0.1에서의 상태벡터 오차, 수정된 Grammian 행렬을 사용하였다.

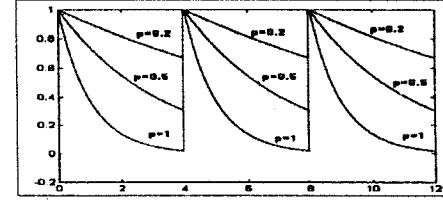


그림 10 이득 K_d의 변화율

참고문헌

- [1] B.C.Kuo, G.Shigh, and R.Yackel, "Digital approximation of continuous data control systems by point-by-point state comparison," Comput.&Elect. Engng, pp.155-170, 1973.
- [2] R.A.Yackel, B.C.Kuo, and G.Shigh, "Digital Redesign of continuous systems by matching of states at multiple sampling periods," Automatica, 1974.
- [3] T.S.Chung and B. Pharmasetian, "A new digital redesign technique using the generalized sampled data hold function", IEEE Trans. Automat. Contr., submitted for publication, May 1991.
- [4] 양원영, 정지배, Digital Redesign using the discrete grammian matrix. 중앙대 전기공학과 석사학위논문, 1993.