

Weil-Dobke 합성단락 시험회로의 Parameter 분석과 최적화

⁰김 맹 헌*, 류 형 기*, 박 종 화*, 고 회 석**

* 한국전기 연구소 전력기기 연구부, ** 경남대학교 전기공학과

Analysis and optimization of Weil-Dobke synthetic testing circuit parameters

⁰Maeng-Hyun Kim*, Hyeong-Kee Rhyou*, Jong-Wha Park*, Hee-Seog Koh**

* High power and high Voltage div. KERI, ** Dept. of Electrical Eng. Kyung Nam University

Abstract

This paper describes analysis and optimization of Weil-Dobke synthetic testing circuit parameters, which is efficient and economical test method in high capacity AC circuit breaker.

In this paper, analysis of synthetic short-circuit test circuit parameter proposed nondimensional factor that is reciprocal comparison value of circuit parameter and is not related to rated of circuit breaker, in particular, this study induce minimization of required energy of critical TRV generation specified in IEC 56 standards and present optimal design of synthetic short circuit testing facilities.

1. 서론

전력계통이 대형화됨에 따라 차단기의 차단용량도 날로 증가되고 있다. 하지만 이들 대용량 차단기의 개발 및 성능 시험을 위한 단락 시험 설비용량을 차단기의 차단용량 만큼 증가한다는 것은 대단히 비경제적일 뿐만 아니라 불가능하게 된다. 이러한 문제를 해결하기 위한 방법으로 개발된 시험방법이 합성단락 시험법이다[6].

합성단락 시험법이란 한 종류의 전원만으로 차단전류와 회복전압을 공급하는 직접단락 시험법과는 달리 한 종류 이상의 전원을 사용하여 차단전류와 회복전압을 분리하여 공급하는 단락 시험방법으로서 현재 개발되어 사용되고 있는 합성단락 시험법은 여러 종류의 것이 있지만 이들 합성단락 시험법 중에서 특히 유용한 시험법은 병렬전류주입 방식의 Weil-Dobke 합성단락 시험법이다.

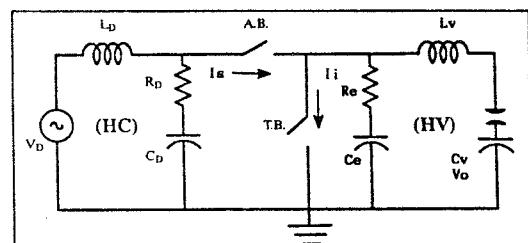
따라서 본 논문에서는 Weil-Dobke 합성단락 시험법을 체계적으로 해석하여 경제적이고 효율적인 합성단락 시험회로의 설계방안을 제시하였다. 그리고 본 논문에서의 주요 연구방향은 첫째, Weil-Dobke 합성시험 회로parameter의 체계적인 분석과 계산을 위해 회로parameter 상호 비교 값인 "nondimensional factor"를 도입하였으며[2], 둘째, International Electrotechnical Commission(IEC) 56에서 규정한 critical transient recovery

voltage(TRV)의 발생 원리와, 셋째, nondimensional factor와 critical TRV와의 관계를 분석하고, 넷째, Weil-Dobke 합성 단락 시험회로의 에너지 최소화를 유도하여 최적의 합성단락 시험 설비의 설계 방안을 제시하였다.

2. 합성단락 시험의 원리

2.1. 병렬전류 주입법

병렬전류 주입방식의 합성단락 시험회로의 구성은 그림 1에서 나타낸 것과 같이 전류원회로(High current circuit)와 전압원회로(High voltage circuit)로 이루어져 있다.



여기서, V_D, L_D, R_D, C_D : 전류원 회로parameter
 C_V, L_V, R_e, C_e : 전압원 회로parameter

A.B. : 보조 차단기
T.B. : 피시험 차단기
그림1. Weil-Dobke 합성단락 시험회로(병렬전류 주입법)

합성단락 시험의 원리는 그림 2에서 나타낸 것처럼 첫째, 전류원회로의 상용주파 차단전류 I_s 와 영점 직전에 전압원회로의 주입전류 I_i 를 인가하여 상용주파 차단전류 I_s 와 전압원회로의 주입전류 I_i 가 중첩되도록 하고, 이때 주입전류의 주입시간은 직접 단락 시험과의 동기를 위해 주입전류 주파수의 1/4 cycle이나 혹은 500μs 보다 짧아야 한다. 둘째, 주입전류 I_i 는 상용주파 차단전류 I_s 보다 크기는 약 1/10정도로 작지만, 주파수는 역으로 약 10배 정도 커져 전류영점에서의 기울기는 I_s 와 같다. 셋째, 전류원 회로의 상용주파 차단전류는 피시험 차단기(T.B)에 아크에너

지를 주입하고는 전류원 회로와 직렬로 연결된 보조 차단기(A,B)에 의해 차단된다. 넷째, 그 결과 T.B에는 전압원 회로의 주입전류만 흐르게 되어 T.B는 전압원 회로의 주입전류만 차단하게 된다. 다섯째, T.B가 전압원 회로의 주입전류를 차단하게 되면, 전압원 회로에 의해 TRV와 recovery voltage(RV)가 T.B 극간에 인가되어 직접 단락 시험과 동일한 차단과정을 가지게 된다.

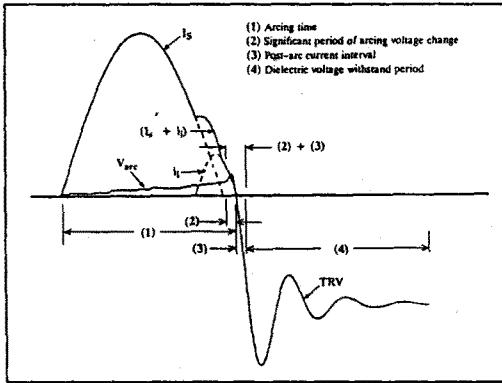


그림2. 합성단락 시험전류 및 전압 파형

2.2. 직접단락 시험과의 동가성

합성단락 시험이 직접단락 시험과의 동가성을 유지하기 위한 조건은 다음과 같다[4,8].

첫째, 차단전류 영점직전의 주입전류 I_s 의 기울기는 직접단락 시험의 차단전류 I_s 와 같아야 한다.

$$\frac{dI_s}{dt} \Big|_{t=0} = \frac{dI_s}{dt} \Big|_{t=0} \quad \dots \dots \dots \quad (1)$$

여기서, I_s : 차단기의 정격 차단 전류

I_s : 전압원 회로의 주입 전류

둘째, 합성단락 시험회로의 구성모양과 회로Parameter가 직접단락 시험과 같아야 한다(다만 시험의 편의를 위해 다소의 L_V 값 증가는 허용한다)[1].

$$L_V = L_{DI} = \frac{K_T V_n^2}{w_o P} \quad \dots \dots \dots \quad (2)$$

여기서, V_n : 차단기의 정격전압

P : 차단기의 3상 정격 차단 용량

K_T : 제 1 상 차단 계수(1.3, 1.5)

L_{DI} : 직접단락 시험회로의 한류 리액턴스

L_V : 합성단락 시험회로의 한류 리액턴스

$w_0 = 2\pi f_0$: 정격 차단전류의 각속도

f_0 : 정격 주파수

셋째, 전압원회로의 주입전류 차단 직후 T.B에 인가되는 과도회복전압 V_{TRV} 과 회복전압 V_{RV} 는 직접단락 시험의 그것과 같아야 한다.

$$V_{RV} = V_1 = V_0 \frac{C_V}{C_V + C_e} \quad \dots \dots \dots \quad (3)$$

$$\text{여기서, } V_1 = V_n K_T \sqrt{2/3}$$

$$V_0 = \beta V_1$$

3. 합성단락 시험회로의 해석

합성단락 시험회로를 해석함에 있어 회로parameter를 전기적인 값을 가진 dimensional factor로 계산한다는 것은 모든 정격의 차단기에 대해 개별적으로 각각 계산해야 하므로 시험회로를 체계적으로 해석하기에는 상당한 무리가 따른다. 이러한 문제점을 극복하고 합성단락 시험회로를 체계적으로 분석하기 위해 회로 parameter의 상호 비교 값으로 정의된 nondimensional factor를 도입하였다. 그리고 시험회로parameter의 분석을 위해 사용한 차단기의 정격은 $V_n=100(\text{kV})$, $P=1(\text{GVA})$, $K_T=1.3$, $S=1(\text{kV}/\mu\text{s})$ 이다.

3.1 Nondimensional factor의 정의

1) Parameter "k"

Parameter "k"는 TRV 파형의 R 과 K_A 를 계어하는 parameter로서 식(3)과 같이 정의한다. 그림 3은 "k"와 R 의 관계를 나타낸 것으로 R 은 "k"에 의해 대부분 결정된다는 것을 알 수 있다. 그리고 그림4는 "k"와 K_A 와의 관계를 나타낸 것으로 K_A 는 "d"와 "k"의 함수인 것을 알 수 있다.

$$k = \frac{R e}{\sqrt{\frac{L_V}{C_s}}} \quad \dots \dots \dots \quad (4)$$

여기서, $R = t_d/t_3$: TRV파형의 시간지연계수

$K_A = U_c/V_1$: A.F(Amplitude factor)

t_d : 지연 시간(Time delay)

t_3 : 파고 시간(Time to Peak)

U_c : 파고치 (Peak Value)

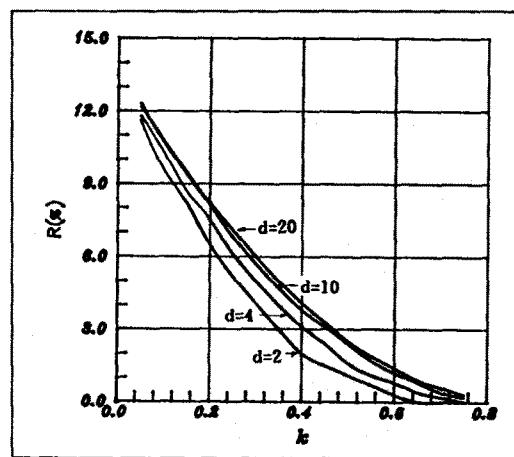


그림3. Parameter "k", "d"와 R 과의 관계

2) Parameter "d"

$$\beta = \frac{L_V}{L_{pt}} = \frac{V_0}{V_1} \quad \dots \dots \dots \quad (15)$$

4.2 Overcharging Factor "β"와 주입전류 주파수

주입전류 주파수는 합성단락 시험회로의 L_V 와 C_V 에 의해 결정되며 그것은 식(16)과 같다.

$$F_i = \frac{1}{2\pi\sqrt{L_V C_V}} = \frac{1}{2} \sqrt{\frac{3}{2}} \frac{S}{K_A K_T V_n} p \dots \dots \dots (16)$$

합성단락 시험회로의 Lv 는 β 에 비례해서 증가하지만, 그러나 Cr 는 지수 합수적으로 반비례하여 감소한다. 식(16)에서 나타난 바와 같이 F_1 은 β 의 합수이지만 간단하게 계산할 수 없음을 알았다. 그래서 컴퓨터를 사용하여 시험회로를 계산하였으며 그 결과는 그림6과 표1과 같다.

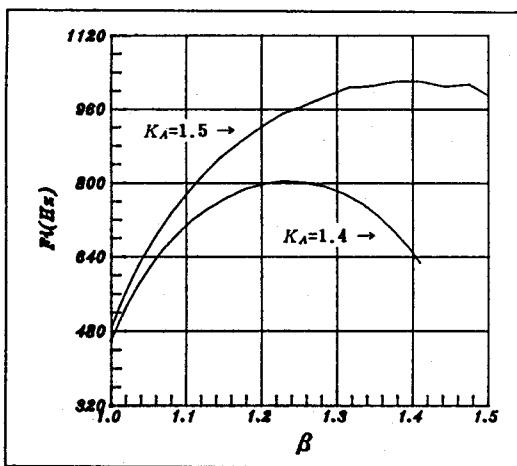


그림6 “ β ” 와 주입전류 주파수

그림6은 F_i 와 β 의 관계를 나타낸 것으로, $K_A=1.4$ 인 경우는 β 에 지수함수 적으로 비례해서 증가하게된다. 그리고 $\beta=1.2$ 에서부터 지수함수 적으로 반비례해서 감소하며, $K_A = 1.5$ 인 경우는 β 에 지수함수 적으로 비례해서 증가하다가 $\beta=1.3$ 에서부터 지수함수 적으로 반비례해서 조금씩 감소함을 알 수 있다.

4.3 Overcharging factor "β"와 에너지

합성단락 시험에서 전압원회로에 필요한 전체 에너지는 식(17)
 C_V 의 충전 에너지와 식(18) C_e 의 충전에너지의 합이고 그것은
식(19)와 같다.

$$E_{AO} = \frac{1}{2} C_v V_o^2 = \left[\frac{2}{3^2} \right] \left[\frac{\beta w_0 K_A^2 K_T^3}{\pi^2 n^2} \right] \left[\frac{V_n^2}{S^2} \right] [P] \quad \dots \dots (17)$$

$$E_{Ce} = \left[\frac{2}{3^2} \right] \left[\frac{w_0 K_A^4 K_T^3}{\beta - \frac{2}{3} \rho^2 d} \right] \left[\frac{V_n^2}{S^2} \right] [P] \quad \dots \dots \dots (18)$$

$$E_T = \left[\beta + \frac{K_A^2}{\beta d} \right] \left[\frac{2}{\beta^2} \right] \left[\frac{w_0 K_A^2 K_T^3}{\pi r^2} \right] \left[\frac{V_n^2}{S^2} \right] [P] \quad \dots \dots (19)$$

β 의 변화에 따른 전입원회로의 에너지 E_T 는 그림7과 표1에서 나타낸 바와 같이 $K_A=1.4$ 인 경우는 $\beta=1.2$ 에서, $K_A=1.5$ 일 때는 $\beta=1.3$ 에서 에너지 최소의 값을 갖는 것을 알 수 있다. 정격 단락시험 동작책무에서의 K_A 는 1.4이고, 가장 많은 에너지를 필요로 한다. 따라서 최적 합성단락 시험설비의 최소에너지는 β 가 1.2일 때이다.

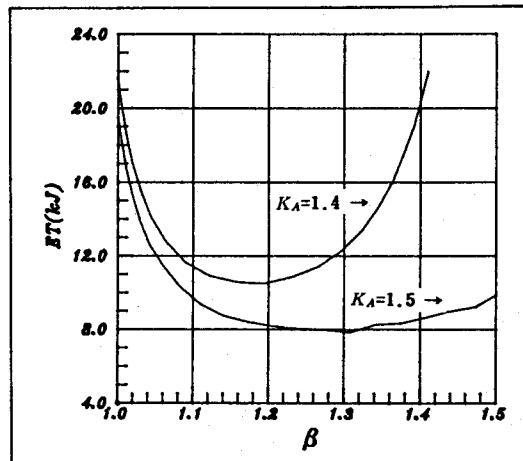


그림7. “ β ” 와 전압원 회로의 충전 에너지

표1 “ β ”의 변화에 대한 전압원 회로 Parameter

KA	β	nondimensional factor			R (%)	Lv (mH)	Cv (μ F)	Ce (μ F)	Re (Ω)	Fi (Hz)	Et (kJ)
		k	d	p							
1.4	1.0	0.56	18.9	0.13	1.7	34.48	3.49	0.18	252.9	458.8	21.65
	1.1	0.60	6.3	0.20	1.0	37.93	1.33	0.21	276.9	708.6	11.38
	1.2	0.66	3.7	0.23	0.4	41.38	0.96	0.25	300.3	798.5	10.55
	1.3	0.75	2.7	0.23	0.04	44.82	0.92	0.33	320.0	783.7	12.40
	1.4	0.94	2.1	0.19	0.0	48.27	1.25	0.59	325.4	617.9	20.31
1.5	1.0	0.39	18.9	0.15	4.2	34.48	3.10	0.10	185.8	486.8	19.23
	1.1	0.41	6.3	0.24	3.5	37.93	1.11	0.17	205.4	775.6	9.44
	1.2	0.43	3.7	0.29	2.7	41.38	0.72	0.18	226.8	922.0	7.83
	1.3	0.46	2.7	0.31	1.8	44.82	0.55	0.20	252.8	1013.6	7.44
	1.4	0.50	2.1	0.32	1.2	48.27	0.51	0.24	272.1	1014.3	8.28
	1.5	0.56	1.7	0.31	0.5	51.72	0.50	0.28	297.6	989.7	9.43

5. 결론

시험회로parameter의 계산은 컴퓨터를 이용하여 반복계산을 수행하여 최적의 회로parameter 값을 결정하였으며, 그 분석결과를 요약하면 첫째, critical TRV를 발생하기 위한 회로parameter의 수를 최소로 하며, 둘째, 주입전류의 주파수는 가능한 크게 한다. 셋째, critical TRV 초기 지연시간은 가능한 크게 하고, 넷째, overcharging factor" β "를 활용함으로서 최소의 에너지로 critical TRV를 발생할 수 있다는 것을 알 수 있었다.

결론적으로 본 연구의 성과는 이러한 합성단락 시험설비의 설계에 기본적인 자료를 제공함으로서 향후 합성 단락 시험설비의 설계에 많은 도움을 줄 것으로 예상된다.

참고 문헌

- [1]. G.St-Jean, M.Landry, G.A.Bari, Inductance Tolerances in Synthetic Circuits for Producing Equivalence Between Direct and Synthetic Tests by High-Voltage Circuit-Breakers, CIGRE 13-01 Session, Sept. 1982.
- [2]. G.St-Jean, A Complete Analysis of the Well Circuit, IEE Conference Publication No. 182, pp.103-106, 1979.
- [3]. G.St-Jean, V.Zajic, A Two-Frequency Circuit for Producing a Two-Parameter Transient Recovery Voltage, IEEE publication C74 463-6, July 1974.
- [4]. G.St-Jean, R.F.Wang, Equivalence Between Direct and Synthetic Short-Circuit Interruption Tests on HV Circuit-Breakers, IEEE Trans. Vol. PAS-102, No. 7, p.2216, 1983.
- [5]. V.Zajic and G.St-Jean, Multi-stage synthetic circuit for extra-high-voltage circuit-breaker testing, IEEE Trans. Vol. PAS-91, No.3, May-June 1972, pp. 782-790
- [6]. R.Rallada, E.Brasca, S.Rovelli, V.Villa, Contribution to testing technique of high voltage circuit-breakers by the development of synthetic methods, IEEE Conference record of the International Symposium on High Power Testing Volume 1, July 1971, pp.111-119
- [7]. G.St-Jean, A method for Calculating directly the components of a synthetic circuit for the testing of ac circuit-breakers, IEEE Trans. T 73 340-7, presented at IEEE Summer Power Meeting, July 1973.
- [8]. IEC-Report on Synthetic Testing of High-Voltage Alternating Current Circuit-Breakers (Publication 427, 1989)
- [9]. IEC-Report on High Voltage Alternating Current Circuit Breaker(Publication 56, 1987)