

IGBT의 구조에 따른 래치 업 특성의 변화 양상에 관한 고찰

강이구*, 김태익**, 성만영*, 이동희**

* 고려대학교 전기공학과, ** 수원대학교 전기공학과

A Study on Latch up Characteristics with Structural Design of IGBT

Ey Goo Kang*, Tae Ik Kim*, Man Young Sung*, Dong Hee Rhie**

* Dept. of Electrical Eng., Korea Univ., ** Dept. of Electrical Eng., Suwon Univ.

Abstract

To improve latch up characteristics of IGBT, this paper proposed new structure with reverse channel. IGBT proposed by this paper were designed on SOI substrate, p-substrate, and n-substrate, respectively. As a result of the simulation, we had achieved high latch up voltage and high conduction current density at IGBT with proposed structure. Latch up voltage of Conventional IGBT was 2.5V but IGBT with proposed structure was latched up at 5~94V, respectively. And was showed high conduction current density(10^4~10^7A/cm^2)

1. 서론

전력스위칭 산업에 응용될수 있는 이상적인 반도체 소자는 순방향 전도손실을 작게 유지하기 위하여 낮은 순방향 전압강하를 보여야하고, 스위칭손실을 줄이기 위해 빠른 on, off 시간을 가져야 한다. 더불어 소자는 높은 전류밀도에서 동작해야 하며, 게이트 구동전력도 작아야 한다[1][2].

IGBT는 이러한 전력 반도체소자의 이상적인 특성을 갖춘 소자로서 MOS의 빠른 스위칭 특성과 Bipolar의 낮은 on 저항, 높은 전류밀도에서의 동작과 같은 장점을 함께 취했으며, 또한 MOS Gate로 on, off를 조절하는 3단자를 가진 전력용 반도체 소자이다[3]. 이와같이 IGBT소자는 전력반도체 소자의 이상적인 요구에 근접했음에도 불구하고, 전력 IGBT 소자의 문제점으로 지적되어오는 것으로는 IGBT의 전류정격을 제한하는 래치 업 특성이 있다. 이 현상은 n' 소오스 밑부분에 있는 p 웰의 저항 Rp 에 흐르는 전류로 인한 전압강하가 약 0.7V이상 이 되면, 기생 사이리스터 소자를 턴 온시켜 MOS Gate의 턴 오프 능력을 상실하게 하는 현상이다[4][5]. 따라서 본 논문에서는 차세대 전력 반도체 소자로 부각되고 있는 IGBT 소자의 문제점을 개선시켜 성능향상을 도모한다는 취지에서 IGBT 소자에서 가장 문제시되고 있는 래치 업을 억제시키기 위해 새로운 구조를 제안하였으며, 시뮬레이션을 하기위해서 2-D 시뮬레이터를 이용하였으며, 아울러 시뮬레이션에 사용된 모델은 SOI의 두께와 기판상태에 따라 5가지의 모델로 구분하였으며, 아울러 기존의 범용 IGBT구조에 대해서도 함께 시뮬레이션하여 제안된 구조와 비교, 분석함으로써 제안된 구조의 타당성을 입증하고자 하였다.

2. 래치 업 특성 개선을 위해 제안된 구조

그림 1은 래치 업을 개선하기 위해 본 논문에서 제안한 IGBT구조를 나타낸 것이다. 게이트가 애노드와 캐소드사이에 있는 기존의 구조와는 달리 캐소드를 게이트와 애노드사이에 두어 n' 에피층영역에 전자가 주입되는 것은 같지만 p 베이스 영역주위를 돌아서 애노드로 포집되는 경로를 갖고 있는 것이 차이점이라 할 수 있다. 단지 게이트와 캐소드의 위치를

바꾸는 것이기 때문에 공정상 추가적인 확산층은 필요없다. 이러한 구조를 제안한 이유는 래치 업에 기여하는 정공들이 n' 소오스 밑으로 지나가지 않고 캐소드에 직접 포집되는 정공의 양을 증가시키기 위해서다. 따라서 애노드에서 주입되는 정공은 p 베이스를 들어가는 정공에 비해 많은 수가 캐소드에 직접 포집되어 래치 업 전류수준을 기존의 소자보다 상당히 개선시켜 준다. 그러나 논문에서 제안한 구조는 기존의 소자에 비해서 에피층의 저항이 추가되어 on저항을 증가시켜 중과 동시에 순방향 전압강하를 증가시킨다. 그림 2는 그림 1에서 제시된 새로운 IGBT 구조에 대한 등가회로이다. R1과 R2는 각각 p 베이스와 p' 캐소드 영역의 저항을 나타내고, Rmod1과 Rmod2는 n' 에피층에 정공이 주입되고 전도도 변조가 일어난 후의 에피층 저항들이다. 그림 2에 나타난 것처럼 Rmod1이라는 저항이 기존의 에피층 저항 Rmod2에 첨가된다.

새롭게 제안된 IGBT소자의 동작 메카니즘과 기존의 범용 IGBT의 동작 메카니즘의 차이점은 MOS채널에서 주입된 전자들에 의해서 끌리는 정공전류 Ibh가 추가된다는 것이다. 즉 그림2의 등가회로에서 표시된 것처럼 전자들이 MOS 채널을 통해서 주입되고(Ic), 이 전자전류가 pnp 바이폴라 트랜지스터를 턴 온시키면 애노드에서 정공이 n' 에피층에 주입된다. 이러한 정공전류는 두가지 경로를 통해서 흐르는데 하나는 n' 소오스 밑을 지나지 않고 캐소드에 직접 포집되는 정공전류 Ibh가 있고, 또 다른 하나는 채널에서 주입된 전자에 끌려 흐르는 Ibh이다. 바로 이 전류가 저항 R1을 통해서 캐소드에 포집이 되면서 래치 업에 기여한다. 게이트 전압이 드레워플드 전압이상으로 올라가서 IGBT소자가 on상태가 되면, 채널에서 전자가 계속 주입되고 정공전류의 두 요소중 Ibh가 상대적으로 커지게 되고 결국에는 기생 사이리스터를 턴온시키는 래치 업이 발생하게 된다. 따라서 제안된 구조에서는 추가된 에피층 저항 Rmod1을 줄이고 래치 업 전류밀도를 개선시키기 위해서 SOI 기판인 경우 매몰 산화막 바로 위에 또하나의 n' 비에피층을 두었으며, 이 비에피층으로 Ibh 경로를 통한 정공의 주입을 억제하고 저항을 감소시키고자 하였다. 아울러 p'웰의 접합깊이를 p 베이스 접합깊이보다 크게 설계하여 캐소드로 직접 포집되는 정공을 증가시키고자 하였다.

3. 제안된 IGBT소자의 설계 변수

본 논문에서 제안한 전력 IGBT소자의 시뮬레이션을 위해 설정한 변수 값을 표1과 표2에 나타내었다. 표1은 SOI 구조에서 형성한 IGBT소자의 설계변수를 나타내고 있고, 표2는 매몰산화막을 제거하고 각각 n'와 p'기판위에서 형성된 IGBT소자의 설계변수와 기존 IGBT소자의 설계변수이다. 본 논문에서는 편의상 SOI의 두께와 기판상태에 따라 각 소자를 A, B, C, D, E모델이라 설정하여 각 소자의 특성을 서술하고자 하였다.

4. 시뮬레이션 결과 및 고찰

그림 3은 게이트 전압 12V를 인가한 상태에서 각 모델에 대한 래치 업 특성을 보여주었고 있다. 가장 높은 전압에서 래치 업이 일어나는 모델은 n⁺ 기판에서 형성한 D모델이다. D 모델은 앞에서 설명한 것처럼 기판이 비퍼층으로 작용하여 애노드에서 정공의 주입을 억제하기 때문이라 판단되고, 그리고 모델 E의 경우에는 높은 전류밀도를 형성하고 있지만 p 베이스쪽으로 정공의 주입이 많아서 5V이하의 낮은 전압에서 래치 업이 일어났다. 이것은 그림 4는 래치 업이 일어날 때 정공전류의 흐름을 나타낸 것이다. 그림에 있는 정공전류의 흐름을 보면 B, D, E 모델에서는 래치 업이 일어날 때 애노드에서 정공의 주입이 많아짐과 동시에 전류의 크기를 결정해주는 확산표의, 크기도 상대적으로 크다. 또한 n⁺ 소오스층을 지나가는 정공의 양도 많음을 알 수 있다. 그러나 A, C 모델에 있어서는 정공의 흐름이 래치 업에 영향이 미치지 않음을 알 수 있다. 즉 정공전류보다는 Gate에서 주입된 전자전류에 의해서 래치 업이 일어남을 나타내주고 있는 것이다. 그림 5는 소자의 수평길이의 변화에 따른 각 모델의 전류밀도 분포를 1차원적으로 보여주고 있는데 모두 10⁴~10⁷A/cm²의 높은 전류밀도분포를 보여주고 있다. 기존의 범용 IGBT 소자는 같은 게이트 전압을 인가한 상태에서 2.5V의 애노드 전압에서 래치 업이 일어나고 있다. 이는 제안된 구조를 갖는 IGBT 소자들이 기존의 소자와 비교해서 상당히 높은 전압에서 래치 업이 일어나는 것을 증명하고 있는데, 이것은 제안된 구조에서 캐소드에 직접 포집되는 정공이 많아지고 있다는 것이고, 아울러 SOI에서 형성한 경우에는 매물 산화막위에 존재하고 있는 비퍼층이 p 베이스쪽으로 돌아가는 정공의 주입을 억제해주고 있다는 것을 의미한다.

5. 결론

본 논문에서는 현재 HVIC산업에 이용되고 있는 전력 IGBT 소자의 래치 업 현상을 억제하기 위하여 역채널을 갖는 새로운 IGBT 구조를 제안하였다. 제안된 구조를 각각 SOI, p⁺ 기판, n⁺ 기판위에서 설계하여 래치 업 특성을 시뮬레이션을 통해 분석하였으며, 분석결과 n⁺ 기판에서 설계한 IGBT소자에서 가장 높은 래치 업 전압을 얻을 수 있었으며, SOI의 두께가 증가하면서 래치 업 전압은 증가하였다. 기존의 범용 IGBT소자와 비교해 볼때, 같은 게이트 전압에서 기존의 범용 소자는 2.5V에서 래치 업이 발생하고 있으며, 제안된 구조에서는 각 모델에 따라 5 ~ 94V에서 일어나고 있어 약 2 ~ 40배 이상의 개선된 결과를 얻을 수 있었다. 그리고 각 모델에 따라 10⁴~10⁷A/cm²의 높은 전류밀도를 보여주고 있다.

또한 제안된 구조에서 래치 업이 발생하는 원인이 에피층에 주입되는 전자전류에 이끌려서 생기는 정공전류이므로 턴 오프시 n⁺ 소오스에서 에피층으로 주입되는 전자의 주입이 없어지므로 스위칭때 발생하는 동적래치업은 상당히 개선될 것으로 판단된다.

※ 참고문헌

1. T.P. Chow, B.J. Balligar, "Comparison of 300-, 600-, and 1200V n-Channel Insulated Gate Transistor", IEEE Trans. Electron Device Letter, Vol. EDL-6, No. 4, 1985
2. Mark R. Simpson, "Analysis of Negative Differential Resistance in the I-V Characteristics of Shorted Anode IGBT's", IEEE Trans. Electron Devices, Vol. 38, No. 7, pp. 1633~1640, 1991
3. B.J. Balligar, "The Insulated Gate Transistor : A New Three Terminal MOS-Controlled Bipolar Power Devices", IEEE Trans. Electron Devices, Vol. ED-31, pp. 192~199, 1984
4. Kazuya Nakagawa, Akio Nakagawa, "A Study on IGBT's Steady State SOA with Newly Developed Simulation", Proc. of ISPSD'92, pp. 34~38, 1992
5. A. L. Robinson, "Lateral Insulated Gate Transistors with Improved Latching Characteristics", IEEE Trans. Electron Device Letters, Vol. 7, No. 2, pp. 61~63, 1986

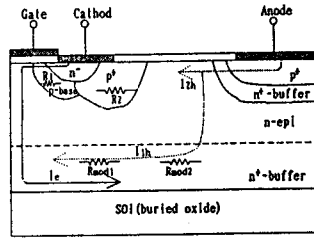


그림 1. 래치 업 특성 개선을 위해 제안된 IGBT 구조

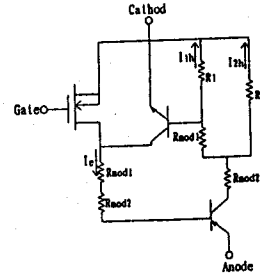


그림 2. 제안된 구조의 등가회로

구분		모델 A	모델 B	모델 C
설계변수				
에피층의	두께	3μm	5μm	10μm
	농도	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
p ⁺ 애노드	수평길이	35μm	35μm	35μm
	연역	2μm	3μm	5μm
n ⁺ 소오스	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
	연역	2×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	2×10 ¹⁸ cm ⁻³
p ⁺ 캐소드	연역	2μm	3μm	5μm
	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
n ⁺ 비퍼층	연역1	2μm	4μm	7μm
	연역2	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
p 베이스	연역	0.5μm	1.5μm	2μm
	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
매물 산화막의 두께	연역	1.5μm	2μm	3.5μm
	연역	5×10 ¹⁸ cm ⁻³	5×10 ¹⁸ cm ⁻³	5×10 ¹⁸ cm ⁻³
게이트 산화막의 두께		3μm	100Å	
채널길이			3μm	

표 1. SOI 구조에서 형성한 IGBT소자의 설계변수

기판종류		모델 D(n ⁺ -기판)	모델 E(p ⁺ -기판)	기존의 구조
설계변수				
p ⁺ 애노드	연역	3μm	3μm	4μm
	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
n ⁺ 소오스	연역	0.5μm	0.75μm	0.7μm
	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
p 캐소드	연역	4μm	4μm	4μm
	연역	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
n 비퍼층	연역1	4μm	4μm	5μm
	연역2	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³	1×10 ¹⁸ cm ⁻³
p 베이스	연역	3μm	2μm	3μm
	연역	5×10 ¹⁸ cm ⁻³	5×10 ¹⁸ cm ⁻³	5×10 ¹⁸ cm ⁻³
게이트 산화막의 두께		100Å		
채널길이		3μm		
에피층	두께		8μm	
	농도		1×10 ¹⁸ cm ⁻³	
	수평길이		35μm	

표 2. 밀크에서 형성한 IGBT소자의 설계변수

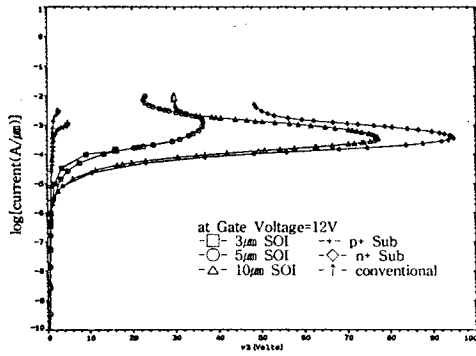
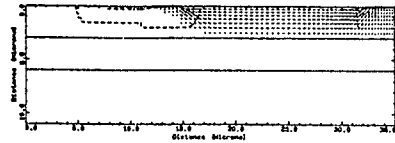
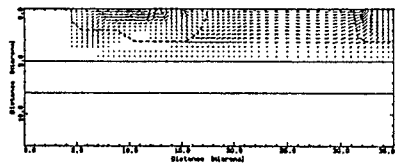


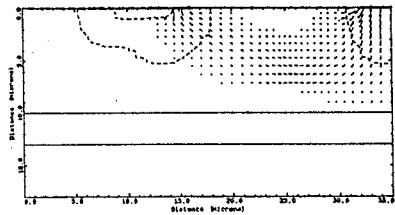
그림 3. 래치 업시 각 모델의 예노드 전류-전압 특성



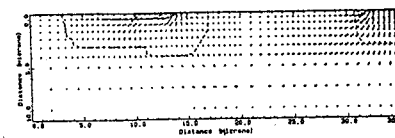
(a)



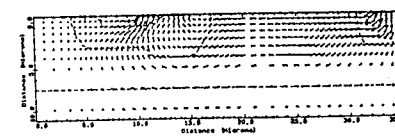
(b)



(c)



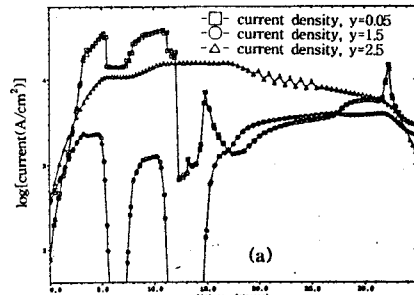
(d)



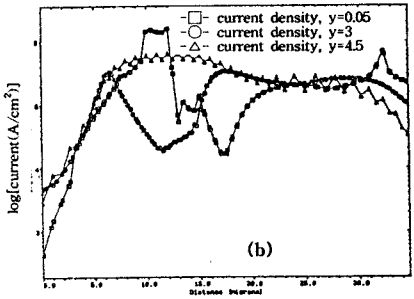
(e)

그림 4. 래치 업시 각 모델의 정공전류의 흐름도

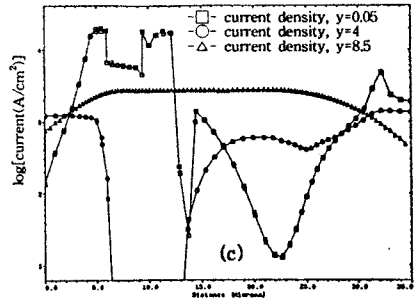
(a) 모델 A (b) 모델 B (c) 모델 C (d) 모델 D (e) 모델 E



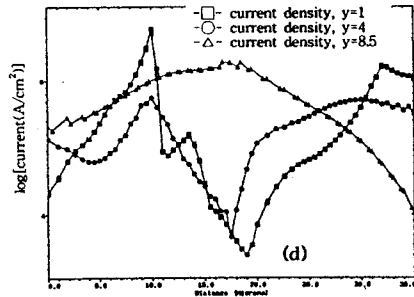
(a)



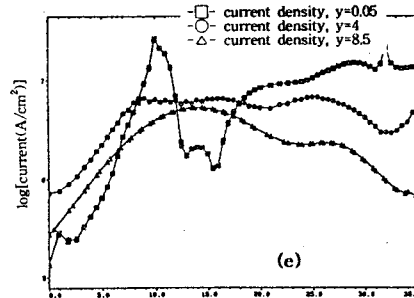
(b)



(c)



(d)



(e)

그림 5. 래치 업시 각 모델의 전류밀도 분포

(a) 모델 A (b) 모델 B (c) 모델 C (d) 모델 D (e) 모델 E