'95 대한전기학회 하계학술대회 논문집(1995. 7. 20~22)

Balanced CMOS Complementary Folded Cascode OP-AMP의 최적설계에 관한 연구

우 영신°*, 배 원일*, 최 재욱*, 성 만영*
* 고려대학교 전기공학과

A Study on the Optimum Design of Balanced CMOS Complementary Folded Cascode OP-AMP

Young Shin Woo°*, Won Il Bae*, Jae Wook Choi*, Man Young Sung*
* Dept. of Electrical Eng., Korea Univ.

Abstract

This paper presents a balanced CMOS complementary folded cascode OP-AMP topology that achieves improved DC gain using the gain boosting technique, a high unity-gain frequency and improved slew rate using the CMOS complementary cascode structure and a high PSRR using the balanced output stage. Bode-plot measurements of a balanced CMOS complementary folded cascode OP-AMP show a DC gain of 80dB, a unity-gain frequency of 110MHz and a slew rate of 274V/μs(1pF load).

This balanced CMOS complementary folded cascode OP-AMP is well suited for high frequency analog signal processing applications.

1. 서론

현존하는 많은 공정 기술들 가운데 CMOS 기술은 전체 시스템을 하나의 IC로 집적하는데 절대적인 영향을 미친 기술이라 할 수 있다. CMOS 기술을 사용하여 아날로그 시스템을 집적하는 기술은 디지탈 시스템을 집적하는 기술에 비해 크게 뒤져 있는데 이는 증폭율, 주파수 응답, 위상 응답, 지연시간 등의 요구 조건에 대해 CMOS 아날로그 회로가 넓은 범위에 걸쳐 일정한 특성을 가지고 동작하도록 설계하기가 어렵기 때문이다. 특히 CMOS 기술에 적합한 고주파용 증폭기의 부재는 현재까지 하나의 IC로 집적된 아날로그 신호처리 시스템의 동작 가능 주파수를 낮은 MHz 범위의 영역으로 묶어 놓는 가장 큰 제한 요소가 되고 있다.[1]

기존의 CMOS OP-Amp 구조를 사용할 경우 전압 증폭율을 크게 하기 위해선 작은 전류로 바이어스된 긴 채널 디바이스를 사용해 다단 구조로 만들어야 되고 단위 이득 주파수를 크게 하기 위해선 큰 전류로 바이어스된 짧은 채널 디바이스를 사용해 단일단 구조로 만들어야 되었다.[2] 이러한 상반된 설계 요구 조건을 극복하기 위해 새로운 구조에 대한 연구가 다양하게 진행되었다.

본 논문은 아날로그 VLSI의 고주파 신호처리에 적합하도록 넓은 대역폭과 빠른 정착 특성을 갖는 Balanced CMOS Complementary Folded Cascode OP-Amp의 구조를 제안하였다. 이 Balanced CMOS Complementary Folded Cascode OP-Amp는 Continuous-Time과 Sampled-Data Signal Processing에 모두 적용 가능한 것으로 Switched-Capacitor Filter, Algorithmic A/D Convertor, Sigma-Delta Convertor, Sample-And-Hold Amplifier, Pipeline A/D Convertor 등 광범위한 아날로그 회로 분야에 사용 가능할 것으로 생각된다.

2. Balanced CMOS Complementary Folded Cascode OP-Amp의 구조 해석

본 논문이 제안하고 있는 Balanced CMOS Complementary Folded Cascode OP-Amp의 회로도를 그림 1에 나타내었다. 고주파 동작 특성을 나쁘게 하지 않고 단일단을 유지하면서 출력 임피던스로 전압 증폭율을 증가시키는 캐스코드 방법을 기본으로 하고 입력단을 CMOS Complementary 구조를 만들어 트랜스컨덕턴스를 증가시켜 슬루율의 개선과 이득 증배 효과를 얻었고 신호대 잡음비를 개선하기 위해 Fully Differential Output 구조로 취하되 슬루율과 전압 증폭율과의 불필요한 연관성을 없애기 위해 Enhanced Fully Differential Output 구조를 채택하였다.[3]

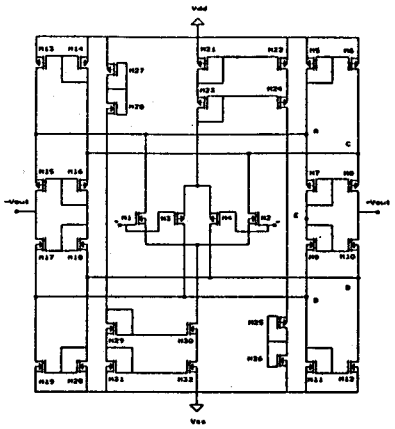


그림 1. Balanced CMOS Complementary Folded Cascode OP-Amp의 회로도

이 회로의 반전입력을 접지시키고 비반전 입력에 V_{id}를 인가하면 M1과 M3의 입력단에는 $V_{id}/2$가 입력이 되고 M2와 M4에는 $-V_{id}/2$가 입력된다. 증가된 I_{d1}는 I_{d5}를 자신만큼 증가시키고 이는 같은 양만큼의 I_{d6}의 증가를 일으킨다. $-V_{id}/2$가 입력된 M2은 $-I_{d2}$가 흐르게 되어 I_{d8}은 $I_{d1} - I_{d2}$가 되고 마찬가지로 I_{d10}은 $I_{d3} - I_{d4}$ 이므로 I_{out}은 $I_{d1} - I_{d2} + I_{d3} - I_{d4}$가 된다. 결국 입력단을 상보적 구조로 만들면 같은 입력 전압을 인가했을 경우 Miller CMOS OP-Amp나 일반적인 Folded Cascode OP-Amp에 비해 2배의 출력 전류를 얻을 수 있다. 이러한 출력 전류의 증가는 트랜스컨덕턴스를 2배로 만들고 GBW와 슬루율의 개선을 가져온다. 비반전 입력전압에 대한

M1, M2, M3, M4의 전류의 대칭적 특성을 얻기 위해서는 NMOS와 PMOS의 트랜스컨덕턴스인 g_m을 일치시켜야 하고 대칭적인 출력을 얻기 위해선 나머지 회로도 완전히 대칭적으로 만들어 R_{ds}와 g_m을 일치시켜야 한다.

M1, M2, M3, M4, M5, M6, M7, M8, M9, M10, M11, M12로 이루어지는 Balanced CMOS Complementary Folded Cascode OP-Amp 반회로의 등가회로를 그림 2에 나타내었다.

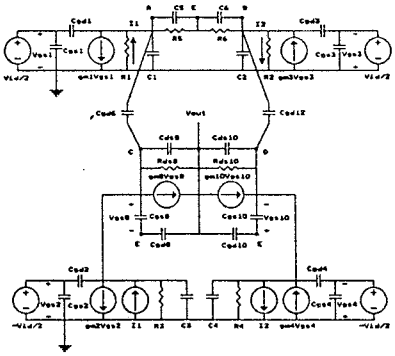


그림 2. Balanced CMOS Complementary Folded Cascode OP-Amp 반회로의 등가회로

표 1. 등가 회로의 파라메타

Parameter	Definition
I_1	$g_{m1}\frac{V_{id}}{2}$
I_2	$g_{m3}\frac{V_{id}}{2}$
R_1	$R_{ds1} \parallel R_{ds5} \parallel \frac{1}{g_{m5}} \fallingdotseq \frac{1}{g_{m5}}$
R_2	$R_{ds3} \parallel R_{ds11} \parallel \frac{1}{g_{m11}} \fallingdotseq \frac{1}{g_{m11}}$
R_3	$R_{ds2} \parallel R_{ds6}$
R_4	$R_{ds4} \parallel R_{ds12}$
R_5	$\frac{1}{g_{m7}} \parallel R_{ds7} \fallingdotseq \frac{1}{g_{m7}}$
R_6	$\frac{1}{g_{m9}} \parallel R_{ds9} \fallingdotseq \frac{1}{g_{m9}}$
C_1	$C_{ds1}+C_{gs5}+C_{ds5}$
C_2	$C_{ds3}+C_{gs11}+C_{ds11}$
C_3	$C_{ds2}+C_{ds6}$
C_4	$C_{ds4}+C_{ds12}$
C_5	$C_{gs7}+C_{ds7}$
C_6	$C_{gs9}+C_{ds9}$

전체 회로가 M1, M3, M5, M7, M9, M11과 M2, M4, M6, M8, M10, M12로 나뉘어져 커패시턴스 성분으로 연결이 되어 있기 때문에 저주파 전압 증폭율 계산시 완전하게 분리하여 해석할 수 있음을 알 수 있다. M1, M3, M5, M7, M9, M11는 M2, M4, M6, M8, M10, M12의 등가회로에 있는 전류 미러의 입력 구실을 하여 증폭기의 트랜스컨덕턴스를 식 (1)과 같이 2배로 증가시키고 동시에 M8와 M10의 게이트 전압인 노드 E의 전압을 증폭하여 M8의 유효 트랜스컨덕턴스 g_{m8}'를 증가시키는 이득 증배 효과를 일으키고 있다. 이득 증배 효과를 일으키는 그림 2의 상단 회로의 주파수 특성이 하단 회로 주파수 특성에 비해 떨어지지 않기 때문에 안정된 동작을 할 수 있다.

이득 증배 효과에 의해 g_{m8}'가 $g_{m8}(1+\alpha)$가 되었다면 출력 임피던스와 전압 증폭율이 식 (2)와 (3) 같이 $(1+\alpha)$배가 되고 밀러 효과에 의해 노드 C와 접지 사이의 저항이 $(1+\alpha)$배로 감소하여 노드 C의 극점이 커져서 증폭기의 고주파 특성과 안정도를 개선한다.

$$g_{meff} = 2\, g_{m1} \tag{1}$$

$$r_{out} = \frac{g_{m8}(1+\alpha)R_{ds8}(R_{ds2} \parallel R_{ds6})}{2} \tag{2}$$

$$A_V \fallingdotseq g_{m1}\, g_{m8}(1+\alpha)R_{ds8}(R_{ds2} \parallel R_{ds6}) \tag{3}$$

대역폭은 식 (2)에 의해 식 (4)와 같이 되고 GBW는 식 (5)와 같이 된다.

$$f_d = \frac{1}{\pi\{g_{m8}(1+\alpha)R_{ds8}(R_{ds2} \parallel R_{ds6})\}C_L} \tag{4}$$

$$GBW = \frac{g_{m1}}{\pi C_L} \tag{5}$$

대칭적 설계로 $g_{m1} = g_{m3}$, $R_1 = R_2$인 조건을 만족하면 노드 E의 전압은 식 (6)같이 표현되므로 α는 식 (7)에 의해 식 (8)과 같이 정의된다.

$$V_E = V_A = V_B = -\frac{V_{id}}{2} g_{m1}R_1 \tag{6}$$

$$g_{m8}' = g_{m8}(1+\alpha) = g_{m8}\frac{V_C - V_E}{V_C} \tag{7}$$

$$\alpha \fallingdotseq \frac{1}{2g_{m5}(R_{ds2} \parallel R_{ds6})} \tag{8}$$

Balanced CMOS Complementary Folded Cascode OP-Amp의 반회로에는 모두 6개의 노드가 있다. 노드 A, 노드 B, 노드 C와 접지 사이의 저항은 $1/g_m$ 정도로 작기 때문에 이 노드들의 극점은 커서 주파수 특성에 큰 영향을 미치지 못한다. 노드 C와 노드 D의 경우 R_3과 R_4는 크지만 $g_{m8}V_{gs8}$과 $g_{m10}V_{gs10}$의 밀러 효과 때문에 저항이 작아져 이 노드들에 의한 극점도 커지게 되어 역시 주파수 특성에 큰 영향을 미치지 못한다. 결국 출력 단자만이 큰 저항 때문에 증폭기의 우성 극점을 형성하게 되어 증폭기가 단일 우성 극점을 지닌 시스템처럼 동작할 수 있게 된다.

OP-Amp의 신호대 잡음비를 개선하기 위해선 $+V_{out}$와 대칭으로 $-V_{out}$을 만들어 Balanced Output 구조를 취해야 한다. 출력 전압을 $+V_{out} - (-V_{out})$으로 하면 M1과 M2의 게이트에 입력되는 동상 잡음을 완전히 제거할 수 있고 임의의 잡음이 각 입력단에 따로 입력이 된다고 하더라도 잡음은 rms값으로 더해지기 때문에 $\sqrt{2}$배 만큼의 신호대 잡음비의 개선은 있게 된다.

기존의 Balanced OP-Amp에는 M6, M8, M10, M12가 없고 M5, M7, M9, M11의 게이트에 일정한 DC 바이어스를 인가해 주어 출력을 분리했었다. 이런 구조에서 전압 증폭율을 증가시키기 위해서는 증폭 작용을 하는 M7, M9, M11의 바이어스 전류를 적게 해 주어야 되는데 이 바이어스 전류가 증폭기의 슬루율을 결정하므로 전압 증폭율과 슬루율을 동시에 증가시는데 불필요한 제한 조건이 생기게 된다. 본 논문이 제시한 Balanced CMOS Complementary Folded Cascode

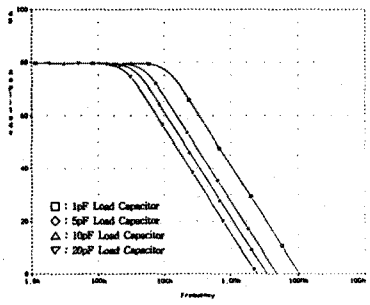
OP-Amp의 경우 양쪽 출력단을 푸시 풀 구조로 만들어 M6, M8, M10, M12의 바이어스 전류를 고정시키지 않고 입력 신호에 따라 반응하게 만들어서 슬루율과 전압 증폭율과의 불필요한 상관관계를 제거하였다.

3. Balanced CMOS Complementary Folded Cascode OP-Amp의 특성 측정 및 고찰

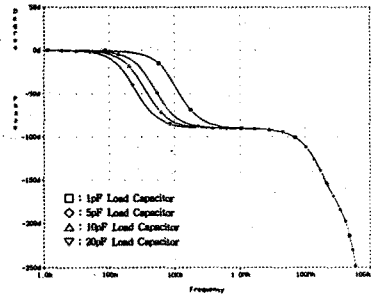
본 논문의 Balanced CMOS Complementary Folded Cascode OP-Amp의 시뮬레이션에는 1.2μm CMOS parameter를 사용하였고 전원으로 ±3V를 공급하였다.

부하 커패시터 C_L을 변화시켰을때 Balanced CMOS Complementary, Folded Cascode OP-Amp의 주파수 응답을 그림 3에 나타내었고 GBW, 슬루율, Phase Margin의 변화를 표 2에 나타내었다. 표 3은 Balanced CMOS Complementary Folded Cascode OP-Amp를 구성하고 있는 소자의 크기이다.

출력을 $+V_{out}$와 $(-V_{out})$ 전압의 차가 아닌 $+V_{out}$과 접지 사이의 전압으로 취했을 경우 1pF의 부하 커패시터를 걸면 80dB의 저주파 전압 증폭율, 110MHz의 단위 이득 주파수와 69°의 Phase Margin, 274V/μs의 슬루율을 나타내었다. 그림 3의 b)를 보면 우성 극점인 출력 노드의 C_L이 증가할수록 3dB 주파수가 감소하고 Phase Margin이 증가하여 안정도가 개선됨을 알 수 있다. 표 2의 양의 슬루율과 음의 슬루율이 다른 이유는 NMOS와 PMOS의 부정합 때문이며 공정 파라메타 및 디자인 파라메타의 적절한 조정으로 개선 가능하다고 생각된다.



a)



b)

그림 3. Balanced CMOS Complementary Folded Cascode OP-Amp의 Load Capacitor에 따른 주파수 응답
a) 증폭율 특성 b) 위상 특성

표 2. Balanced CMOS Complementary Folded Cascode OP-Amp의 특성

Specification \ Load Capacitor		1pF	5pF	10pF	20pF
Gain (dB)		80	80	80	80
Gainbandwidth (MHz)		109	23	12	6
Phase Margin(°)		69	85	87	89
Slew Rate (V/μs)	Positive	274	50	28	15
	Negative	215	42	17	5

표 3. Balanced CMOS Complementary Folded Cascode OP-Amp에 쓰인 소자의 크기

Device	L (μm)	W (μm)	Function
M1	2	46	NMOS Input
M2	2	46	
M3	2	133	PMOS Input
M4	2	133	
M5	2	55	+Vout Output
M6	2	55	
M7	2	30	
M8	2	30	
M9	2	10	
M10	2	10	
M11	2	20	
M12	2	20	
M13	2	55	-Vout Output
M14	2	55	
M15	2	30	
M16	2	30	
M17	2	10	
M18	2	10	
M19	2	20	
M20	2	20	

4. 결론

본 논문에서 제안한 Balanced CMOS Complementary Folded Cascode OP-Amp는 철저한 대칭성을 통해 극점의 증가를 막으면서 출력단을 제외하고는 저항값이 큰 노드를 만들지 않는 방법으로 고주파 특성을 개선시켰고 구조 자체의 대칭성으로 특성 개선을 위한 보상 회로의 적용 가능성을 극대화시켰다. 앞으로 NMOS와 PMOS의 공정 및 디자인 파라메타 정합 문제가 해결된다면 더욱 광범위한 아날로그 회로에 사용이 가능할 것으로 생각된다.

참고문헌

1) Richard E. Vallee and Ezz I. El-Masry, " A Very High Frequency CMOS Complementary CMOS Folded Cascode Amplifier ", IEEE Journal of Solid-State Circuits, Vol. 29, No.2, p.130, 1994.

2) Klaas Bult and Govert J.G.M. Geelen, " A Fast Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain ", IEEE Journal of Solid-State Circuits, Vol. 25, No.6, p.1379, 1990.

3) Katsufumi Nakamura, and L. Richard Carley, " An Enhanced Fully Differential Folded-Cascode Op Amp ", IEEE Journal of Solid-State Circuits,