

3-레벨 GTO 인버터를 위한 새로운 스너버회로 설계

서재형*, 서범석, 현동석
한양대학교 전기공학과

A Snubber Design for Low Power Dissipation and Overvoltage Limitation in Three-Level GTO Inverters

Jae-Hyeong Suh*, Bum-Seok Suh, Dong-seok Hyun
Dept. of Electrical Eng., Hanyang Univ.

Abstract - This paper presents a new low loss snubber including the overvoltage snubber for three-level GTO inverters. The proposed snubber can not only minimize the snubber loss and the number of components but also improve blocking voltage balancing problem between the inner and the outer GTOs.

1. 서론

대용량 GTO 인버터 시스템 구현시 GTO의 스위칭은 소자에서 야기되는 전력손실의 제한과 과도상태시 안전동작을 위해 세심한 주의가 요구되며, 이를 위해서 턴온 스너버, 턴오프 스너버, 과전압 스너버를 필요로 한다[1,2,3].

그런데, 3-레벨 GTO 인버터 시스템에서는 일반적으로 RCD 스너버를 사용하여 왔는데, 이때 스너버 회로에 축적된 에너지는 저항에서의 손실로 나타나므로 이로 인해 인버터의 에너지 효율성이 낮아지며 또한 냉각문제가 야기된다. 그리고, 턴오프시 발생하는 과전압에 의해 과도상태 손실이 증가하게 되는데 아직까지 3-레벨 인버터에서 과전압 제한회로는 존재하지 않는다. 또한 RCD 스너버를 사용한 3-레벨 인버터에서는 내외측 소자간의 차단전압 불균형 문제가 야기된다.

따라서 본 논문에서는 3-레벨 인버터에 적용할 수 있는 새로운 스너버회로를 제안하고, 제안된 스너버회로가 위에서 언급한 세가지 문제를 해결하는데 있어서 효과적임을 시뮬레이션과 실험을 통해 입증하고자 한다.

2. 제안된 스너버회로와 동작특성

그림 1(a)는 기존의 RCD 스너버를 사용한 3-레벨 인버터 구조이고 그림 1(b)는 본 논문에서 제안하고 있는 스너버회로를 사용한 경우이다. C_{S1} 은 G_2 와 G_4 의 턴오프 과도상태시의 dv/dt 를 제한해주는 턴오프 스너버 커패시터이고 C_{S2} 는 G_1 과 G_3 의 dv/dt 를 제한해주는 커패시터이며 Cov_1 과 Cov_2 는 과전

압을 제한하는 커패시터이다. R_1 은 턴온 스너버 L_{S1} 과 C_{S1} 그리고 Cov_1 의 축적에너지를 방전시키기 위한 저항이고 R_2 는 L_2 과 C_{S2} , Cov_2 의 방전저항이다.

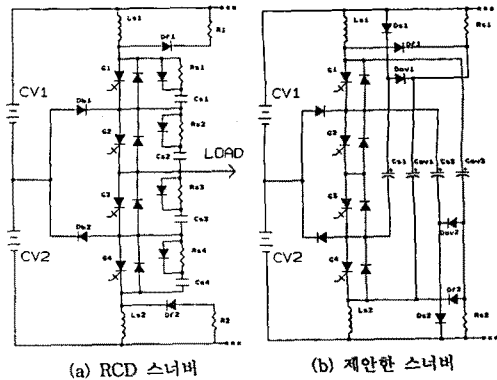


그림 1. 3-레벨 인버터 구성도

본 논문에서 제안한 스너버회로의 동작원리는 다음과 같다. 여기서 P, O, N은 아래 표와 같이 3-레벨 인버터에서 이용할 수 있는 세 가지 스위칭 상태이다.

스위칭상태	스위칭조건				출력전압
	G1X	G2X	G3X	G4X	
P	ON	ON	OFF	OFF	Vd
O	OFF	ON	ON	OFF	Vd/2
N	OFF	OFF	ON	ON	0

Mode 1) P→O

P상태에서 스너버 커패시터 C_{S1} , C_{S2} 의 전압은 각각 $Vd/2$, Vd 이다. 스위칭 상태가 P에서 O로 천이됨에 따라 그림 2(a)와 같이 C_{S2} 의 전압이 $G_2 \rightarrow G_3 \rightarrow Db_1 \rightarrow Cv_1 \rightarrow R_2 \rightarrow Dov_2$ 의 경로로 Vd 에서 $Vd/2$ 까지 방전하게 되고, 이때 G_1 의 전압은 C_{S2} 와 Cov_2 전압차에 의해 결정이 되므로 C_{S2} 의 방전시정수에 의해 G_1 의 전압상승률이 결정된다. 이때 G_4 의 전압은 C_{S1} 과 Cov_1 의

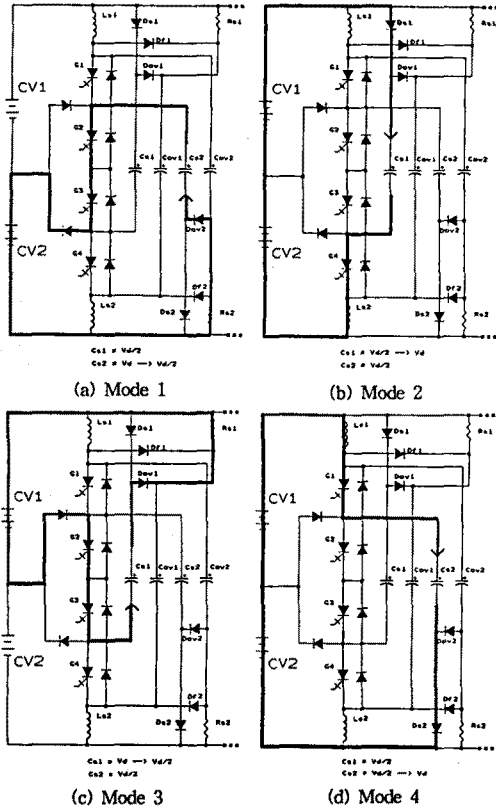


그림 2. 각 Mode에서의 스너버동작

전압차에 의해 $V_d/2$ 상태를 유지한다. 턴온 스너버 L_{S1} 과 누설 인덕턴스에 있던 에너지에 의해 야기되는 G_1 의 과전압은 Cov_2 에서 효과적으로 제한된다.

Mode 2) O→N

O상태에서 스너버 커패시터 C_{S1} , C_{S2} 의 전압은 각각 $V_d/2$, $V_d/2$ 이다. G_2 가 오프되고 G_4 가 턴온됨에 따라 그림 2(b)에서와 같이 C_{S1} 의 전압은 $Cv_2 \rightarrow Cv_1 \rightarrow D_{S1} \rightarrow G_4 \rightarrow L_{S2}$ 의 경로로 $V_d/2$ 에서 V_d 까지 충전이 된다. G_1 의 전압은 C_{S2} 와 Cov_2 의 전압차에 의해 $V_d/2$ 로 유지되고 있으므로 G_2 의 전압상승률은 C_{S1} 이 $V_d/2$ 에서 V_d 까지 충전되는 시정수에 의해 제한된다. 이때 누설인덕턴스와 L_{S2} 에 의해 야기되는 G_2 의 과전압은 Cov_1 에 의해 제한된다.

Mode 3) N→O

N상태에서 C_{S1} 의 전압은 V_d 이고 C_{S2} 의 전압은 $V_d/2$ 이다. 스위칭이 N에서 O로 바뀌면 C_{S1} 은 그림 2(c)에서처럼 $Dov_1 \rightarrow R_1 \rightarrow Cv_1 \rightarrow D_{S1} \rightarrow G_2 \rightarrow G_3$ 의 경로로 방전한다. 따라서 Mode 1에서와 마찬가지로 G_4 의 전압은 C_{S1} 과 Cov_1 의 전압차이에 의해 결정되고, 따라서 C_{S1} 이 방전하면서 G_4 의 dv/dt 가 제한된다. 이때 G_1 의 전압은 C_{S2} 와 Cov_2 의 전압차에 의해 $V_d/2$ 로 유지되고, 또한 과전압은 Cov_1 에 의해 줄일 수 있다.

Mode 4) O→P

O상태에서 스너버 커패시터 C_{S1} , C_{S2} 의 전압은 각각 $V_d/2$, $V_d/2$ 이다. 스위칭이 O에서 P로 바뀔 때 그림 2(d)와 같

이 C_{S2} 는 $Cv_2 \rightarrow Cv_1 \rightarrow L_{S1} \rightarrow G_1 \rightarrow C_{S2} \rightarrow D_{S2}$ 의 경로로 $V_d/2$ 에서 V_d 로 충전된다. 이때 G_3 의 전압상승률은 Mode 2에서와 마찬가지로 효과적으로 제한되고 과전압의 크기는 Cov_2 에 의해 줄일 수 있다.

3. 시뮬레이션 및 실험

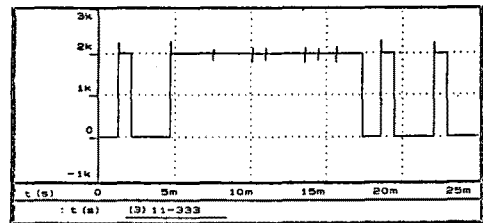
그림 3은 본 논문에서 제안한 스너버회로를 사용한 시뮬레이션 결과이다. 앞에서 설명한 바와 같이 각 소자의 턴오프시 전압상승률이 C_{S1} 과 C_{S2} 의 충전전에 의해 잘 제한되고 내외측 소자들간에 차단전압의 불균형문제는 발생하지 않음을 알 수 있다. 그림 4는 기존의 RCD스너버를 사용하였을 때의 실험 결과이다. 위의 결과에서 알 수 있듯이 과전압의 크기에 비례하여 내측소자의 차단전압과 외측소자의 차단전압크기가 달라짐을 알 수 있다. 그림 5는 본 논문에서 제안한 스너버회로를 사용하여 행한 실험결과이다. 시뮬레이션 결과에서와 마찬가지로 턴오프시 dv/dt 를 효과적으로 제한하면서도 과전압의 크기가 작고 내외측 소자들간의 차단전압균형이 유지되고 있다. 따라서, 효과적인 스너버역할을 하면서도 기존의 RCD스너버 회로에 비해 손실을 다음과 같이 줄일 수 있다.

1) RCD 스너버회로에 인한 전력손실

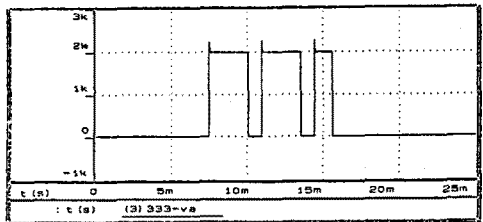
$$: freq \cdot (6 \cdot \frac{1}{2} CV^2 + 2 \cdot \frac{1}{2} LI^2)$$

2) 제안된 스너버회로에 인한 전력손실

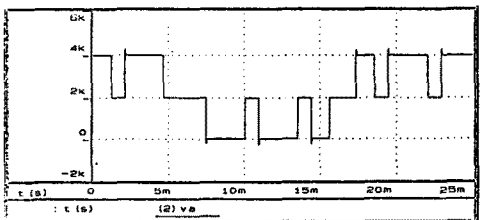
$$: freq \cdot (2 \cdot \frac{1}{2} CV^2 + 2 \cdot \frac{1}{2} LI^2)$$



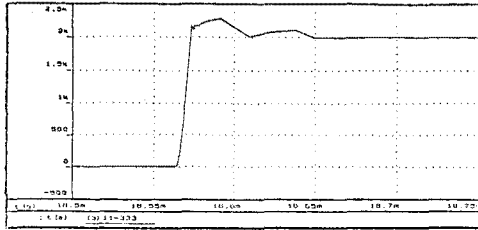
(a) G_1 양단간 전압 파형



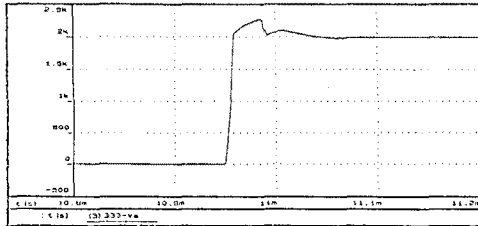
(b) G_2 양단간 전압 파형



(c) 출력 상전압 파형



(d) G_1 턴오프시 전압상승률



(e) G_2 턴오프시 전압상승률

그림 3. 시뮬레이션 결과

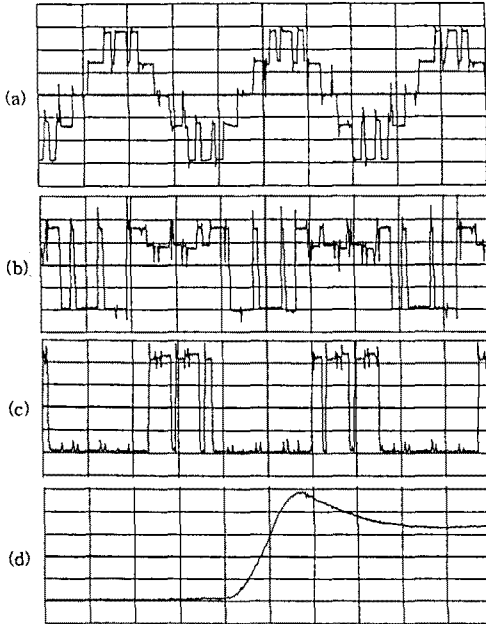


그림 4. RCD 스너버를 사용한 실험결과.

(a) 출력전압파형 (b) G_1 양단간 전압 파형 (c) G_2 양단간 전압 파형 (d) 턴오프 과도상태시 전압상승률

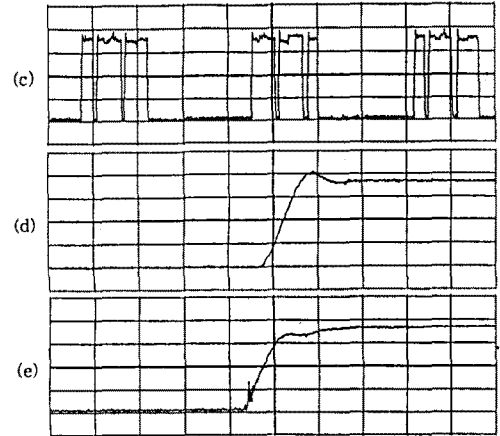
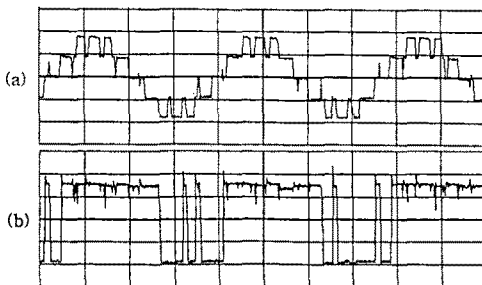


그림 5. 제안한 스너버회로를 사용한 실험결과.

(a) 출력전압파형 (b) G_1 양단간 전압 파형 (c) G_2 양단간 전압 파형 (d) G_1 턴오프시 전압상승률 (e) G_2 턴오프시 전압상승률

4. 결론

본 논문에서는 대용량 3-레벨 GTO인버터의 적용할 수 있는 새로운 저손실 스너버회로를 제안하고 그 타당성을 시뮬레이션과 실험으로 입증하였다. 제안된 스너버 회로는 기존의 RCD 스너버를 이용한 3-레벨 인버터에 비해 다음과 같은 장점을 가지고 있다.

첫째, 하나의 커패시터로 두 소자의 dv/dt 를 제한함으로써 스너버로 인한 손실을 기존의 RCD 스너버에 비해 반 이상 줄일 수 있으므로 인버터의 효율을 증가시킬 수 있다.

둘째, 제안된 스너버회로는 턴오프 스너버회로와 함께 과전압 스너버회로를 가지고 있으므로 스위칭 과도상태에서 나타나는 과전압의 크기를 제한할 수 있다.

셋째, 기존의 RCD 스너버회로에서 나타나는 내외측 소자간의 전압불균형 문제는 제안된 스너버회로에서는 거의 나타나지 않으므로 도통구간이 많은 내측소자들의 전력손실을 줄일 수 있다.

넷째, 제안한 스너버회로는 턴온 스너버, 턴오프 스너버와 과전압 스너버 방전용 저항을 모두 공통으로 사용할 수 있으므로 설계 제작시 용이하며 회생설계가 쉽다.

따라서 본 논문에서 제안한 스너버회로는 대용량 3-레벨 GTO 인버터에 효과적으로 이용될 수 있을 것으로 사료된다.

5. References

- [1] T.M. Undeland, "Snubbers for Pulse Width Modulated Bridge Converters with Power Transistors and GTOs." *Conf Rec of International Power Electronic Conference.*, pp. 313-323, 1983.
- [2] William McMurray, "Efficient Snubbers for Voltage-Source GTO Inverters," *IEEE Trans. on Power Electronics*, V01. PE-2. NO.3, July, pp. 264-272, 1987.
- [3] Wolfgang Runge et al., "Some Aspects of the Circuit Design of High Power GTO Converts," *3rd European Conference on Power Electronics*, Aachen, 1989.