

AES Depth Profiling 을 이용한 계면 층의 정량 분석
(A Quantitative Analysis of Interfacial Layer
by using AES Depth Profiling)

한국과학기술원 전자재료공학과 서주원, 김중석, 이원중

1. 서론

Ta₂O₅ 는 유전상수가 크고, 누설전류 특성이 좋아 DRAM 용 capacitor 로 유망한 물질 가운데 하나이다. Ta₂O₅ 를 Si 에 증착할 때, Ta₂O₅/Si 계면에 SiO₂ 층이 형성되어 전기적 특성에 크게 영향을 미친다. 따라서, 이 SiO₂ 계면 층의 정량분석, 특히 두께에 대한 정확한 분석은 capacitor 의 특성을 이해하는데 필수적이다. 본 연구에서는 AES depth profiling technique 을 이용하여 SiO₂ 계면 층과 SiO₂ 생성 억제용 buffer layer 인 Si₃N₄ 계면 층의 두께를 정량분석하기 위하여 이론적인 AES depth profiling 과 cross-sectional TEM 분석을 병행하여 시도하였다.

2. 실험방법

ECR PECVD(electron cyclotron resonance plasma enhanced chemical vapor deposition) 방법을 이용하여 Ta₂O₅/SiO₂/Si₃N₄/Si 으로 구성된 시편 1, 2, 3 를 제조하였다. High resolution cross-sectional TEM 을 이용하여 각 시편의 SiO₂ 및 Si₃N₄ 계면 층의 두께를 측정하였다. 이론적인 AES depth profiling 을 위하여 각 layer 에서 발생하는 Auger 전자의 평균자유행로(λ) 값을 Seah and Dench 의 방법을 이용하여 구하였으며, Auger 전자의 정확한 angular distribution 을 얻기 위해 CMA(cylindrical mirror analyzer) 의 angular acceptance function($\cos \theta$) 을 고려하였다. 이론적인 AES 분석과 TEM data 를 이용하여 최적의 sputtering 조건에서 얻은 실험적인 AES depth profiles 의 계면 층의 두께를 정량분석하였다.

3. 결과 및 고찰

이론적으로 얻은 AES depth profiles 을 분석한 결과 SiO₂ 계면 층의 두께가 2.0nm 보다 큰 경우, 실험적으로 얻은 AES depth profiles 에서 구한 반각 폭을 실제 계면 층의 두께로 생각할 수 있었다. 표준 시편 1 의 실험적인 AES depth profile 과 TEM data 를 이용하여 구한 SiO₂ 계면 층의 sputtering rate 는 0.73nm/cycle 이었다.

이 값을 이용하여 계산한 시편 2 의 SiO_2 계면 층의 두께는 3.4nm 로 cross-sectional TEM 으로 얻은 3.1nm 보다 약 10% 큰 값이다. 그리고, 시편 3 의 경우 AES depth profiling 을 이용하여 얻은 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 계면 층의 두께도 4.6nm 로 cross-sectional TEM 으로 얻은 4.2nm 보다 약 10% 크다. 이와 같은 차이는 depth profiling 할 때 형성되는 atomic mixing 과 sputtering induced surface roughness 효과 때문인 것으로 생각한다. 한편, 시편 3 에서 AES depth profiling 을 이용한 경우 TEM 분석으로 얻지 못한 SiO_2 와 Si_3N_4 계면 층의 두께를 각각 얻을 수 있었으며, 그 두께는 3.7nm 와 1.8nm 였다. 전체 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 계면 층의 두께가 4.6nm 인 것은 SiO_2 와 Si_3N_4 계면 층이 서로 겹치는 부분이 있기 때문이다. 본 연구에서 사용한 AES depth profiling technique 은 분석시편의 특별한 준비 없이 비교적 빠른 시간에 원하는 계면 층의 두께를 정량분석하는데 편리함을 제공해준다.

4. 참고문헌

1. D. J. Smith and P. L. Young, IEEE Trans. Electron Devices, 28 (1981) 22.
2. Y. Nishioka, H. Shinriki and K. Mukai, J. Electrochem. Soc., 136 (1989) 872.
3. M. P. Seah and W. A. Dench, Surf. Interface Anal., 1 (1979) 2.
4. M. P. Seah, Surf. Sci., 32 (1972) 703.