

Two Hot Zone Furnace를 이용한 Hot Wall Type RTA 개발
 (The development of a Hot Wall Type RTA using Two Hot Zone Furnace)
 삼성전자(주) 반도체연구소 이길광, 김성진, 후지하라, 안성태
 연락처 : 이길광
 (449-900) 경기도 용인군 기흥읍 농서리 산24
 삼성전자 반도체연구소 메모리공정개발3팀
 TEL : (0331)280-6365, FAX : (0331)280-6299

1. 서론

반도체 device의 0.15~0.25 μ m technology시대에 해결해야 할 과제중의 하나는 Shallow junction을 형성하는 것이다. Shallow junction을 형성하기 위해서 여러가지 방법이 제안되고 있으나 아직까지 양산공정에 적합한 방법이 제시되고 있지 않은 실정이다. 이를 위한 방법중의 하나로 RTP가 제안되고 있다 그러나 현재의 cold wall방식의 RTP 설비는 wafer 내의 온도 uniformity가 나쁘고 정확한 온도제어의 어려움이 있으며 wafer의 slip 발생의 문제점을 안고 있다. 이러한 문제점을 해결하기 위하여 하나의 tube 내에 두개의 균열온도 zone을 형성하는 two-hot-zone furnace를 이용한 Hot Wall Type의 RTA(H-RTA)설비를 제작, 그 기초 특성 및 전기적 특성을 조사하여 보았다.

2. 실험방법

Fig.1은 two hot zone을 가지는 hot wall type의 RTP(이하 H-RTA로 칭함.) 설비를 나타낸다. 500 $^{\circ}$ C~700 $^{\circ}$ C를 제어하는 하부부와 800 $^{\circ}$ C~950 $^{\circ}$ C를 제어하는 상부부의 two hot zone으로 구성되어 있다. wafer는 일단 하부부에서 20~40분간 700 $^{\circ}$ C에서 예비가열 한후 100mm/sec의 속도로 상부부로 이동하여 RTP처리를 한후 다시 하부부에서 700 $^{\circ}$ C에서 10분간 냉각한후 unloading하여 상온으로 자연 냉각시킨다. 이온주입량과 열처리시간에 따른 RTA 특성을 평가하기 위하여 6인치 Si wafer에 n-well(또는 p-well)을 형성하고(P:1.7E13, 100KeV ; BF2: 4.0E12, 50KeV), 1150 $^{\circ}$ C로 8시간동안 well drive in 처리한 뒤, pad oxidation을 한후, n+, p+ 이온주입을 실시하였다. 그리고 HTO 500 \AA 과 O3/TEOS BPSG 3500 \AA 을 deposition 하고, 열처리 시간을 split 하여 sheet resistance 및 n+/p diode의 leakage current를 평가하였으며 SIMS를 사용하여 boron의 depth profile을 측정하였다.

3. 실험결과

Fig.2는 BF2를 이온주입한후 열처리시간에 따른 sheet resistance를 나타낸다. 열처리 시간이 증가함에 따라 sheet resistance가 감소하고 있음을 알 수 있으며 이것은 열처리 시간의 증가에 따라 activation되는 dopant의 수가 증가함에 기인한다. 또 sheet resistance의 분포도 fig.3에서 보여진바와 같이 2%이하의 아주우수한 특성을 얻었다. 60 sec의 짧은 시간의 열처리에서도 device에 적용할 수 있는 정도의 낮은 sheet resistance를 얻을 수 있었다. Fig.4는 SIMS를 사용하여 boron의 depth profile을 측정 한 결과와 유의차없는 양호한 값을 얻었다. 이는 H-RTA에서는 700 $^{\circ}$ C에서의 pre-heating 및 post-cooling으로 급격한 열충격을 피할수 있어 Si결정 내부에 가해지는 thermal stress가 적어져서 낮은 leakage current density를 나타내고 있다고 생각된다.

4. 결론

첫째 hot wall 형 RTP system은 기존의 furnace와 동일한 수준의 우수한 wafer내 온도균일성을 확보 할 수 있었다. 이것은 예비가열에 의하여 700 $^{\circ}$ C까지 가열된 wafer를 950 $^{\circ}$ C에서 RTP처리 하므로 상승온도차가 크지 않아 wafer의 중심부와 주변부의 온도차가 크지 않기 때문이다.

둘째 이설비는 통상의 furnace에서의 온도 ramp-up, ramp-down 되는 불필요한 시간을 줄이고 짧은 시간의 열처리에 의하여 activation은 되고 dopant의 diffusion을 억제하여 기존의 furnace보다 작은 thermal budget으로 동일한 sheet resistance를 얻을 수 있었다.

셋째 n+/p diode구조에서의 leakage current를 평가해본 결과 통상의 furnace에서 열처리 한 것과 유의차없는 양호한 값을 얻었다. 이는 H-RTA에서는 700 $^{\circ}$ C에서의 pre-heating 및 post-cooling으로 급격한 열충격을 피할수 있어 Si결정 내부에 가해지는 thermal stress가 적어져서 낮은 leakage current density를 나타내고 있다고 생각된다.

5. 참고문헌

- 1.李 佶洸, 吳 昶旭, 藤原 和幸, 安 聖泰, Two hot zone 縦型爐 利用したRTAの検討, 第55回秋季日本應用物理學會 講演豫稿集, Sept.1994 p728
2. Andrew Wittkower, Chungsin Lee, Surface intensitive open-loop processing with furnace RTP 2nd International Rapid Thermal Processing Conference RTP94, Aug.1994 p75-76
3. W.Zagodzón-Wosik et al. Ultra Shallow Junction Formation Using Low Temperature Deposition Techniques for the Dopant Sources 2nd International Rapid Thermal Processing Conference RTP94, Aug. 1994, p308-313
4. B.Lojek, Photons in Semiconductors: Absorption and Lattice Heating, 2nd International Rapid Thermal Processing Conference RTP94, Aug. 1994, p14-19

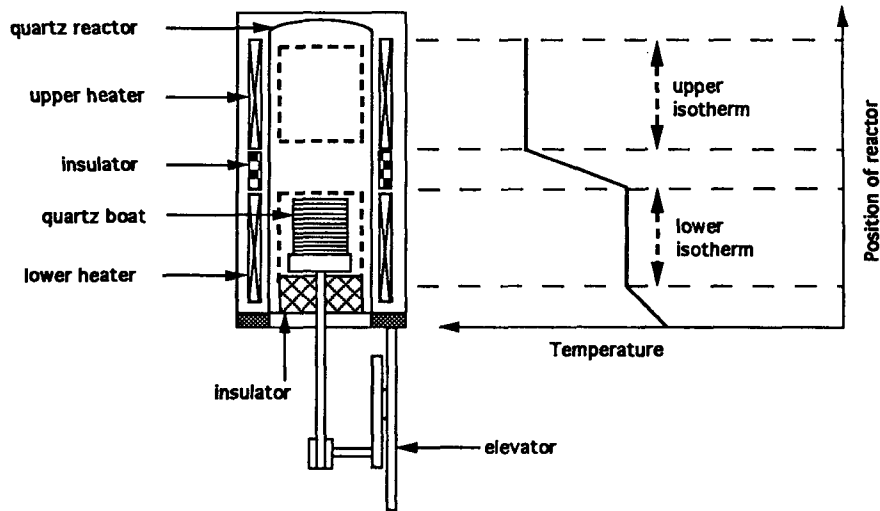


Fig. 1 Schematic diagram of the hot wall RTA system.

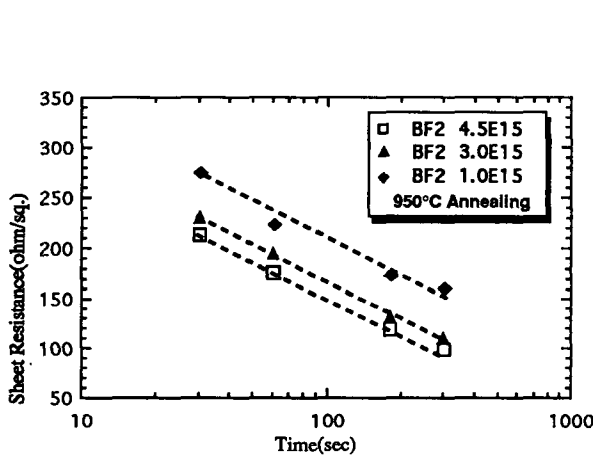


Fig. 2 Sheet resistance for BF2 implanted layers as a function of the annealing time by the H-RTA system at 950°C

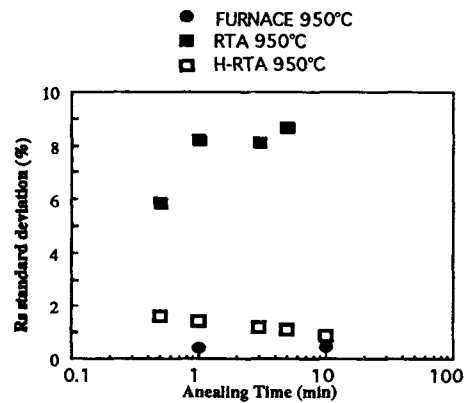


Fig. 3 Standard deviation of the sheet resistance within a wafer as a function of the annealing time. The dose of BF2 implants was 4.5E15/cm, 30keV. Annealing temperature after the implantation was 950°C.

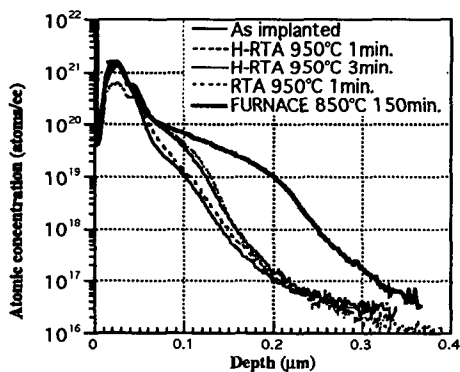


Fig. 4 Boron SIMS profiles after annealing in a furnace, a conventional RTA, and the H-RTA. The dose of BF2 implants was 4.5E15/cm, 30keV.

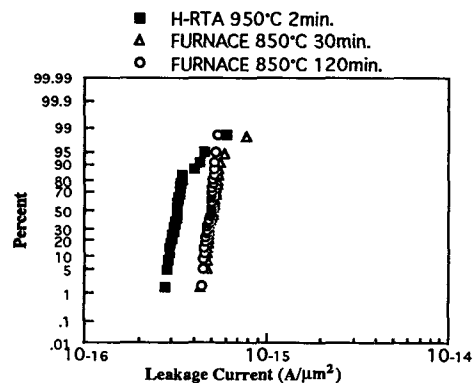


Fig. 5 Distribution of the leakage current of n+/p junction across a 150mm-wafer.