

## I 5 (초청강연)

### THERMOMECHANICALLY INDUCED FRACTURE PHENOMENA IN MICROELECTRONIC PACKAGES

#### 1. 초록 (ABSTRACT)

삼성 반도체 이 성 민

고집적 memory chip을 열적 또는 기계적으로 보호하기 위해 ceramic 혹은 plastic resin을 이용하여 microelectronic packaging 했을때, package 구성 element인 Si chip, resin, leadframe, bonding tape 등의 물리적인 성질이 서로 상이하여 memory 제품의 신뢰도확보를 위한 thermal cycling test 수행시, 이들 materials간의 thermal displacement mismatch로 인해 package의 취약부위에 기계적인 결함이 발생되며, 그에 따라 memory 제품의 신뢰도에 치명적인 영향을 미칠 수 있다. 본 연구는 이런 열적변형에 의한 기계적결함의 유형을 분류하여, 이들이 어떠한 mechanism에 의해 일어나는 지를 규명하였다.

#### 2. 실험 (EXPERIMENT)

일반적으로 memory 제품의 qualification을 위해서는 thermal cycling test (T/C)의 경우는 1000 cycle까지 신뢰성이 확보되어야 한다. 온도범위는  $-60^{\circ}\text{C}$ 에서  $+150^{\circ}\text{C}$ 까지이며 1/2hr의 frequency로 진행된다. 신뢰성 검증을 위해 T/C test의 경우는 150-300 cycle마다 functional failure의 여부가 조사되었으며, 불량 판정이 날 우 해당 specimen을 decap하여 functional failure의 원인이 조사되며 chip 표면의 layout 구조상에서의 failure검사는 package의 decap 후 polyimide층을 제거한 다음 Optical Microscope나 Scanning Electron Microscope를 이용하여 초기 crack의 발생위치가 조사되었고, package crack의 경우 Scanning Aucoutic Tomograph를 이용하여 crack의 대략적인 위치가 조사되었으며 crack의 발생위치의 더욱 정확한 부위의 확인을 위해서는 시편를 cross-section하여 그 단면이 조사되었다.

#### 3. 결과 (SUMMARY)

T/C test 동안 layout 구조상에 있어서 memory chip의 edge 부위에서의 damage는 EMC/chip 사이의 thermal displacement에 의한 shear stress에 근본적인 원인이 있으며, LOC(lead on chip) type package의 경우 chip 위의 leadframe 접착을 위해 이용되는 polyimide tape에 의해 더욱 큰 shear stress가 가중될때 해당 부위의 passivation에서 crack의 발생에 의해 야기된다. Chip의 layout 구조에 있어서는 polyimide 층이 open되어 상대적으로 취약한 pad 부위가 passivation crack 발생 source이다. LOC type package의 신뢰성 향상을 위해 chip위 pad의 위치가 chip edge로부터 chip 길이의 10% 정도 chip center쪽으로 위치해 있을때 chip edge 부위에 위치한 pad에 미치는 shear stress를 1% 이하로 줄수 있으며, chip 위의 layout 구조상의 신뢰성확보를 위해서는 Si chip에 비해 LOC package를 구성하는 EMC, tape, leadframe등의 재질이 열팽창계수차가 작고, elastic modulus 값이 작아야 하며, 두께가 얇아야한다.

Package crack의 발생은 EMC/chip 사이의 thermal displacement에 의해 chip 표면에 수직으로 작용하는 normal stress 성분에 기인한다. Conventional type package의 경우 die pad와 EMC 사이의 delamination에 의한 die pad의 bottom 부위의 crack에 의해 functional failure까지 유발될 수 있다. Package crack에 의한 신뢰성문제의 해결을 위해서는 chip을 중심으로 package의 위, 아래 힘의 balance가 절대적으로 필요하며 이를 위해서는 구성 EMC, tape, leadframe등의 재질이 열팽창계수차가 작고, EMC 대비 chip, tape, leadframe등의 두께가 얇아야한다.

#### 4. 참고문헌 (REFERENCES)

- [1] D. Hagen, et al., Proceedings of the IEEE CHMT International Electronics Manufacturing Technology Symposium, September 1992, pp.39-47.
- [2] T. Suzumura, et al., Hitachi Cable Review, Vol. 9, August 1990, pp.63.
- [3] W.C. Ward, Proceedings of the 38th IEEE ECC, 1989.
- [4] M. Lamson, et al., Proceedings of the IEEE ECTC, 1993, pp.1045-1050.
- [5] E. Suhir, Proc. 37th Electronics Components Conference, IEEE/ (EIA), 1987, pp. 508-517.