

공정조건에 따른 함몰된 다결정실리콘/실리콘(n^+) - 실리콘(p) 접합의 특성 (Properties of Recessed Polysilicon/Silicon(n^+)-Silicon(p) Junction with Process Condition)

이종호, 이종덕*, 최우성, 박춘배

Jong Ho Lee, Jong Duk Lee*, U-Sung Choi, and Choon Bae Park

전북 이리시 신용동 344-2 원광대학교 전자재료공학과
*서울시 관악구 신림동 산 56-1 서울대학교 전자공학과

Dept. of Electronic Material Eng., Wonkwang University, Shinyong-Dong 344-2, Iri, 570-749

*Dept. of Electronics Eng., Seoul National University, Shinlim-Dong, Gwanak-Gu, Seoul, 151-742

Abstract

A recessed n^+ - p junction diode with the self-aligned structure is proposed and fabricated by using the polysilicon as an n^+ diffusion source. The diode structure can be applicable to the emitter-base formation of high performance bipolar device and the n^+ polysilicon emitter has an important effect on the device characteristics. The considered parameters for the polysilicon formation are the deposition condition, As^+ dose for the doping of the polysilicon, and the annealing condition using RTP system. The vertical depth profiles of the fabricated diode are obtained by SIMS. The electrical characteristics are analyzed in terms of the ideality factor of diode (n), contact resistance and reverse leakage current. The As^+ dose for the formation of good junction is about $1\sim 2 \times 10^{16} \text{ cm}^{-2}$ at given RTA condition (1100 °C, 10 sec). The n^+ - p structure is successfully applied to the self-aligned bipolar device adopting a single polysilicon technology.

1. 서론

폴리실리콘 (또는 다결정 실리콘)은 고속 바이폴라 기술에서 얇은 에미터 접합을 형성하기 위한 확산 소스로서 널리 이용되어 왔다^{[1][2]}. 폴리실리콘을 사용하면 자기 정렬 기술을 사용할 수 있어 스위칭 속도와 집적도를 늘릴 수 있으며, 전류 이득을 급속과 직접 접촉된 에미터 구조의 소자보다 약 3~30배까지 높일 수 있다. 이는 폴리실리콘과 실리콘의 계면 특성에 따라 변하며, 이것에 대한 물리적, 전기적 특성이 광범위하게 연구되었다^{[3][4]}. 폴리실리콘 에미터를 갖는 바이폴라 소자의 에미터(n^+)-베이스(p) 구조를 형성하는데 있어 자기정렬 기술은 폴리실리콘에 의한 특성 변화와 더불어 중요시 된다. 기존의 폴리실리콘-실리콘

n^+ - p 다이오드 구조에서는 n^+ 영역과 p 영역과 연결된 외부 p^+ 영역이 자기정렬되지 않기 때문에 단일 폴리실리콘 층을 사용하는 바이폴라 소자의 제작 기술에 적용될 때 우수한 성능을 얻을 수 없다.

본 논문에서는 자기정렬 에미터-베이스 구조를 사용하는 고속 바이폴라 소자에 적용가능한 n^+ - p 접합 다이오드를 고안하고 이를 제작하기 위해 함몰 (recess) 산화 기술을 이용하였고 제작과정 및 결과를 보였다. 또한 폴리실리콘을 n^+ 확산원으로 사용할 때 증착 (deposition) 조건과 도우핑을 위한 As^+ 이온 주입량 및 열처리 조건에 따른 n^+ - p 접합의 SIMS 결과 및 전기적 특성을 분석하고자 한다. 단일 폴리실리콘 층을 사용하는 바이폴라 소자에 함몰 구조 및 선택된 공정 조건을 적용하였고 그 결과를 보인다.

2. 함몰 산화 기술을 이용한 n^+ - p 접합의 형성

그림 1은 함몰 산화 기술을 이용하여 자기정렬되는 n^+ - p 다이오드를 제작하는 과정을 보여준다. 최종 구조 (그림 1. (f))를 고성능 바이폴라 소자의 에미터-베이스 구조에 응용할 경우 에미터와 외부 베이스 사이의 거리를 효과적으로 가깝게 함으로써 베이스 저항을 줄일 수 있다.

- (1) p-형 기판, (100), $\rho = 7 \Omega \cdot \text{cm}$
- (2) 버퍼 SiO_2 성장 (45 nm), Si_3N_4 증착 (100 nm)
- (3) 함몰 영역이 될 부분 open [그림 1 (a)]
- (4) 함몰 영역에 두꺼운 SiO_2 성장 (435 nm) 및 외부 베이스에 해당하는 p 영역 형성을 위한 boron 이온 주입 ($3 \times 10^{13} \text{ cm}^{-2}$, 70 keV) [그림 1 (b)]
- (5) 성장된 함몰 산화막을 7:1 BHF에서 습식 식각 및 진성 베이스 형성을 위한 boron 이온 주입 (35 keV , $3 \times 10^{13} \text{ cm}^{-2}$) [그림 1 (c)]
- (6) LPCVD HTO (250 nm) 증착 및 비등방 건식 식각을 이용한 spacer 형성 [그림 1 (d)]
- (7) 폴리실리콘 증착 및 증착된 폴리실리콘을 도우핑시키기 위한 As^+ 이온 주입 [그림 1 (e)]

- (8) RTP로 열처리
- (9) 알루미늄 증착 및 패턴 형성 [그림 1 (f)]
- (10) 알루미늄과 폴리실리콘 접촉영역 사이의 alloy

그림 1의 (b) 단계 후 합물 산화막 성장을 위해 1000 °C에서 87 분간 습식 산화하면 약 435 nm의 산화막이 성장된다. 이때 합물 산화막 성장은 LOCOS 기법과 비슷한 방법으로 이루어지며, 중요한 공정변수는 참고문헌 [5]에서 고려하여 결정하였다. 이와같이 성장된 합물 산화막을 p⁺ 영역 형성을 위한 boron의 이온주입에 대한 마스크로 이용하여 질화막과 버퍼 산화막으로 구성된 영역 아래로 boron을 공정과정 (4)와 그림 1의 (b)와 이온주입한다.

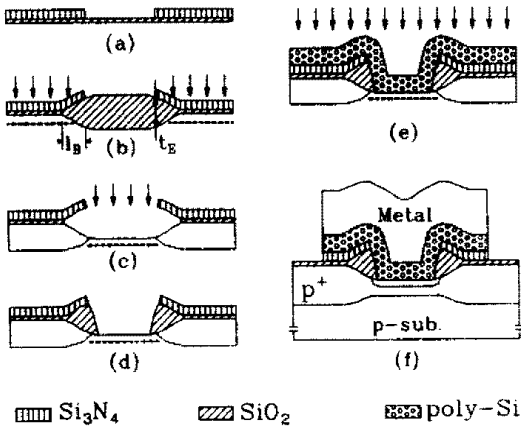


Fig.1 Schematic cross-sectional view of simplified process sequences for the fabrication of the recessed n⁺-p junction diode.

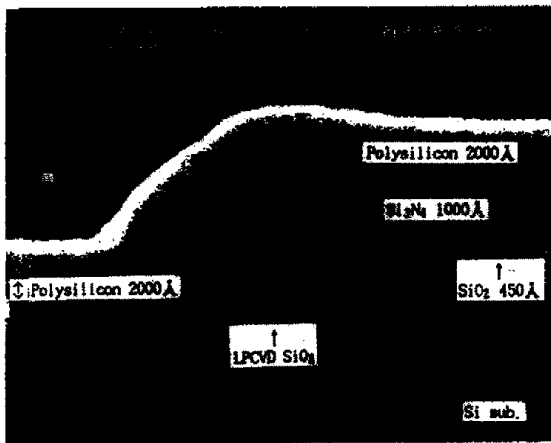


Fig.2 SEM cross-sectional view of the structure after polysilicon deposition. Spacer oxide was wet etched in 7:1 BHF solution for resolution enhancement.

그림 2는 폴리실리콘이 증착된 후에 단면을 촬영한 것이다. 해상도를 위해 단면을 형성한 후 BHF 용액에 넣은 후 세척하여 촬영하였으며, 새부리 영역에 LPCVD 시스템에서 증착된 SiO₂가 spacer 형태로 되어 있었음을 알 수 있다. 증착된 폴리실리콘에 공정과정 (7)과 같이 As⁺을 이온주입하여 n⁺로 만들고 RTP를 사용한 열처리를 통하여 증착된 물질내에 있는 As⁺ 이온을 단결정 실리콘으로 확산하게 한다. 끝으로 알루미늄 증착 및 패턴형성을 거쳐 alloy를 하게되면 그림 1의 (f)와 같이 된다.

n⁺-p 다이오우드 제작과정에서 변화시킨 주요 공정 변

수에 따른 제작된 소자의 특성을 효과적으로 분석하기 위해 표 1과 같은 그룹으로 분류하였다. 샘플의 split은 주어진 공정변수 중 한가지를 3개의 샘플에서 변화시켰다. 여기서 기준이 되는 샘플은 마지막 column서 'REF'로 표시하였다.

Table 1. Sample identification with process conditions.

Group Condition	A	B	C	D	REF
Expo. Time (min)	90 (1) 960 (2)	10	10	10	10
As ⁺ Dose (×10 ¹⁶ cm ⁻²)	1.0	0.5 (1) 2.0 (2)	1.0	1.0	1.0
Anneal. Temp (°C), N ₂	1100	1100	1050 (1) 1150 (2)	1100	1100
Anneal. Time (sec), N ₂	10	10	10	5 (1) 20 (2)	10

3. SIMS를 사용한 도핑 프로파일의 분석

일반적으로 폴리실리콘을 As⁺ 이온주입으로 도우핑하고 n⁺ 층 형성을 위한 확산소스로 사용할 경우 기술의 발달 정도나 공정 장비의 성능에 따라 다를 수 있겠지만, 단결정 실리콘 내에 형성되는 양호한 n⁺-p 접합을 얻기 위한 깊이는 50 nm 이상이다^[6]. 본 연구에서는 n⁺-p 접합 깊이를 50 nm 이상 100 nm 미만이 되는 열처리 온도와 시간을 선택하였다. 폴리실리콘이나 비정질 실리콘을 in-situ로 도우핑하게 되면 그 이하의 접합도 가능성이 보고되어 있다^[7]. 공정 과정을 모두 거친 샘플의 SIMS 프로파일을 분석하기 위해 CAMECA IMS-4F 장비를 이용하였다. As⁺와 B⁺ 이온을 검출하기 위한 일차 이온은 각각 Cs⁺와 O⁺ 이온이다.

그림 3은 As⁺ 이온주입량에 따른 샘플의 SIMS 프로파일을 보여준다. Depth profile의 calibration은 실리콘 층을 기준으로 하였기 때문에 증착한 폴리실리콘의 두께가 그림에서 대략 170 nm로 보인다. 이것은 n⁺로 도우핑된 폴리실리콘이 depth profiling할 때 단결정보다 빨리 식각되기 때문이고, 원래 증착한 두께는 200 nm이다. 그림에서 B⁺는 기준 샘플에서 얻은 것으로 비교를 쉽게 하기 위해 추가하

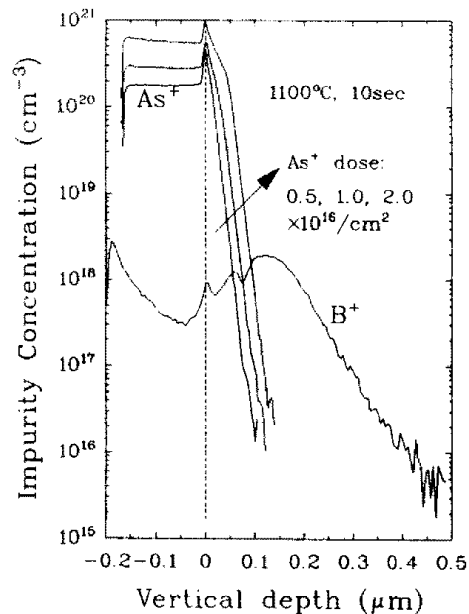


Fig.3 SIMS depth profile of the n⁺-p diode with three different As⁺ dose.

였다. n' 영역과 접합을 이루는 부근에서의 boron 농도는 약간 감소할 보이는데 이는 RTP 시스템을 사용한 열처리 동안 $N_D^-(As')$ 이온이 접합 부근의 $N_A^-(B')$ 이온의 확산을 지연시키는 전계 효과 때문이다. B' 이온주입 에너지를 고려할 때 peak 농도 위치는 약 125 nm 가량으로 35 keV로 이온주입했을 때의 프로파일을 거의 그대로 유지하고 있음을 알 수 있다. Peak에서의 B' 농도는 약 $2 \times 10^{18} \text{ cm}^{-3}$ 으로 역방향 누설전류에 중요한 영향을 줄 것으로 생각된다. 그림 3은 그룹 B에 대한 결과이다. As' 의 도우즈를 $5 \times 10^{15} \text{ cm}^{-2}$ 와 $2 \times 10^{16} \text{ cm}^{-2}$ 로 이온주입했을 때 접합의 깊이는 각각 약 60 nm와 85 nm 정도임을 알 수 있다. 폴리실리콘 도우핑시, 도우즈가 단결정내의 접합깊이에 큰 영향을 줄음을 알 수 있다. 이것은 As' 이온의 농도 구배에 의한 확산증가 효과에 의한 것이다.

그룹 A에 대한 결과로 폴리실리콘이 증착되기 전에 단결정 실리콘을 세척한 후 습도가 50 %이고 온도가 $23 \pm 1^\circ \text{C}$ 인 청정실 내에서 폴리실리콘이 증착될 때까지 노출시킨 시간에 따른 As' 의 SIMS 프로파일이다. 약 16 시간 노출시킨 후의 n' -p 접합 깊이가 상대적으로 낮게 나왔으며, 90 분이나 10 분 노출시킨 결과는 거의 비슷하게 75 nm 정도로 얻어졌다. 그룹 C에 대한 결과로서 1050 °C의 열처리 온도에서는 접합 깊이가 65 nm이고 1150 °C에서는 90 nm였다. 그리고 그룹 D에 대한 결과로 열처리 시간이 5 초일 때는 70 nm이고 20 초일 때는 95 nm로 얻어졌다.

4. 전기적인 특성 분석

그룹별로 분류한 샘플에서 n' -p 접합의 전기적 특성은 표 2와 같이 요약된다. n' -p 접합 다이오드의 특성을 평가하는데 있어 중요한 요소 중에 하나는 ideality factor (n)이다. 표 2의 두번째 줄에서는 공정 조건을 달리하여 만들어진 샘플에서 측정된 다이오드의 n 값을 보여주고 있다. 조건이 다른 각각의 샘플에서 10 개 이상의 패턴을 측정하여 그 평균값은 중앙에, 그리고 최소 및 최대값은 상, 하에 각각 나타내었다. 여기서 n 이 '1'에 가까우면 좋은 접합이 형성되었음을 의미한다.

그룹 A에 대한 n 값은 노출 시간이 길어짐에 따라 증가한다. 또한 노출시간 증가에 따라 특성저항이 포화되는 경향을 보이는데, 이것은 폴리실리콘과 단결정 실리콘 사이의 자연산화막의 성장이 공기중에서 포화됨을 의미하며, 자연산화막의 두께에 따라 접합의 균일성이 저하됨을 의미한다. 그룹 B에 대한 결과에서는 As' 이온 주입량이 증가함에 따라 접합의 특성이 좋아짐을 알 수 있다. $2.0 \times 10^{16} \text{ cm}^{-2}$ 의 도우즈에 대해서는 웨이퍼 내의 거의 모든 곳에서 양질의 접합이 형성되었음을 알 수 있다. 이것은 비소 이온의 높은 이온 주입량에 따른 n' -p 접합의 깊이 증가나 단결정내로 확산해 들어간 비소 이온의 측면방향으로의 확산에 의한 접합의 균일성 때문으로 생각된다. 이것은 그림 3에서 관찰될 수 있다. 그룹 C의 결과에서 RTP 시스템의 확산온도가 1050 °C인 경우에는 다이오드 특성이 거의 나타나지 않았기 때문에 표 2에서는 '-'로 표시하였다. 만약 1050 °C에서 양질의 특성을 얻기 위한 열처리를 한다면 10 초 보다 긴 시간이 필요하다. 1150 °C인 경우에는 좋은 접합 특성을 보여 주고 있으며, 이것은 같은 비소 이온 주입량을 고려할 때 n' -p 접합이 깊게 형성되었기 때문이며, 동시에 측면으로의 확산에 증가 효과를 줄 수 있기 때문이다. 그룹 D에 대한 결과에서는 1100 °C에서 어닐링 시간을 길게 함에 따라 접합의 특성이 개선됨을 알 수 있다.

폴리실리콘과 실리콘 사이의 접촉저항 (R_C) 특성을 조사하기 위해 수평으로 형성된 n - p - n lateral 바이폴라 트랜지스터를 이용하였으며, 또한 다음의 식을 이용하여 R_C 를 구하였다^[6].

$$V_{CE} = kT/q \ln(1/\alpha_R) + I_E \cdot R_C \quad (1)$$

여기서 α_R 은 역방향 공통 베이스 전류이득이고 I_E 는 에

미터 전류이다. 측정된 접합의 면적은 $2 \times 5 \mu\text{m}^2$ 이고 측정된 샘플의 갯수는 각 조건당 10 개 이상이다. 여기서 R_C 는 접촉저항 및 n' 에미터 확산 영역의 저항을 동시에 포함하고 있는 값이며, 표 2의 세번째 줄에 나타내었다.

그룹 A의 결과에서는 노출 시간이 길어지면 평균값과 표준편차가 동시에 증가함을 알 수 있다. 기준 샘플에 대한 R_C 는 약 15.8 Ω 이고 접촉 면적을 고려하면 약 151 $\Omega \cdot \mu\text{m}^2$ 이다. 그룹 B의 결과에서 $5 \times 10^{15} \text{ cm}^{-2}$ 을 이온 주입한 경우 R_C 는 534 Ω 이다. 이는 As' 이온주입량에 따라 자연산화막의 파괴가 크게 변화됨을 의미한다. As' 도우즈가 $1.0 \times 10^{16} \text{ cm}^{-2}$ 이상인 경우는 R_C 가 15 Ω 정도로 포화됨을 알 수 있다. 그룹 C에 대한 결과에서는 열처리 온도가 1050 °C 경우 급격히 R_C 가 증가함을 보여주고 있고 앞의 n 의 결과와 상충한다. 1150 °C의 열처리를 거친 샘플에서는 기준에서와 비슷한 값을 나타내었다. 그룹 D의 결과로 10 초 이상의 열처리 시간에 대해 R_C 값은 더 이상 감소하지 않고 거의 포화됨을 알 수 있다. 낮은 R_C 를 위해서는 $1.0 \times 10^{16} \text{ cm}^{-2}$ 이상의 도우즈, 1100 °C의 열처리 온도와 10 초의 열처리 시간이 필요함을 알 수 있다.

누설전류는 scale-down된 n' -p 접합에서 중요하며, 큰 펄스영역에서의 생성전류와 중성영역에서의 확산전류로 구성된다. p 영역의 농도가 높은 n' -p 접합에서는 위에서 언급한 전류 성분외에 높은 전계 때문에 생기는 터널링 전류가 있다. 또한 큰 역방향 전압이 가해지면 높은 전계에 의해 생겨난 hot 캐리어가 에미터 주위의 산화막의 질을 저하시킴으로써 재결합 전류를 증가시킨다^[9]. 터널링 전류를 생성시키는 경우는 실제 상황에서 에미터 영역이 도우핑이 많이 되어 축적되고 농도 기울기가 10^{24} cm^{-4} 인 상태에서 베이스의 농도 크기가 10^{18} cm^{-3} 이상인 것으로 보고되고 있다^[10]. 본 논문의 경우 As' 이온의 확산에 의한 얇은 n' 영역과 접하고 있는 boron의 농도가 10^{18} cm^{-3} 이상이기 때문에 모든 샘플의 누설전류에 터널링에 의한 성분이 존재함을 예측할 수 있다. 공정변수에 따른 누설전류 특성을 면적이 $400 \times 400 \mu\text{m}^2$ 인 접합 다이오드에서 2.5 V의 역바이어스를 인가해 측정하였다.

그룹 A에서 누설전류는 노출시간이 길 수록 크게 측정되었다. 16 시간 노출시킨 샘플의 누설전류가 90 분 노출된 샘플에 비해 크게 증가하지 않은 것은 앞의 n 의 결과와 일치한다. 그룹 B에 대한 결과에서 $2 \times 10^{16} \text{ cm}^{-2}$ 을 주입한 샘플에서 얻어진 누설 전류는 약 0.35 μA 이고 필도로 환산하면 220 $\mu\text{A}/\text{cm}^2$ 이다. 이것은 참고 문헌 [10]에서 보고된 $2 \times 10^{13} \text{ cm}^{-2}$ 의 boron을 20 keV의 에너지로 이온주입한 경우의 약 500 $\mu\text{A}/\text{cm}^2$ 보다 작은 값이다. 이 결과는 As' 이온 주입량을 $2 \times 10^{16} \text{ cm}^{-2}$ 로 했을 때 접합의 균일성이 좋기 때문인 것으로 생각된다. 그룹 C의 결과에서는 열처리 온도 증가에 따라 누설전류가 감소한다. 그룹 D에서는 열처리 시간 증가에 누설전류의 감소를 보인다.

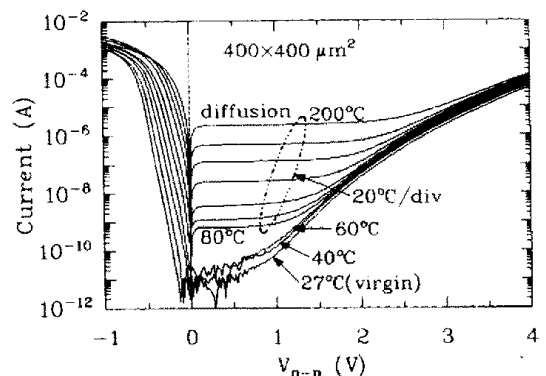


Fig.4 I-V characteristics of the polysilicon/silicon (n') - silicon (p) diode (area: $400 \times 400 \mu\text{m}^2$) with ambient temperature.

그림 4는 면적이 $400 \times 400 \mu\text{m}^2$ 인 다이오드의 온도에 따른 I-V 특성 곡선이다. 측정에 사용된 샘플은 $2 \times 10^{16} \text{cm}^{-2}$ 의 As⁺ 도우즈와 1100 °C, 10 초의 RTA 열처리 조건을 갖는다. 제작된 다이오드의 n 값은 거의 '1'이다. 저온에서 계산된 활성 에너지는 $E_g/2$ eV (E_g : bandgap 에너지) 정도이며, 고온에서는 E_g eV로 확산 전류임을 보여 주었다. 함몰된 구조를 갖는 본 소자는 선정된 공정조건에서 기존의 planar형 소자와 거의 같은 경향을 보여주었다.

5. 함몰형 n⁺-p 다이오드의 응용

앞서 언급한 구조와 공정조건을 단일층 폴리실리콘을 에미터로 갖는 고성능 n-p-n 바이폴라 소자에 적용하였다. As⁺ 이온주입량은 $1.5 \times 10^{16} \text{cm}^{-2}$ 이며, RTA 조건은 1100 °C, 10 초이다. 함몰형 구조는 바이폴라 소자의 외부 p⁺ 영역과 n⁺ 영역 사이의 간격을 자기 정렬시키므로 외부 베이스 저항이 줄어든다. $1.5 \times 6.0 \mu\text{m}^2$ 의 에미터 면적과 1개의 베이스 콘택(접촉)을 갖는 표준 바이폴라 소자에서 Ning의 방법^[11]으로 측정된 외부 베이스 저항은 약 30 Ω으로 1.5 μm 설계 규칙을 사용하는 자기 정렬되지 않는 경우의 약 100 Ω에 비해 낮은 값을 보여준다. 그림 5는 제작된 바이폴라 소자에서 측정된 Gummel plot이며, 최대 전류이득은 약 50이다. V_E 가 -0.5V 이하의 영역에서 n 값은 거의 2.8 정도이고 그 이상의 영역에서는 n 값이 1.1로 기존의 정상동작하는 바이폴라 소자에서와 같은 결과를 얻었다.

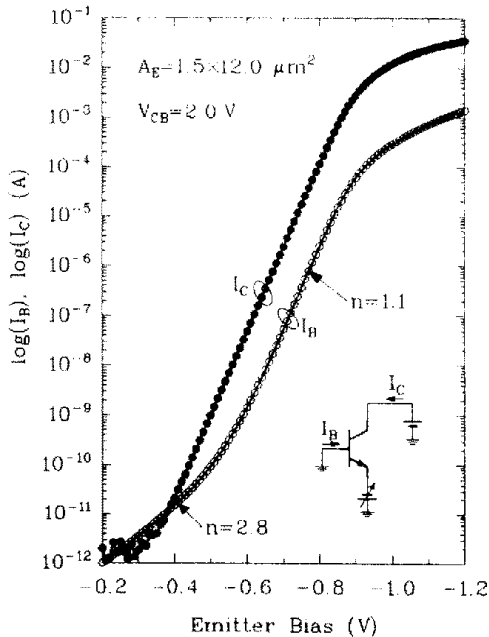


Fig.5 Measured Gummel plot of the bipolar device with the recessed polysilicon/silicon (n⁺ emitter) - silicon (p base) structure.

6. 결론

고성능 바이폴라 소자의 자기정렬 에미터-베이스 구조에 적용 가능한 n⁺-p 접합 다이오드를 고안하고 함몰(recess) 산화 기술을 이용하여 제작하였다. 샘플의 제작시 실리콘내 얇은 n⁺ 영역의 도핑을 위한 확산원으로 사용되는 폴리실리콘의 증착 및 도우핑을 위한 이온 주입량 그리고 열처리 조건에 따른 제작된 n⁺-p 접합의 SIMS 도우핑 프로파일 및 전기적 특성을 분석하였다. 본 실험과 같이 폴리실리콘의 두께가 200 nm인 경우 As⁺의 도우즈는 $1 \sim 2 \times 10^{16} \text{cm}^{-2}$ 정도 그리고 1100 °C, 10 초간의 RTA 열처리를 했을 때 양질의 접합 특성을 얻었다. 함몰형 구조와 결정된 공정 조건을 단일층 폴리실리콘을 사용하는 n-p-n 바이폴라 소자에 적용하여 낮은 외부 베이스 저항과 양호한 I-V 특성을 얻었다.

참고문헌

- [1] S. Konaka et al., "A 30ps Si Bipolar IC using super self-aligned process technology," IEEE Trans. Electron Devices, vol.33, no.4, pp. 526-531, April 1986.
- [2] J. Kirchgessner et al., "An advanced 0.4μm BiCMOS technology for high performance ASIC applications," in IEDM Tech. Dig., December 1991, pp. 97-100.
- [3] T. H. Ning and R. D. Isaac, "Effect of emitter contact on current gain of silicon bipolar devices," IEEE Trans. Electron Devices, vol.27, no.11, pp. 2051-2055, Nov. 1980.
- [4] G. L. Patton et al., "Physics, technology, and modeling of polysilicon emitter contacts for VLSI bipolar transistors," IEEE Trans. Electron Devices, vol.33, no.11, pp. 1754-1768, Nov. 1986.
- [5] Jong Ho Lee, Optimization of collector doping profile in BiCMOS structure, Ph.D Dissertation, Seoul National University, August 1993.
- [6] J. L. Hoyt et al., "Lateral uniformity of n⁺/p junctions formed by arsenic diffusion from epitaxially aligned polycrystalline silicon on silicon," J. Electrochem. Soc., vol.135, no.7, pp. 1773-1779, July 1988.
- [7] J. N. Burghartz et al., "Novel in-situ doped polysilicon emitter process with buried diffusion source (BDS)," IEEE EDL, vol.12, no.12, pp. 679-681, December 1991.
- [8] Ian E. Getreu, Modeling the Bipolar Transistors, Elsevier Scientific Publishing Company 1978.
- [9] D. D. Tang and E. Hackbarth, "Junction degradation in bipolar transistors and the reliability imposed constraints to scaling and design," IEEE Trans. Electron Devices, vol.35, no.12, pp. 2101-2107, Dec. 1988.
- [10] J. M. C. Stork, and R. D. Isaac, "Tunneling in base-emitter junctions," IEEE Trans. Electron Devices, vol.30, no.11, pp. 1527-1534, Nov. 1983.
- [11] T. H. Ning and D. D. Tang, "Method for determining the emitter and base series resistances of bipolar transistors", IEEE Trans. Electron Devices, vol.31, no.4, pp. 409-412, April 1984.

Group	A		B		C		D		standard
	(1)	(2)	(1)	(2)	(1)	(2)	(1)	(2)	
min.	1.134	1.272	1.311	1.011	-	0.999	1.322	0.999	0.999
n ⁺ ave.	1.275	1.320	1.471	1.012	-	1.020	1.394	1.069	1.196
max.	1.343	1.387	1.665	1.017	-	1.062	1.435	1.127	1.322
R _c [*] (Ω)	21.2	29.3	533.6	15.1	643.4	14.0	233.2	14.4	15.8
ave./σ)	(1.8)	(6.5)	(33.7)	(0.58)	(11.5)	(0.98)	(196.8)	(0.62)	(1.2)
I _r ⁺ (μA)	10.82	13.9	1500.0	0.35	8580.0	0.23	970.3	0.64	1.04
ave./σ)	(8.5)	(19.4)	(481.2)	(0.17)	(1610.0)	(0.23)	(339.2)	(0.44)	(1.65)

* Diode area : 2μm × 5μm, + Diode area : 400μm × 400μm, V_R=2.5 V

Table 2. Ideality factor (n) of diode, contact resistance (R_c), and reverse leakage current with the specified groups.