

Scale-down EEPROM을 위한 MONOS 구조의 기억특성에 관한 연구 (A Study on the Memory Characteristics of MONOS Structure for the Scale-down EEPROM)

이상배*, 김주열, 이상은, 김선주, 서광열
광운대학교 전자재료공학과

Sang-bae Yi*, Ju Youl Kim, Sang Eun Lee, Seon-Ju Kim, Kwang-Yell Seo
Department of Electronic Materials Engineering, Kwangwoon University

ABSTRACT

For scale-down EEPROM, MONOS structures with the different thicknesses of gate insulators, are fabricated and the memory characteristics, such as switching and retention characteristics are investigated. As a results, the devices with the top oxide of 20Å thick were deteriorated in retentivity. However, 11V-programmable voltage for $\Delta V_{FB}=4V$ and 10-year data retention were achieved in MONOS structure with the top oxide of 50 Å thick and nitride of 45Å thick.

1. 서론

EEPROM(electrically erasable and programmable random access memory)은 IC 카드, 휴대폰, 원격조정기, 그리고 마이크로 컴퓨터 시스템등 그 응용성이 다양해지고 있다.^[1] 앞으로 소비전력이 더 적은 고집적 EEPROM이 실현되면 notebook 이나 laptop 컴퓨터에서의 이용을 비롯하여 그 응용범위는 더욱 확장될 것이다. EEPROM의 고집적화를 위해서 소자의 scale-down은 필연적이다. 따라서 제작이 용이하고 사용온도의 범위가 넓으며, 고신뢰성 및 내방사성이 양호하여 일찍부터 인공위성 및 군사용으로 이용되어온 MNOS(metal-nitride-oxide-semiconductor) 구조를 개량한 MONOS(metal-oxide-nitride-oxide-semiconductor) 구조는 MNOS 소자의 장점들 이외에도 5V 이하의 프로그래머블 전압이 가능하다는 점에서 고집적, 고신뢰성의 차세대 full-featured EEPROM으로써 최근에 많은 관심을 모으고 있다.

본 연구는 scale-down EEPROM을 위해서 질화막 및

상층 산화막(top oxide or blocking)의 두께가 각각 다른 커패시터형 MONOS 구조들을 제작한 다음, 각소자들에 대한 스위칭특성, memory window 크기, 그리고 기억유지 특성과 같은 동작특성을 조사하였다.

2. 실험

2-1. 시편제작

커패시터형 MONOS 구조를 만들기 위해서 사용한 웨이퍼는 비저항이 6~9 Ω -cm인 (100)방향의 p형 실리콘 반도체이다. 터널링 산화막(tunneling oxide)은 950°C, 상압에서 질소로 희석시킨 산소(nitrogen-diluted oxygen, O₂:N₂=15 l/min:0.5 l/min)를 사용해서 웨이퍼를 30분간 열산화시켜 성장시켰으며, 그 두께는 24Å이다. 질화막은 750°C에서 SiH₂Cl₂와 NH₃의 혼합가스를 반응시켜 LPCVD 방법으로 터널링 산화막위에 퇴적시켰다. 이때, 흘러준 SiH₂Cl₂ 및 NH₃ 가스의 유량은 각각 30sccm, 450sccm이었으며, 퇴적시간을 5분30초, 12분으로 다르게 하므로써 질화막 두께를 변화시켰고, 이렇게 퇴적시킨 질화막의 두께는 각각 70Å, 140Å이었다. 상층 산화막은 950°C의 상압에서 H₂:O₂=5 l/min:8 l/min인 혼합가스를 사용해서 질화막을 열산화시키므로써 성장시켰다. 상층 산화막의 두께 역시 산화시간을 다르게 하여 변화시켰다. 상층 산화막 성장후 400°C의 H₂ 분위기에서 30분간 웨이퍼를 열처리하였다.

게이트전극을 위한 metal은 우선 MoSi₂를 4mTorr에서 스퍼터링 방법으로 퇴적시킨 다음, 그위에 다시 Cu가 0.5%, Si가 1%가 함유된 Al을 5mTorr에서 동일한 방법으로 퇴적시킨 이중구조로써, 그 두께는 각각 400Å, 7500Å이다. 이것은 junction spike를 방지하고, step coverage를

향상시키기 위한 것이다. Metal 공정후 photolithography 공정을 통해 원형의 게이트전극을 형성하였다. 이렇게 제작한 MONOS 구조들의 사양 및 단면도는 각각 표 1 및 그림 1과 같다.

Table 1. Samples used in experimental

Sample	Tunneling oxide	Nitride	Top oxide
#1 MONOS	24Å	58Å	20Å
#2 MONOS	24Å	132Å	20Å
#3 MONOS	24Å	45Å	50Å

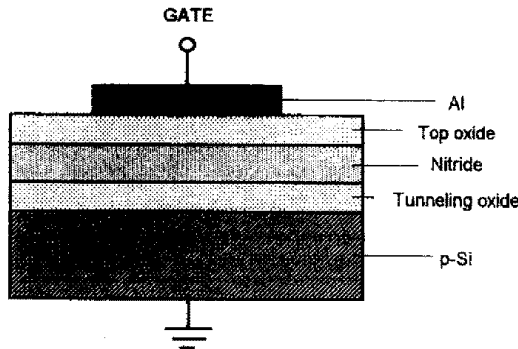


Fig. 1 Cross section of MONOS structure

2-2. 측정

MONOS 소자의 스위칭 특성은 기록(write-in) 펄스전압의 크기 및 폭에 따른 flatband 전압의 이동량을 측정함으로써, 기억유지특성은 기록 및 소거전압을 인가한 후 경과 시간에 따른 flatband 전압을 측정하여 조사하였다. 이때, flatband 전압은 1MHz의 고주파 C-V곡선을 측정하여 구하였다.

3. 결과 및 고찰

질화막 및 상층 산화막 두께가 각각 140Å, 20Å인 #1 MONOS구조를 $V_E=14V$ 인 양(+)의 전압을 10초간 인가하여 측정 초기조건(flatband 전압을 최대로 (+)방향으로 이동시킨 상태)을 조정한다. 그런다음, 크기 및 폭이 각각 다른 기록펄스전압 V_w 를 인가하고 각각 고주파 C-V곡선을 측정하여 flatband 전압의 이동량을 구하므로써 펄스전압의 폭이 다를 때 펄스폭에 따른 flatband 전압의 이동량을 조사하였으며, 그 결과는 그림 2와 같다. 그림으로 부터 보는 바와 $\Delta V_{FB}=4.4V$ 에서 포화하였으며 펄스 폭이 $t_w=1msec$ 인 경우 이와같은 최대 memory window 크기를 얻기 위해서 펄스폭은 $V_w=-11V$ 임을 알 수 있다.

질화막 및 상층 산화막 두께가 각각 70Å, 20Å인 #2 MONOS구조인 경우, 스위칭특성은 그림 3과 같다. 그림으로 부터 알 수 있듯이 최대 memory window 크기는 $\Delta V_{FB,max}=2.2V$ 로 상당히 작아졌다. 또한 펄스폭이 $t_w=1msec$ 인 경우 펄스폭을 $V_w=-9V$ 로 하였을 때 최대 memory window 크기를 얻을 수 있었다. 그러나 그림 2와 그림 3의 스위칭특성을 비교하면 #1 MONOS구조가 양호함을 알 수 있다.

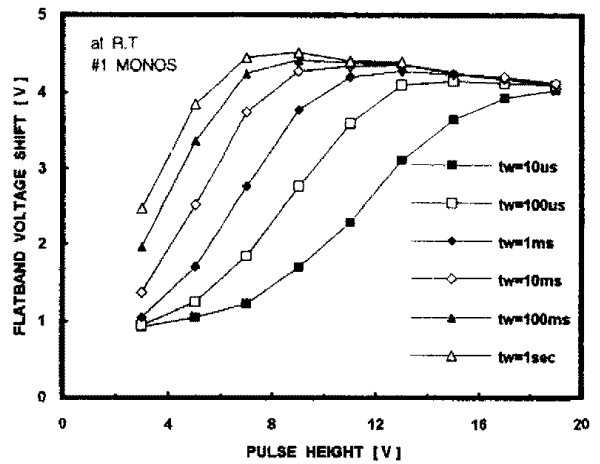


Fig. 2 Switching characteristics for the MONOS structure with top oxide 20Å thick and nitride 58Å thick

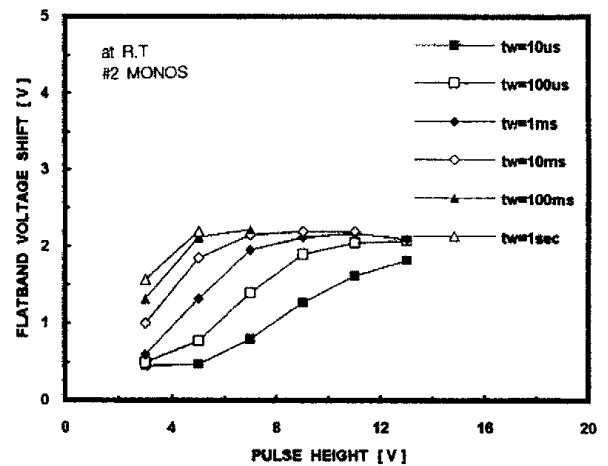


Fig. 3 Switching characteristics for the MONOS structure with top oxide 20Å thick and nitride 132Å thick

#1 MONOS구조의 측정 초기상태($V_{FB}=1.4V$)를 조정하고 $V_w=-9V$, $t_w=1sec$ 인 펄스전압을 게이트에 인가한 후 소자의 게이트와 기판을 단락시킨 채 암상자에 넣어 상온에 방치한 후, 경과 시간에 따른 flatband 전압을 측정하여 기록상태에서의 기억유지특성을 구하였다. 그 결과는 그림 4의 하단부 "◇"와 같다. 이번에는 $V_{FB}=3V$ 로하고 $V_B=14V$, $t_B=1sec$ 인 펄스전압을 게이트에 인가한 후 위에서와 동일한 방법으로 소거상태에서의 기억유지특성을 조사하였으며 그 결과는 그림 4의 상단부 "◇"와 같다. #2 MONOS구조인 경우에 조사한 기록 및 소거상태에서의 기억유지특성 곡선은 그림 4의 "▲"와 같다.

그림으로 부터 알 수 있는 바와 같이 두 소자 모두 10년($3.2 \times 10^8 sec$)이 경과되면 그 기억상태를 판별할 수 없을 정도로 decay rate가 큼을 알 수 있다. 특히, 질화막의 두께가 70Å인 #2 MONOS구조인 경우 $10^7 sec$ 가 경과되면 기록상태가 모두 소멸됨을 알 수 있다.

질화막 및 상층 산화막 두께가 각각 70Å, 50Å인 #3 MONOS구조에 대해 위와 동일한 방법으로 기억유지특성

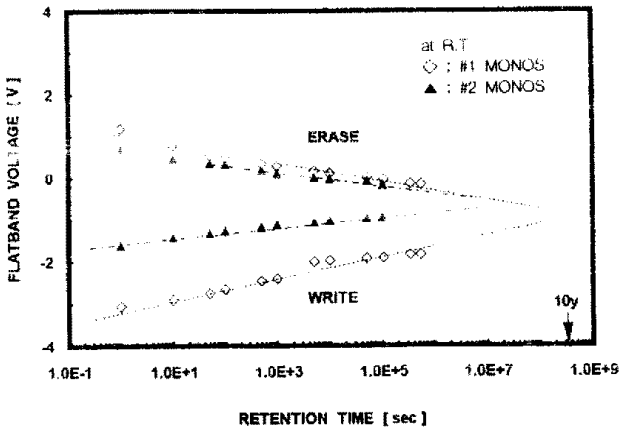


Fig. 4 Retention characteristics for different nitride thickness

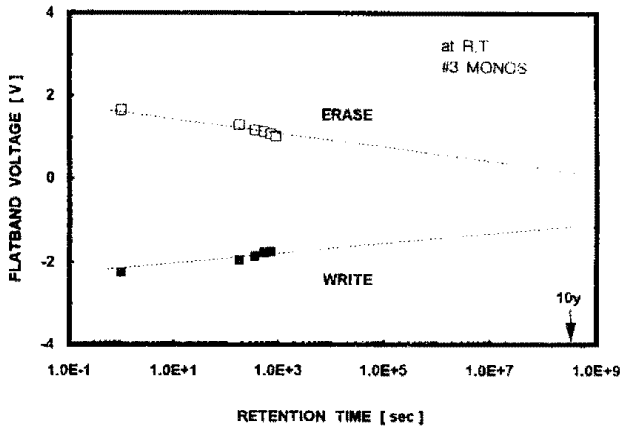


Fig. 5 Retention characteristics for the MONOS structure with top oxide 50Å thick and nitride 45Å thick

을 조사한 결과는 그림 5와 같다. 이때 소거 및 기록을 위해서는 $V_E=14V$, $t_E=1sec$, $V_W=-11V$, $t_W=10msec$ 인 펄스전압을 각각 인가하였다. 그림에서 보는 바와 같이 앞의 두 구조보다 기억유지특성이 상당히 향상됨을 알 수 있고, 10년 이상의 기록상태가 보장됨을 확인할 수 있다. 또한, 이 소자는 최대 memory window 크기가 $\Delta V_{FB,max}=4.0V$ 로서 질화막 두께가 140Å인 #1 MONOS구조와 거의 같다. 이것은 상층 산화막이 전위장벽으로서 충분한 역할을 할 수 있도록 두께를 50Å으로 증가시킴에 따라 게이트를 통한 전하의 주입을 막아주고, 질화막·상층산화막 계면에 생성된 트랩매문이라 생각된다.^{12, 31}

이상의 결과로 부터 상층 산화막의 두께를 50Å으로 두껍게 한 경우 질화막의 두께를 상대적으로 얇게 scale-down 하므로써 낮은 프로그래밍 전압, 큰 memory window, 그리고 10년 이상의 기억유지가 달성됨을 알 수 있다.

4. 결론

Scale-down EEPROM을 위해서 질화막 두께 및 상층 산화막 두께가 각각 다른 커패시터형 MONOS 기억소자를 제작하고 스위칭 특성 및 기억유지특성을 조사하였다. 상층 산화막 및 질화막이 각각 20Å, 140Å인 MONOS 구조인 경우 최대 memory window 크기는 $\Delta V_{FB,max}=4.3V$ 이었으며, 상층산화막의 두께는 20Å으로 동일하나 질화막 두께를 70Å으로 줄인 경우 $\Delta V_{FB,max}=2.2V$ 로 현저히 감소하였다. 더욱이 기억유지특성은 두 구조에서 모두 현저하게 나았다. 그러나 질화막의 두께를 70Å으로 하고 전위장벽으로써 충분히 역할할 수 있도록 상층 산화막의 두께를 50Å으로 두껍게 한 경우 $\Delta V_{FB,max}=4V$ 이었고 decay rate는 0.16V/decade로써 기록상태를 10년 이상 유지할 만큼 기억유지특성이 크게 향상되었다. 또한 $V_W=11V$, $t_W=10msec$ 인 펄스전압에 대해 memory window 크기는 $\Delta V_{FB}=3.4V$ 이었다.

참고문헌

1. S. Minami, et al., IEEE Trans. Electron Devices, Vol. 40, No. 11, pp. 2011~2017 (1993)
2. A. Roy, et al., Solid-State Electronics, Vol. 34, No.10, pp. 1083~1089 (1991)
3. E. Suzuki, et al., IEEE Trans. Electron Devices, Vol. ED-33, No. 2, pp. 214~217 (1988)