

분과초청 4

TiSi₂박막의 ULSI소자에의 응용 (Applications of the TiSi₂ film to ULSI devices)

김 영 옥
삼성전자(주) 반도체사업본부 반도체연구소

1. 서론

반도체소자의 고집적화로 transistor의 폴리실리콘 gate line의 저항, 얇은 접합에 의한 source, drain영역의 저항의 증가에 따른 반도체소자의 동작속도의 저하 및 contact특성의 열화등이 문제가 되고 있다. 이를 개선하기 위한 한 방법으로 이들 영역에 저항이 낮은 Ti-silicide를 적용하는 polycide gate, SALICIDE (Self-aligned silicide) 구조등이 있다. 본 강연에서는 Ti-silicide박막을 ULSI반도체소자에 응용할 경우 Ti-silicide박막의 열적안정성 및 transistor특성에 대해 지금까지 발표한 기초연구를 중심으로 개발현황과 향후전망에 대해 소개하고자 한다.

2. Ti-silicide박막의 열적안정성

본 연구에서는 sputter된 Ti박막을 하부의 실리콘과 고상반응시켜 Ti-silicide를 형성시켰다. Ti-silicide박막은 850°C이상의 열처리시 응집 (agglomeration) 에 의한 전기저항의 증가가 일어나 고온 공정이 많은 반도체소자에의 응용에 제한을 준다. 이러한 응집현상은 Fig. 1에서 얻어진 활성화에너지로 부터 실리콘의 자기확산이 주원인인 것으로 판단된다. 이러한 응집현상은 silicide박막내의 불순물의 종류와 함유량에도 영향을 받으나, 반도체소자의 제조과정에 silicide상하부에 존재하는 막의 물성에도 크게 의존한다. Fig. 2에 나타낸 것처럼 상부막 종류에 따라 sub-micron폭의 Ti-silicide 배선에서 현저한 열안정성의 차이를 보이고 있으며 이는 상부 절연막의 스트레스에 의한 creep현상으로서 이해 될수 있다 [1]. 하부 폴리실리콘의 경우는 표면에너지 (또는 silicide와의 계면에너지)에 따라 응집 거동이 다르다 [2, 3]. 이러한 응집현상을 이해하고 최적의 고상반응 조건을 확보하여 고온에서 저항을 안정되게 유지 함으로써 0.3 μ m의 미세한 배선에서 반도체소자의 제조공정에서 안정된 전기저항을 얻는 것이 가능함이 실험적으로 확인되었다.

3. Polycide gate에의 응용

silicide를 gate에 적용함으로써 소자의 동작속도가 크게 개선되나 silicid재료를 MOS transistor에 사용시 silicide를 구성하고 있는 금속원소의 빠른 확산에 의해 gate oxide가 열화되는 문제가 있다. Ti-polycide gate의 경우 그 현상이 매우 심각하며 고상반응 조건, 열처리 조건등에 따른 gate oxide 열화 정도를 Fig. 3에 나타내었다 [4]. 저온 고상반응과 안정된 C54구조의 TiSi₂를 형성시키고 gate구조의 최적화를 통해 안정된 gate oxide 특성을 얻을 수 있었다. 또 고온 열처리 과정에서 하지 폴리실리콘에서 TiSi₂박막으로의 dopant out-diffusion에 의한 거동도 transistor최적화 측면에서 매우 중요하다. Fig. 4에 그 한 예를 나타내었다. dopant out-diffusion에 의한 threshold voltage (Vth) 의 감소가 있다. 이러한 거동은 반도체소자 제조공정시 process integration관점에서 고려되어야할 하나의 물리적현상이라고 할 수 있다.

4. SALICIDE process에의 응용

SALICIDE공정은 gate뿐만 아니라 N/P (또는 P/N) junction이 형성되는 source, drain영역에도 silicide를 형성시켜 소자의 동작속도의 개선 뿐만아니라 shallow junction을 형성하는데 매우 유효한 수단이다. 그러나, 많은 고정변수로 인해, 전세계적으로 memory 소자에는 아직 응용에가 적다고 하겠다. 반도체소자에의 응용에 있어서 제한요소로서는 주로 dopant에 따른 silicide고상반응의 거동의 차이, dopant와의 상호작용에 의한 junction누설 전류 특성의 불안, gate와 source/drain에서의 단선동임이 확인 되었다. 그러나 향후 256M DRAM급 이상의 소자에서는 SALICIDE기술의 확보는 필수불가결하며 다양한 공정변수의 이해를 통한 know how축적이 중요하다.

5. 결론

반도체소자의 고집적화가 진행됨에 따라 silicide의 응용이 확대되고 있는 가운데 silicide중에서 저항이 가장 낮은 $TiSi_2$ 박막의 ULSI 반도체소자에 응용에 대해 소개했다. $TiSi_2$ 박막의 열적거동 연구 및 polycide gate, SALICIDE에의 적용을 통해 ULSI 반도체소자에 응용 가능성을 확인할 수 있었다.

REFERENCES

1. Y.W. Kim et al., Mater. Res. Soc. Proceeding, 317 (1993) to be published.
2. T.P. Nolan et al., J. Appl. Phys., 71 (1992) 720
3. Y.W. Kim et al., Mater. Res. Soc. Proceeding, 280 (1992) 599
4. N.I. Lee et al., Ext. Abs. 1993 Int. Conf. on Solid State Device and Materials, (1993) 832

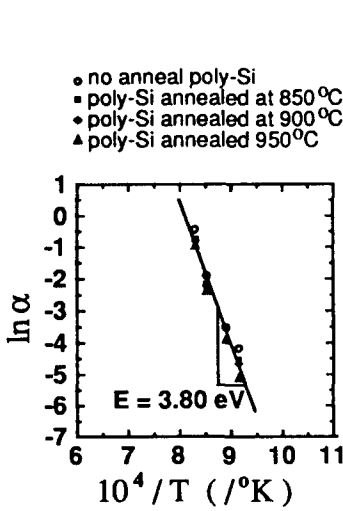


Fig. 1 $\ln \alpha$ versus $1/T$ for $TiSi_2$ films sandwiched between the USG film and the poly-Si film with or without anneal.

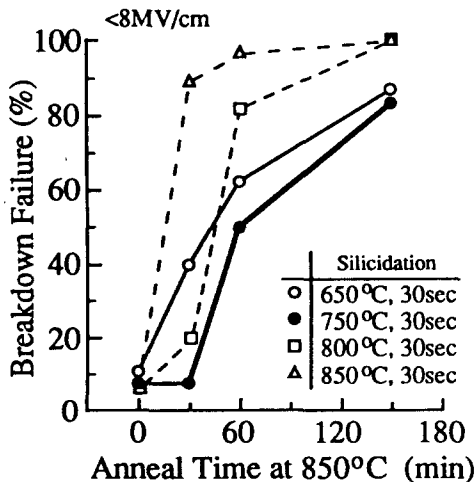


Fig. 3 Changes of the gate oxide breakdown failure with annealing time at $850^\circ C$ for the 1-step silicidation condition.

overcoat layer	PE-SiN	USG
width of $TiSi_2$		
0.55 μm	○—○	●—●
0.70 μm	□—□	■—■

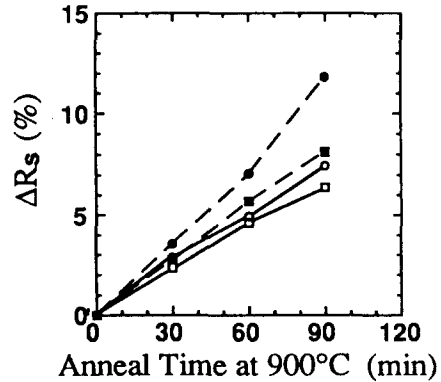


Fig. 2 The change of amount of ΔR_s with anneal time at $900^\circ C$ in each line width of Ti-polycide gate for different overcoating films. ΔR_s is the change in sheet resistance by annealing.

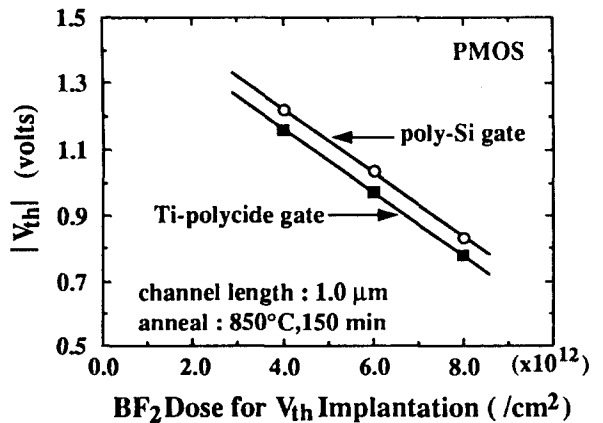


Fig. 4 Variations of V_{th} for PMOS transistor for the Ti-polycide gate and the poly-Si gate with amount of BF_2 implantation for V_{th} control.