

# 시뮬레이션을 이용한 반도체 수율 예측 모델

박 항 엽, 전 치 혁, 김 수 영, 홍 유 신

포항 공과 대학교 산업 공학과

반도체 산업에서 반도체 수율(yield) 예측은 상당히 중요한 요소로써 고려되고 있다. 정확한 수율 예측은 반도체 공정상의 문제점을 찾아 개선하는데 도움을 주는 한편, 공정에의 투입량을 산출하는데에도 중요한 요인이 되고 있다.

지난 30년간 반도체 산업의 경향은 점차로 칩(chip)의 크기가 증가하는 방향으로 전개되어왔고, 이에 따라 수율 예측은 웨이퍼(wafer)내의 결점(defect)수와 칩의 크기외에 결점이 얼마나 웨이퍼내에 모여있는 가를 나타내는 클러스터 지표(cluster index)가 중요한 파라미터로 제시되고 있다.

본 논문은 버스트니스(burstiness)라는 통신 분야의 개념을 이용하여 새로운 클러스터 지표를 제시하고, 시뮬레이션 기법을 이용한 웨이퍼 내의 결점 분포의 자료를 통하여 새로운 클러스터 지표의 특징 및 수율에 따른 패턴을 보여주고자 한다. 아울러 회귀 분석(regression analysis) 기법을 이용하여 수율 예측 모델을 제시하고 기존의 예측 모델과의 차이점을 분석하고자 한다.