'94 대한전기학회 하계학술대회 논문집(1994, 7, 21~ 23)

GTO 인버터를 사용한 무효전력 보상기의 개발

°최 남섭*, 조 국춘*, 정 구호*, 조 규형*, 홍 순욱**, 차 재덕**, 김 송웅**
(*) 한국 과학 기술원 전기및 전자공학과, (**)효성 중공업(주) 기술연구소

Development of Static VAR Compensator Using GTO Inverter

Nam S. Choi*, Guk C. Cho*, Gu H. Jung*, Gyu H. Cho*,
Soon W. Hong**, Jae D. Cha** and Song W. Kim**
(*)Dept. of Electrical Enginnering, KAIST,
(**) Hyosung Industries Co, Ltd, Rearch & Development Institute

ABSTRACT

A static VAR compensator using 100kVA three-level GTO voltage source inverter is presented for high voltage/high power applications. The phase angle of the inverter is controlled so as to compensate the reactive power of some load. The paper deals with the following topics; system description, circuit DQ modelling, main controller, power circuit.

1. 서 론

대부분의 산업용 설비가 유도성 부하를 사용하기 때문에 현 우리나라의 전력 시스템의 역률은 매우 낮은 실정이다. 이와 같이 낮은 역률에 의해 발전 및 송배전 설비의 용량이 증대되고 송배전 손실이 증가하는 문제점은 우리나라 전기 사업계가 해결해야 할 과제중의 하나이다. 그런데, 이러한 문제점을 해결하기 위하여, 발전소의 증설이나 부하조건의 규제보다 무효전력 보상시스템을 도입하는 것이 보다 현실적이고 경제적인 방안이라는 것이 일반적인 견해이다.

이에 본 연구는 추후 고압 대전력에 적용할 수 있는, 3-레벨 GTO 인버터를 사용한 인버터 방식의 100kVA급 무효전력 보상기를 개발하고 시스템의 구성과 모델링, 제어기의 설계, GTO 인버터의 구조등에 대하여 기술한다.

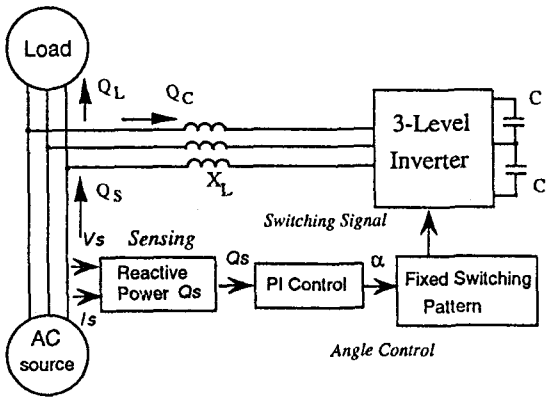


그림 1. 전체 시스템의 구성도

2. 전체 시스템 개요

무효전력 보상기의 전체 시스템의 블록도는 그림 1과 같다. 이러한 무효전력 보상기는 인버터의 직류측에 별도의 직류전원을 필요로 하지 않는데 이는 인버터의 위상각을 조절하여 필요한 유효전력을 DC 커패시터에 충전할 수 있기때문이다. 또한, 그림 1에서 3-레벨 인버터의 위상각 α를 조절하면 원하는 크기의 무효전력을 발생할 수 있는데, 이때 변조지수 Mi는 고정된 스위칭 패턴에 따라 일정한 값을 정하여 사용하게 된다. 즉, 그림 1에서 인버터에 대한 유일한 제어변수는 α가 되며, 현재 검출된 전원측의 무효전력량 Q_S가 0이 되도록, 부하에서 요구하는 VAR와 반대되는 같은 크기의 VAR를 발생시키도록 α를 양 또는 음으로 제어한다. 그림 2는 이러한 VAR 제어를 위한 폐루프 블록선도를 보여준다.

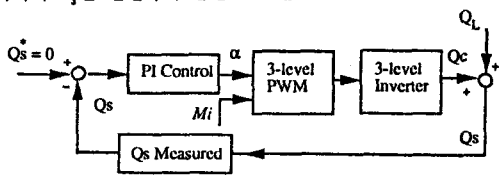
3. 무효전력 보상기의 모델링

그림 1에서 전원과 인버터의 스위칭 행렬 S를 나타내면

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = \sqrt{2/3}\, V_s \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - 2\pi/3) \\ \sin(\omega t + 2\pi/3) \end{bmatrix}, \qquad (1)$$

$$S = Mi \begin{bmatrix} \sin(\omega t + \alpha) \\ \sin(\omega t + \alpha - 2\pi/3) \\ \sin(\omega t + \alpha + 2\pi/3) \end{bmatrix}$$

여기서 V_s는 전원측의 선간 rms 전압이다.



Mi : 인버터의 Modulation index
α : 인버터의 위상각
Q_S^* : 전원 무효전력의 명령값
Qs : 전원측 무효전력의 측정값
Q_L : 부하의 무효전력
Qc : 인버터의 보상 무효전력

그림 2. 제어 블록 다이아그램

한편, abc축상의 3상 변수들을 qd축상의 변수로 변환하는 transform matrix K를

$$K=\sqrt{2/3}\begin{bmatrix}\cos(\omega t+\alpha) & \cos(\omega t+\alpha-2\pi/3) & \cos(\omega t+\alpha+2\pi/3)\\ \sin(\omega t+\alpha) & \sin(\omega t+\alpha-2\pi/3) & \sin(\omega t+\alpha+2\pi/3)\\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2}\end{bmatrix}$$

$$K^{-1}=K^{T}\ ,\quad x_{qdo}=Kx_{abc}\ .$$

로 정의하면 그림 3와 같은 circuit-DQ 변환된 등가회로를 얻을 수 있다. 그림 3에서 $Mi=\sqrt{2/3}\ d$ 이다.

그림 3의 회로를 DC 해석한 결과, 유효 전력 P와 무효 전력 Q는 다음과 같다.

$$P=\frac{V_s^2}{R_s}\frac{1-\cos2\alpha}{2}\ ,\quad Q=\frac{V_s^2}{R_s}\frac{\sin2\alpha}{2}\ . \qquad (2)$$

또, 위상각 α에 대한 무효 전력량 Q의 전달 함수 $G_Q = Q(s)/\alpha(s)$이면,

$$Q(s)=2CL^2s^3+4LCR_ss^2+[2C\{R_s^2+(\omega L)^2\}+D^2L]s+D^2R_s$$

$$\alpha(s)=V_s^2(2LC\,s^2+2R_sC\,s+D^2)\ .$$

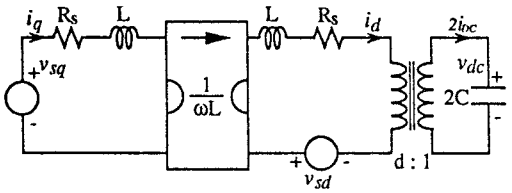


그림 3. 등가회로

4. 제 어 부

제어부는 크게 External Board와 VME Rack에 꽂혀있는 3장의 Board(DSP Board, Interface Board, Protection Board)와 시스템의 전면부에 부착되는 Panel Board, 그리고 DSP와 통신을 목적으로 한 PC로 구성되어 있다.

External Board는 시스템과 제어부를 연결시켜주는 교량 역할을 한다. 즉 GTO의 Gate신호 및 필요한 주변기의 제어신호를 시스템쪽으로 전달해 주며 시스템의 각 부위의 모든 필요한 정보(신호)들을 받아들여 DSP쪽으로 보내는 일을 한다.

DSP Board는 받아들인 신호들을 분석하여 시스템을 제어하는 핵심부분이다. 이 Board에는 제어를 위한 DSP56001 chip, 시간관리를 위한 타이머, 아날로그 신호를 디지탈로 바꾸는 ADC, 디지탈 신호를 아날로그 신호로 바꾸는 DAC 및 메모리로 구성되어 있다.

Protection Board는 시스템의 각 부위의 신호들을 External Board로부터 전달받아 시스템의 이상동작을 즉시 감지하여 시스템을 보호하는 일을 한다.

Interface Board는 DSP Board에서 만들어 내는 6-bit로 구성된 GTO의 Gate 신호를 decoding한 후에 짧은 펄스폭을 제거하여 External Board로 내보내는 일을 하며 또한 Protection Board에서 처리된 시스템의 상태신호들을 DSP56001의 data bus에 연결시켜주어 DSP56001 chip으로 보낸다.

Panel Board는 시스템의 전면부에 부착되어 시스템의 상태를 표시하는 일을 한다. 시스템의 모든 상태는 DSP Board의 DSP56001로부터 전송되며 Panel Board상에 있는

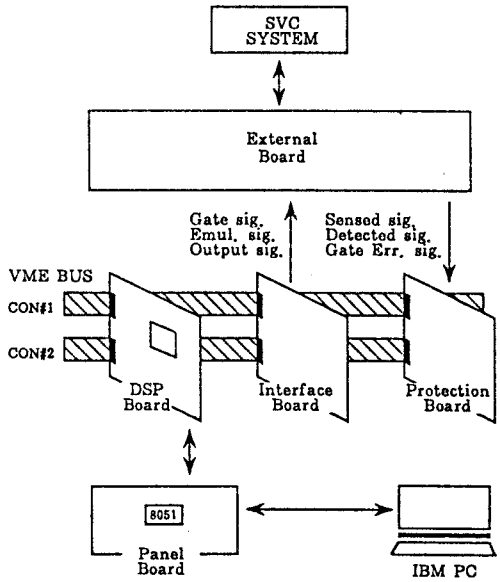


그림 4. 제어부의 구성

8051 프로세서가 송신하고 처리하여 전압, 전류, PF(Power Factor) 및 제반 상태를 표시한다. 또한 동작 스위치 및 긴급스위치(Emergency Sw.)도 포함되어 있다. Panel Board에 표시되는 신호의 양에 제한이 따르기 때문에 PC를 Panel Board에 연결함으로써 DSP 프로세서와 통신을 하여 더 많은 신호들의 상태를 파악할 수 있도록 하였다.

5. 전 력 부

대용량 인버터에 주로 이용되는 GTO는 스위칭 속도가 느리고 게이트 구동이 어려우며 턴온할 때 전류의 상승율(di/dt)과 턴오프할 때 전압의 상승율(dv/dt)을 제한해 주는 스너버가 반드시 요구된다. 그림 5는 그러한 스너버 회로를 포함한 GTO 3-레벨 인버터의 한 pole을 나타낸다.

L_{s1}과 L_{s2}는 모든 GTO의 di/dt와 모든 다이오드의 di/dt를 제한하여 GTO의 di/dt 문제를 해결하면서, 다이오드의 역회복 특성으로 인한 문제를 완화하는 역할을 한다. C_{s1}과 C_{s4}는 GTO의 dv/dt를 제한하기 위한 것으로 C_{s1}은 S_1과 S_3의 dv/dt를 제한하고 C_{s4}는 S_2와 S_4의 dv/dt를 제한한다. V_{z1}과 V_{z2}는 두가지 스너버의 에너지를 회생하는 전압원으로 회생에너지가 크면 DC/DC 컨버터를 이용해 입력측으로 그 에너지를 전달할 수도 있고, 회생에너지가 작으면 저항을 이용해 소모시킬 수도 있다. C_{s1}과 C_{s4}의 에너지는 S_1과 S_4의 양단전압이 감소하면 L_{s1}과 L_{s2}를 통하여 V_{z1}과 V_{z2}에 전달된다.

한편, 대용량 인버터는 구조물 자체가 크기 때문에 배선이 길어져서 배선이 갖는 인덕턴스를 무시할 수가 없다. 즉 C_{s1}과 C_{s4}가 S_1과 S_4의 dv/dt는 잘 제한해 주지만, C_{s1}과 C_{s3} 사이와 C_{s2}와 C_{s4} 사이에는 S_3와 S_2의 dv/dt를 제한하기 위한 배선의 길이가 길어서 배선 인덕턴스와 GTO의 애노드-캐서드 간의 커패시터(C_{AK})가 공진을 일으켜 S_2와 S_3의 dv/dt가 최대값을 넘을 수도 있다. 이와 같은 문제를 완화하기 위한 보조스너버가 그림 5의 S_2와 S_3 양단에 추가한 RCD 스너버이다.

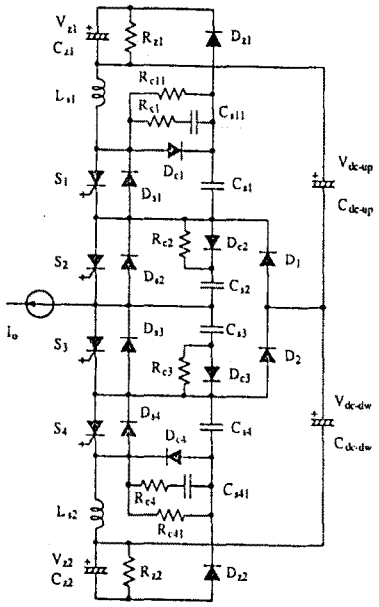


그림 5. GTO 3-레벨 인버터의 한 pole.

또한, L_{s1}과 L_{s2}에 흐르던 전류가 V_{z1}과 V_{z2}를 통해 흐른후 D_{c1}과 D_{c4}가 턴오프할때 그 역회복 특성으로 인한 큰 역전류가 흐르게 된다. 이 역전류가 S_1과 S_4의 C_{AK}와 공진을 일으켜 GTO에 과도한 역전압이 인가되는 현상이 발생한다. 이 공진을 완화시키기 위한 스너버가 바로 D_{c1}과 D_{c4} 양단의 RC 스너버이다.

6. 실 험

실험은 먼저 인버터 단독의 open-loop test를 거쳐 제2장에서 모델링된 특성을 확인하고, 이어 PI제어기를 가동시켜 그림 6과 같이 closed-loop 특성이 개선되는 것을 확인하였다. 여기서 실험조건은 다음과 같다; f=60Hz, V_S = 550V, R_S = 0.4Ω, linked reactor=10mH, DC-side capacitor=1000uF, Mi = 1.2.
그림 7은 개발된 무효전력 보상기의 외관을 보이고 있다.

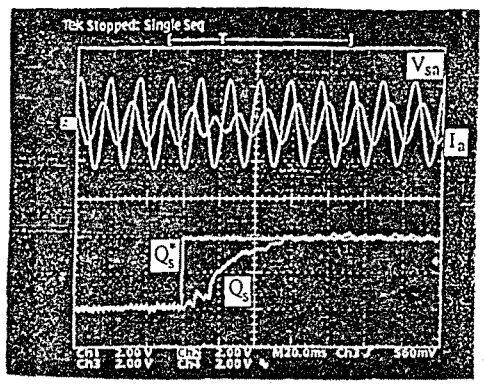


그림 6. Q_s^* 가 step change(Q_s : -20kVA - +20kVA) 했을 때의 과도응답, 상전압 Vsa: 400V/div, 상전류 Ia: 60A/div.

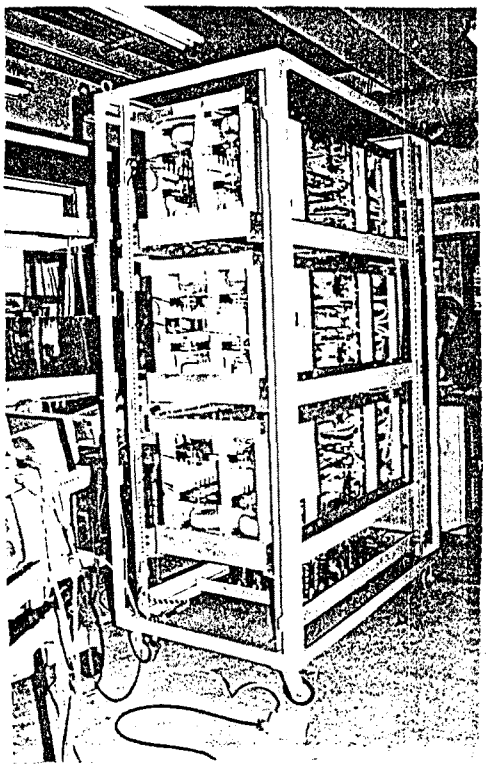


그림 7. 개발된 100KVA급 무효전력 보상기의 외관.

7. 결 론

본 연구에서는 100kVA급 무효전력 보상기를 개발함에 있어 3-레벨 GTO 인버터를 사용하였다. 이를 위해 먼저, circuit-DQ 변환을 통하여 시스템을 명확히 모델링하였고, 이로부터 원하는 바 정적/동적 특성을 갖는 제어기를 설계할 수 있었다. 또, GTO 인버터에 적합한 스너버를 도입하여 견고하고 안정된 출력을 얻을 수 있었다.

* 본 연구는 상공부 주관 생산기술발전 5개년 계획에 의거 제조업 경쟁력 강화를 위하여 한국전력공사 지원자금으로 시행한 기술개발사업과제 (참여기업: 효성 중공업(주)) "3.3kV 1MVAR Static VAR Compensator의 개발"의 일부이다.

참 고 문 헌

[1] Nam S. Choi, Guk C. Cho and Gyu H. Cho, "*Modeling and Analysis of Multilevel Voltage Source Inverter Applied as a Static Var Compensator*", International Journal of Electronics, Vol. 75, No. 5, pp. 1015-1034, 1993.

[2] 기술개발사업계획서, "*3.3KV 1 MVAR Static VAR Compensator 개발*", 1991.11, KAIST

[3] Luis T. Moran, Phoivos D. Ziogas, Geza Joos, "*Analysis and Design of a Three-Phase Synchronous Solid-State Var*", IEEE Trans. on Industry Applications Vol.25, No.4, pp. 598-608, July/August 1989.