

3-레벨 GTO 인버터를 위한 과전압 제한회로 설계

서범석*, 현동석
한양대학교 전기공학과

A Circuit Design for Clamping an Overvoltage in Three-level GTO Inverters

Bum-Seok Suh* and Dong-Seok Hyun
Dept. of Electrical Engineering, Hanyang University

Abstract—This paper presents a circuit design for clamping the overvoltages across the GTOs in three-level GTO inverters. The proposed circuit has two roles as follows; one is to minimize the power dissipation in each GTO. It can be achieved by clamping the overvoltage to half that of the DC-link voltage as exactly as possible. The other is to get blocking voltage balancing between the inner GTOs and the outer GTOs.

1. 서론

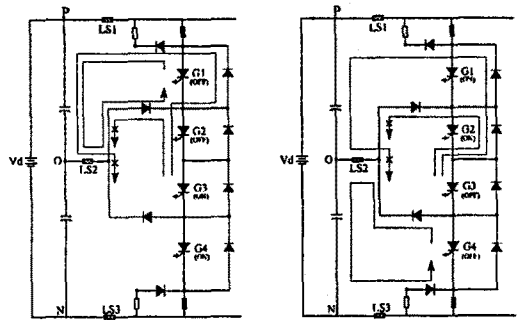
대용량 GTO 인버터에서 GTO의 스위칭은 소자에서 야기되는 전력손실의 제한과 과도상태 안전동작 조건에 세심한 주의를 필요로 한다. 이는 GTO 인버터의 신뢰성 확보를 위해 반드시 수행되어야만 하는 사항으로 일반적으로 다음과 같은 3가지 종류의 스너버 회로가 사용되고 있다[3-4].

- 1) 직렬 인덕턴스를 사용한다; GTO를 턴-온 di/dt 정격 내에서 동작시키고, GTO의 턴-온 과도상태 전류와 전압의 교차에 의해서 야기되는 스위칭 손실을 줄이고, 역병렬 다이오드의 역회복 전류를 제한시키기 위함이다.
- 2) 병렬 커패시터를 사용한다; GTO의 dv/dt 정격 초과를 방지하고, 턴-오프 과도상태에서 야기되는 스위칭 손실을 줄이고, 턴-오프시 발생하는 과전압을 줄이기 위함이다.
- 3) 부가적인 비교적 큰 용량의 축적 커패시터를 사용한다; 턴-오프시 과전압의 크기를 합당한 값 이내로 제한시키기 위함이다.

그러나 아직까지 3-레벨 GTO 인버터에 적용할 수 있는 과전압 제한회로는 존재하지 않고 있는데[1-2], 3-레벨 인버터 구조에서 과전압을 제한시킬 수 있는 회로의 개발은 다음과 같은 관점에서 매우 중요하다.

- 외측 소자들보다 내측 소자들의 차단전압이 더 크게 된다 ; 과전압 발생시 외측소자들은 독립적인 방전회로가 구성이 되어 정상상태 차단전압이 항상 $V_d/2$ 로 유지가 되지만, 내측 소자들은 이러한 회로가 존재하지 않아 턴-오프시 차단전압이 $(V_d+2V_{ov})/4$ 가 된다. 그림 1에서 설명되고 있다. 따라서 3-레벨 인버터구조에서는 과전압의 크기에 비례해서 내측 소자들이 외측 소자들보다 차단전압이 더 크게 되는 불균형적인 특성이 발생하게 된다.
- GTO의 턴-오프시 차단전압의 크기는 애노드 후미전류의 존재 때문에 그림 2에서처럼 스위칭 손실의 비례적인 증가를 야기시킨다. 특히 내측 소자들은 외측 소자들보다 도통 구간이 더욱 많은데, 턴-오프시 손실도 더 증가하게 되므로 GTO에서의 전력손실 측면에서 과전압의 제한은 매우 중요시 될 수 있다.

본 논문에서는 3-레벨 GTO인버터에 적용할 수 있는 과전압 제한회로를 제안하고 있으며, 제안된 회로의 동작원리와 파라메타 설계절차에 대해 자세히 기술한다.



(a) 상단 내측 소자의 경우 (b) 하단 내측 소자의 경우
그림 1. 내측 소자들에 인가되는 과도한 차단전압

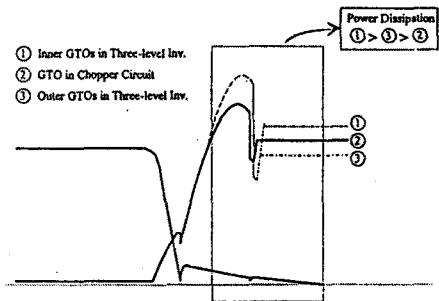


그림 2. 차단전압에 따른 GTO 턴-오프 과도상태시 발생하는 스위칭 전력손실 비교

2. 제안된 스너버 회로와 과전압 제한회로

그림 3은 본 논문에서 제안하고 있는 턴-오프 스너버회로의 구성과 과전압 제한회로를 갖고 있는 3-레벨 GTO인버터 구조를 나타내고 있다. 3-레벨 인버터에서는 27개의 이용가능한 스위칭 상태가 존재하는데 이러한 경우에도 G2와 G3가 동시에 턴-오프하는 경우가 없기 때문에, 두 소자는 공통으로 1개의 RCD스너버를 사용할 수 있다. 물론 스너버회로의 효과는 개별적으로 부가한 경우와 동일한다. $Cov1$ 은 G2와 G4의 과전압을 제한시킬 수 있는 커패시터이며 $Cov2$ 는 G1과 G3를 위한 것이다. 각각의

동작원리가 그림 4와 5에서 설명되고 있다. R1은 인덕턴스 L1와 Cov2의 축적에너지를 방전시키기 위한 저항이고 R2는 L2와 Cov1의 방전저항이다.

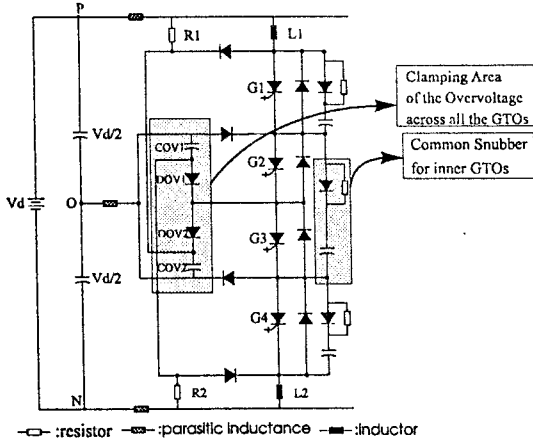


그림 3. 제한된 RCD 스너버회로 정렬과 과전압 제한회로

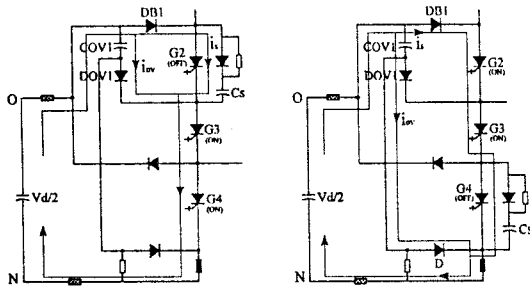


그림 4. G2와 G4에 인가되는 과전압 제한회로 동작원리

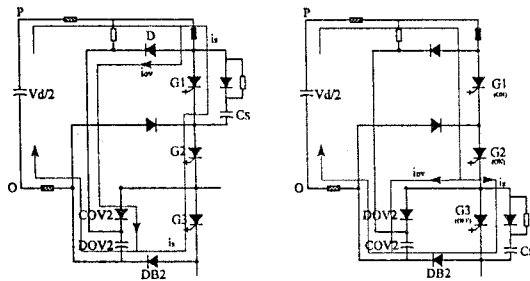
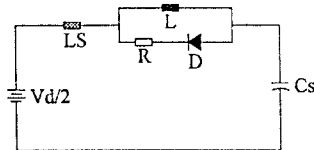


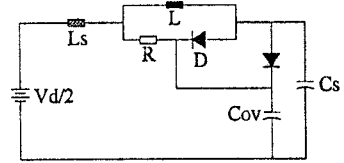
그림 5. G1과 G3에 인가되는 과전압 제한회로 동작원리

3. 파라메타 설계결차

먼저, 사용하는 GTO와 인버터 특성을 고려하여 최악의 조건에서 di/dt제한용 인덕턴스 L과 dv/dt제한용의 커패시터 Cs를 결정한다.



(a)



(b)

그림 6. 최대 과전압을 계산하는데 이용할 수 있는 등가회로

그림 6의 (a)와 (b)는 과전압 제한용 커패시터 Cov가 있는 경우와 없는 경우에 턴-오프시 최대 과전압을 계산하기 위한 등가회로이다. 각 등가회로에는 dv/dt제한용의 스너버 커패시터 Cs가 포함되어 있으며, 그림 6(b)를 위한 회로방정식을 구하면 다음과 같은데 이는 등가회로 (a)에 대해서도 적용할 수 있다.

$$\begin{aligned} \frac{V_d}{2} &= V_{Ls} + V_L + V_C \\ &= \frac{L}{R} [L_s \cdot (C_{ov} + C_s) \cdot V_c''' + (L_s + L) \cdot (C_{ov} + C_s) \cdot V_c'' \\ &\quad + \frac{L}{R} V_c' + V_c \\ &= K_1 V_c''' + K_2 V_c'' + K_3 V_c' + V_c \end{aligned}$$

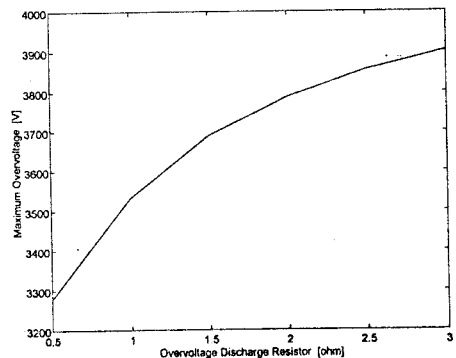
이에 대한 상태방정식은 다음과 같다.

$$\begin{bmatrix} \dot{X}_1 \\ \dot{X}_2 \\ \dot{X}_3 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ -\frac{1}{K_1} & -\frac{K_2}{K_1} & -\frac{K_3}{K_1} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ \frac{1}{K_1} \end{bmatrix} \frac{V_d}{2}$$

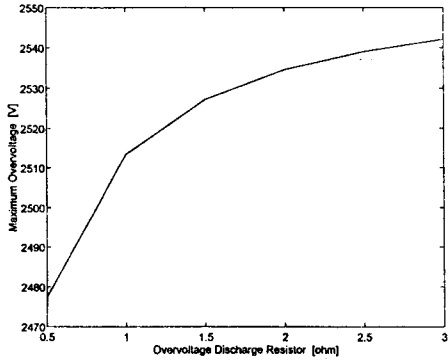
$$y = [1 \ 0 \ 0]X + [0] \frac{V_d}{2}, \quad X_0 = \begin{bmatrix} \frac{V_d}{2} \\ \frac{L}{R} \\ C_s \\ 0 \end{bmatrix}$$

where, $x_1 = v_c, x_2 = \dot{x}_1, x_3 = \ddot{x}_1$

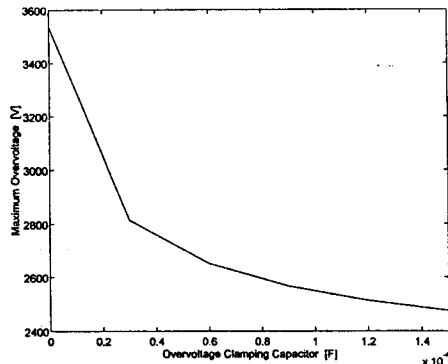
그림 7(a)는 그림 6(a)의 등가회로에서 $L_s=1\mu H, L=5\mu H, C_s=6\mu F$ 인 경우에 R의 변화에 따른 최대 과전압의 크기를 보여준다. 그림 7(b)는 그림 6(b)의 등가회로에서 $Cov=120\mu F$ 인 경우에 R의 변화에 따른 최대 과전압의 크기이다. 그림 7(c)는 $R=1\Omega$ 인 경우에 Cov변화에 따른 최대 과전압의 크기이다. 위의 결과에서 R과 Cov의 영향을 고찰해보면 다음과 같다.



(a)



(b)



(c)

그림 7. 파라메타에 변화에 따른 최대 과전압의 크기 (Vd/2 = 2100V)

- R이 증가함에 따라 과전압의 크기는 감소하고, 다이오드의 최대 전류는 증가하고, L의 방전시정수가 증가한다.
- Cov는 최대 과전압을 합당한 크기로 제한할 수 있는 최소값을 선정하는 것이 좋다.

그림 8의 순서도는 R과 Cov를 선정하는 구체적인 절차를 설명하고 있다.

4. 시뮬레이션 결과

그림 9의 (a)와 (b)는 Cov가 없는 경우와 있는 경우의 3-레벨 인버터 출력선간전압파형이다. 최대 전압의 크기에 많은 차이를 보이고 있다. 그림 10의 (a)와 (b)는 각각의 경우에 G1과 G3의 턴-오프시 전압 파형을 보여주고 있다. Vd/2=2100V, Cov=120uF, R=1Ω, Cs=6uF, Ls=1uH, L=5uH인 경우에 차단 전압의 균형을 1400V와 170V정도의 차이가 나타남을 알 수 있다.

5. 결론

3-레벨 GTO인버터는 4000V 이상의 DC-링크 전압을 갖는 고압 대용량 인버터 시스템의 구현에 매우 적절한 구조이다. 본 논문에서는 3-레벨 GTO인버터를 위한 RCD스너버 회로의 새로운 배열과 턴-오프시 과전압을 제한시킬 수 있는 회로설계에 대해 기술하였다. 아울러 본 논문에서 설명하고 있는 Cov와 R의 선제절차는 간단하면서도 합당한 값을 선정할 수 있는 방안을 제공한다.

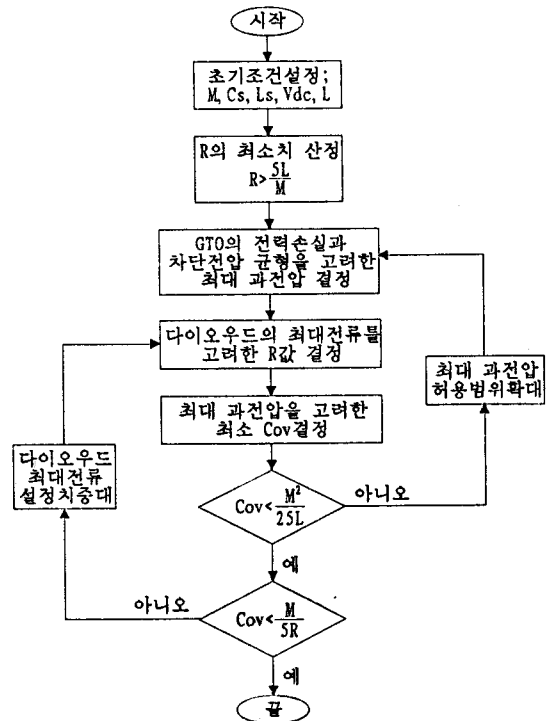


그림 8. R과 Cov값을 결정하기 위한 순서도(M=최소 턴-오프 시간)

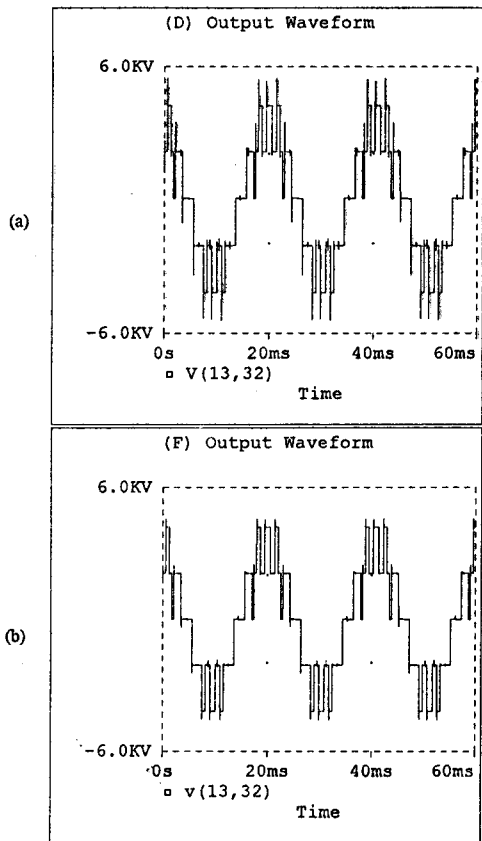


그림 9. 3-레벨 인버터 출력 선간전압; (a) Cov가 없는 경우, (b) Cov가 있는 경우

- [3] T.M.Undeland et al., "A Snubber Configuration fore Both Power Transistor and GTO PWM Inverter," *IEEE PESC Conf. Rec.*, pp.42-53, 1984.
- [4] Ned Mohan et al., "Power Electronics : Converters, Applications and Design," *Wiley & Sons*, 1989.

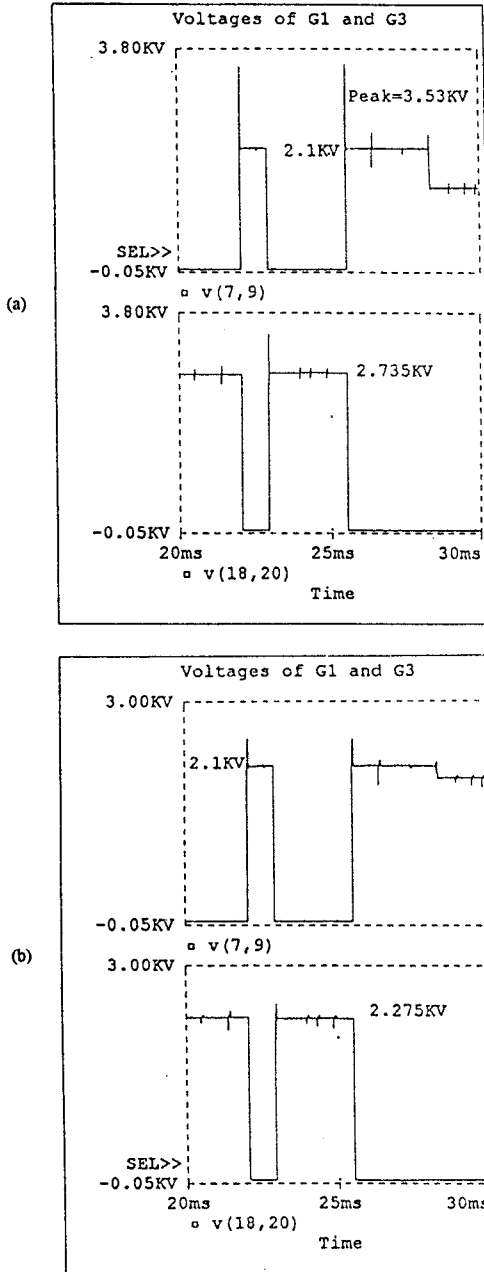


그림 10. G1과 G3의 턴-오프시 차단전압 비교; (a) Cov가 없는 경우, (b) Cov가 있는경우

6. 참고문헌

- [1] Dong-Seok Hyun et al., "A Novel Structure of Multi-level High Voltage Source Inverter," *5th European Conf. on Power Electronics and Applications*, Brighoon, pp.132-137, 1993.
- [2] T.A.Neynand, H.Foch, "Multilevel conversion : High Voltage Chopper and Voltage Source Inverters," *IEEE PESC Conf. Rec.*, pp.397-403, 1992.