

방전 플라즈마 CVD에 의한 전력용 고압 TFT의 개발

Development of High Voltage TFT by Discharge Plasma Chemical Vapor Deposition

이우선 강용철*김병인
양태환 정해인 정용호

조선대학교 전기공학과

Woo-Sun Lee, *Yong-Chul Kang, Byung-In Kim
Tae-Whan Yang, Hae-In Chung, Yong-Ho Chung

Dept. of Electrical Eng.
Chosun University

Abstract

We studied the fabrication and electrical characteristics of high voltage hydrogenated amorphous silicon thin film transistor using glow discharge plasma enhanced chemical vapor deposition (GDPECVD) with 2500Å SiO₂, 400-1500Å a-Si thickness, 350V output voltage, 100V input voltage, and 9.55x10⁴ average on/off ratio. We found that leakage current of high voltage TFT occurred 0-70V drain voltage.

1. 서론

a-Si:H 공정기술은 현재 쓰이고 있는 단결정 실리콘 IC 공정 기술과의 호환성이 있어서 공정온도가 비정질 물질의 단결정화를 막을 수 있는 낮은 온도를 유지 하지 않아도 MOSFET 와 TFT 양쪽 공정에 다 이용 할 수 있다. 평판 디스플레이에서 a-Si:H 디바이스 기술개발의 장점은 a-Si:H에 의한 전기적 특성과 광학적인 특성이 광역에서 증착할 수 있다는 점이다. 비정질 실리콘이 단결정 실리콘과 비슷한 특징을 가지고 있기 때문에 많은 반도체 소자에 비정질 실리콘을 이용하기 위해 연구되었다. 수소화 비정질 실리콘 박막 트랜지스터(Hydrogenated Amor-

phous Silicon Thin Film Transistor)는 오늘날 산업에서 중요한 부분을 차지하게 되었고 제조 공정상 증착하기가 쉽고 많은 물질들중 큰 면적에 균일하고 쉽게 증착할 수 있으며 전 공정 과정이 350°C 이하의 낮은 온도에서 공정을 진행 할 수 있기 때문에 평판형 LCD(Liquid Crystal Display)로서 사용할 수 있고 시스템 비용이 저렴하게 되므로 박막형 논리회로 [1], 반도체 표시기, 고체 영상 감지기[2], CCD(charge coupled device)[3], 랩-탑(lap-top) 컴퓨터[4], HD-TV 등에 이용되는 표시기의 새로운 반도체 소자로서 이용이 증가되고 있다.

특히, 수소화된 비정질 실리콘(Hydrogenated Amorphous Silicon)은 이동도가 낮은 국부적인 상태밀도를 갖고 있기때문에 a-Si:H의 전자적인 특성을 제어할 수 있어서 n형 혹은 p형으로 도핑이 가능하여 이것을 이용한 디바이스 개발 연구대상이 되어왔다. 지금까지 연구된 TFT 는 HD-TV display, Computer display, Image sensor, Airplane cockpit, 등 저전압용이 대부분으로, TFT에 관한 주요 연구내용을 보면, TFT 구조에 대한 이론적 분석과 I-V 특성을 에너지갭의 국부적인 상태에서 분석 하였으며[4][5]. TFT의 정적, 동적 및 CAD 모델에 대해서 연구의 진전이 있

있고[6], I-V 온도 변화 특성에 대한 CAD 모델을 규정화 한 것은 반도체 소자로서 TFT를 이용한 대규모 면적의 디스플레이에서 로직회로에 들어가는 단자수를 줄일 수 있게되어 새로운 첨단 로직회로의 개발에 기여 하게 되었다. Ambipolar TFT와 모델이 개발 되었고, 2차원 수치 시뮬레이션 프로그램, Active Matrix 방식에 따라서 배열 된 디스플레이가 개발되어 실용화를 가속화하고 있다.

이와같이 급속도로 실용화 되고 있는 휴대용 컴퓨터 및 정보기기의 LCD 판넬 및 HD-TV의 화면 디스플레이 등 큰 면적의 디스플레이의 각 pixel에 역정 등 발광 물질과 서로 연결되는 방법으로 정보를 디스플레이 하게 되는 데에 주로 사용되는 반도체 소자인 비정질 실리콘 박막트랜지스터의 연구로서 본 논문에서는 첫째, 글로우 방전플라즈마 CVD방법에 의해서 고압 TFT를 설계하여 제작하고자 하며 둘째, 제작된 TFT의 a-Si층의 두께변화에 따른 TFT의 전달 및 출력 특성등 전기적인 특성을 측정하고자 하고 GDPECVD의 간단한 이론과 함께 제작된 TFT의 동작 특성을 평가하고자하며 셋째, SEM 및 EDS 분석하여 고압용 TFT의 공정상의 구조를 해석 하고자 한다.

2. 소자의 제작과 측정방법

제작한 a-Si:H TFT의 구조는 그림1과 같다. 웨이퍼는 N-Type(100) 방향 실리콘 웨이퍼를 사용 하였으며 고압용으로 제작하기 위해서 PoCl_3 도핑한 다음 1100°C 에서 2500Å 의 실리콘 옥사이드를 비교적 두껍게 성장하였다. a-Si의 증착은 GDPECVD 증착실(chamber)에서 진행 하였으며 전력은 81.6 mW/cm^2 이고 챔버 내의 압력은 613 mT 이다. 증착된 a-Si의 두께는 1500Å 이었고, 260°C 의 온도로 증착 하였으며 flow rate는 50 SCCM 이다. a-Si:H 박막이 형성 된후 3000Å 의 옥사이드를 형성하였고 콘택 마스크를 이용하여 콘택을 깊게 파고 40 KeV energy 로 $1 \times 10^{16}\text{ ion/cm}^2$ 의 인(P) 이온을 주입하여 드레인 소스 옴의 콘택 을 형성 하였다. 스퍼터에 의한 알루미늄(Al) metalization 공정은 200°C 의 dry nitrogen /hydrogen 분위기에서 진행하였으며 bottom 게이트에 알루미늄을 스퍼터에 의해서 증착 하였다. RIE metal etching 하고 450°C 에서 1시간 alloy한 다음 Fab. out 하였다. 제작된 디바이스의 채널길이 $L=100\ \mu\text{m}$, $W=1000\ \mu\text{m}$ 로 $W/L = 10$ 이며, 본 고압 TFT제작 공정 순서도는 그림2와 같다. 본 실험에서는 제작된 두개의 디바이스 실험 결과의 평균값

을 취하여 그 결과값을 컴퓨터 분석에 의하여 자동적으로 컴퓨터에 저장 되도록 하여 plotting 하도록 하였다. 제작된 TFT의 I-V 특성은 HP 4140B Semiconductor Parameter Analyser와 3개의 manipulator가 연결된 Dark Probe Station을 사용하여 전달 특성과 출력 특성의 I-V 를 측정하였다. $0 - +100\text{V}$ V_G 와 V_D 에서는 I-V 특성은 HP4140B로 측정 하였고 100V 이상 400V (max) 까지는 Tektronics 577커브 트레이서를 이용하여 측정 하였다.

3. 실험결과 및 분석

그림3은 채널폭이 $1,000\ \mu\text{m}$ 채널길이 $100\ \mu\text{m}$ $W/L=10$ 에서 제작된 TFT의 출력특성과 전달 특성의 비교를 나타낸다. 그림3(a), (c)는 a-Si의 증착 두께가 400Å 일때이고 그림 3(b), (d)는 1500Å 인 경우이다. 본 특성에서 알 수 있듯이 전달 특성은 게이트 전압이 -100V 에서 100V 범위로 인가 되고 드레인 전압이 $10\text{V}-70\text{V}$ 까지 인가 되었을때 드레인 전류는 a-Si층의 증착 두께가 400Å 일때 보다 1500Å 일때가 더 크게 증가하게 됨을 알 수 있다. 게이트 전압 0V 이상에서 드레인 전류는 포지티브 특성을 보이는데 이 특성 역시 1500Å 일 경우가 400Å 보다 더 0V 에 가까운 부분에서 드레인 전류의 더 큰 상승을 보였다. 그림3(c), (d)는 제작된 TFT의 출력 특성의 비교인데 V_D 를 $0-100\text{V}$, V_G 를 $50-100\text{V}$ 인 가 했을때 a-Si 증착 두께에 따른 V_D-I_D 의 출력 특성에서는 V_G 가 $0-50\text{V}$ 까지는 400Å 의 경우 V_D 가 70V 이상에서, 1500Å 의 경우 V_D 가 60V 이상에서 역방향 누설 전류가 발생됨이 실험적으로 확인 되었다. 그러나 V_G 가 50V 이상에서 이 역방향 전류는 사라지고 전형적인 TFT의 I-V 출력 특성을 보였다. 이 역방향 전류의 발생 원인은 TFT의 고전압을 얻기위해서 SiO_2 박막을 2500Å 까지 두껍게 증착했기 때문이며, 50V 보다 낮은 게이트 전압에서는 게이트에 전계의 형성이 어렵기 때문이라는 것을 알 수 있다. 또 400Å 에서 1500Å 으로 a-Si 증착 두께가 두꺼워짐에 따라서 역방향 누설 전류도 더 커짐이 그림3(c), (d)에서보는 바와 같이 측정되었다. 그러므로 고전압 TFT설계시 누설 전류는 옥사이드와 a-Si경계면에서 발생하는 전류로 간주할 때 활성층인 실리콘 박막의 두께를 조절할 수 있으며, 박막의 두께를 얇게 할수록 누설전류를 줄일 수 있고 또한 고압 TFT에서 게이트 절연막을 두껍게 증착하는 것이 필연적이며 이 두께에 비례해서 역방향 누설 전류가 어느 일정 V_G 까지 발생 하므로 이 역방향 누설 전류의 성공적인 제거나 감소 여부가 고압 TFT소자 제작의 성패를 좌우한다.

그림4는 Tektronics 577 커브 트레이서로 측정된 제작된 소자의 출력 특성이다. HP 4140B의 측정가능 범위는 V_0 와 V_D 공히 +100V이기 때문에 +100V이상에서의 TFT 특성을 알아 보기위해서는 커브 트레이서를 이용하는 수 밖에 없다. 그러나 커브 트레이서는 그림3(a)-(d)와 같이 동시에 여러 V_0 나 V_D 를 인가 할 수 없고 각각 하나의 I-V커브만 그릴 수 있는 단점이 있다. 그림4는 V_0 가 350V 게이트 전압 100V 일때의 제작된 TFT의 출력 특성 곡선이며 제작된 소자의 최대 드레인 전압이 400V, 게이트 전압 V_0 가 100V인가 되었을때 TFT는 디바이스 파괴를 일으켜서 더 이상의 V_0 에서는 측정 불가 하였다. 따라서 본 논문에서 제시한 구조의 TFT의 사용 최대 전압은 350V, 3.5mA이다.

그림5은 a-Si의 두께가 각각 400Å 과 1500Å 에서 드레인 전압이 25V - 100V일 경우 드레인 전류의 on/off비를 나타냈는데 곡선의 경향을 파악하기 위해서 컴퓨터에 의해서 polynomial curve fit 하였다. 이 곡선에서는 전반적으로 V_0 가 증가함에 따라서 on/off비는 감소됨을 보였으며 감소폭은 V_0 가 낮을 경우에 크게 나타났는데 높은 드레인 전압에서 전자는 더 활성화가 잘 된다는 것을 알 수 있다. 또 a-Si층의 두께가 400Å에서 보다 1500Å에서 on/off비가 크게 나타난 것으로 보아서 a-Si층의 두께가 두꺼워질 수록 역시 더욱더 많은 활성화 전자가 이동한다는 것을 알 수 있다.

그림6(a)는 제작된 TFT 수직 방향 전단면의 SEM촬영 사진을 보여준다. 전반적으로 본 사진은 SEM촬영에 임함에 있어서 TFT 디바이스 절단면을 매끄럽게 하기가 어려웠으며 가운데 Y축 직선으로 그려진 부분이 Al Metalization Electrode 부분이고 바로 밑 부분이 불규칙하게 보이기 는 하나 a-Si층 부분이다. 이 Y축 부분의 EDS분석 결과는 그림6(b)와 같은데 이 Y축 부분에서는 Al과 Si이 대부분임을 나타냄을 알 수 있다.

4. 결론

GDPECVD방법으로 V_0 가 350V, I_D 가 3.5mA인 고압 TFT를 성공적으로 제작 하였고 SEM및 EDS 분석 하였다. 또 제작한 TFT의 a-Si의 두께가 각각 400Å 과 1500Å일 경우 TFT의 전기적인 특성을 비교하며 실험하고 분석 하였다. 전달 특성과 출력 특성에 의한 드레인 전류는 a-Si층의 두께가 1500Å에서 더 크게 되었고 제작한 TFT의 on/off 비 역시 a-Si층의 두께가 두꺼울 수록 크게 나타났다. 낮은 게이트 전압에서 역방향 누설 전류가 발생하는 것을 실험적으로 확인 하였으며 발생하는 역 방향 누설 전류는 a-Si층의 두께가 적을수록 적게 나타났다.

본 연구는 한국 전력 공사의 연구비 지원으로 기초 전력 공학 공동 연구소에서 수행되었다.

References

- [1] Y.Nara and M.Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, vol. ED-29, no. 10 pp. 1646-1649, 1982.
- [2] F. Okumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a-Si:H TFT array, Proc. Materials Res. Society Symposium, vol. 33, M. J. Thompson Ed. New York: North Holland, pp 275-280, 1984.
- [3] Y. Naara, Y. Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, vol. 22, no. 6, pp L370-L372, June 1983.
- [4] T.L. Credelle, "Recent trends in color avionic LCD's, Soc. Information Display, vol. 3, no. 10, pp 15-18, Nov. 1987.
- [5] G. W. Neudeck, A. K. Malhotra, "An amorphous silicon thin film transistor: Theory and experiment," Solid State Electronics, vol. 19, pp 721-729, 1976.
- [6] G. W. Neudeck, K. Y. Chung and H. F. Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors," Solid States Electronics, vol. 29, no. 6 pp 639-645, 1986.

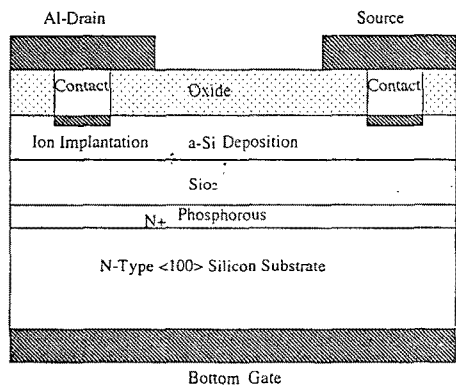


그림1 제작한 a-Si:H TFT의 구조

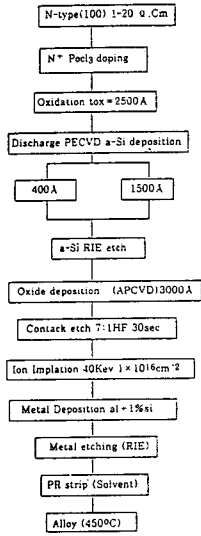
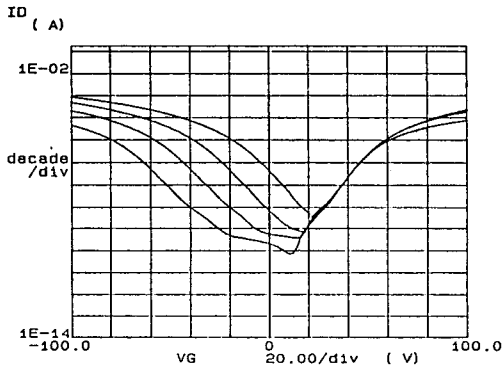
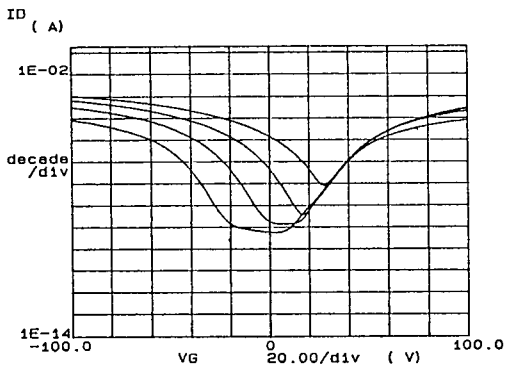


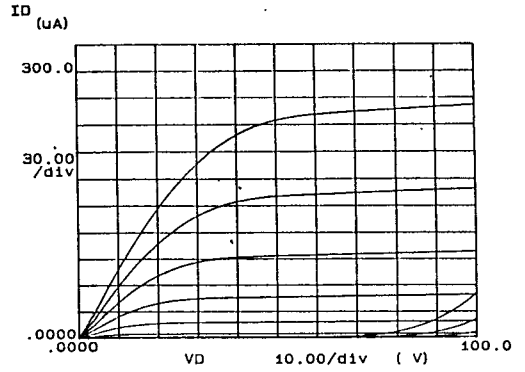
그림2 TFT 제작 공정 순서도



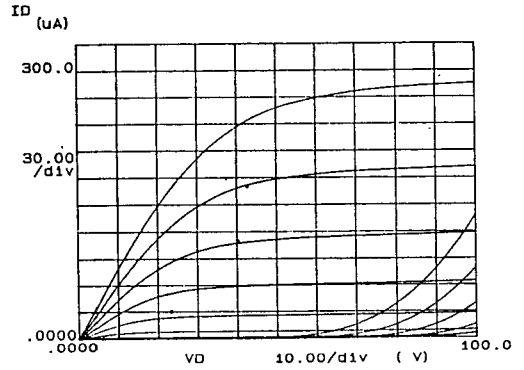
(a)



(b)



(c)



(d)

그림3 소자의 전달특성 (a), (b), 와 출력특성 (c), (d)

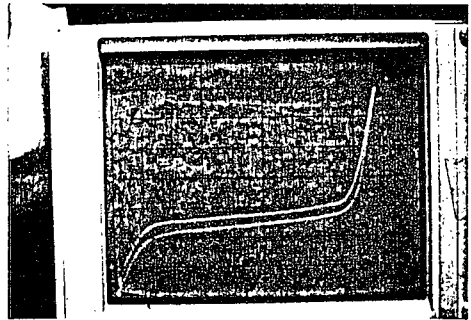


그림4 +100V 이상에서의 출력특성곡선 X:40V/div, Y:0.5mA/div

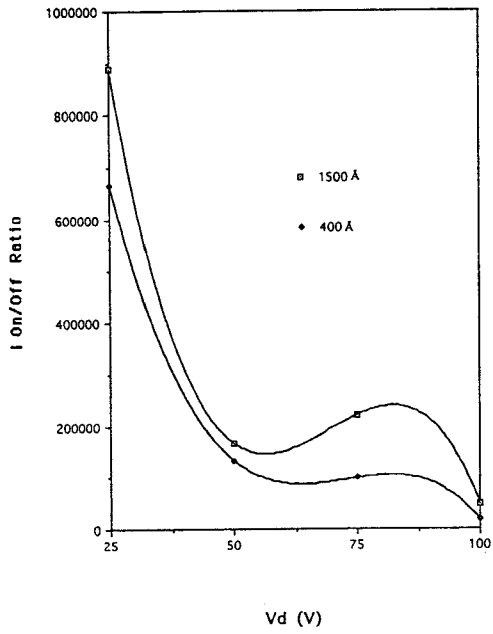
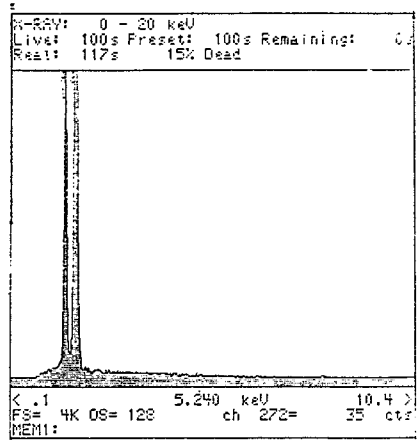
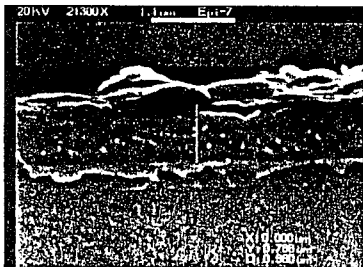


그림5 a-Si 두께에 따른 드레인 전류의 on/off비



(b)

그림6 S.E.M 사진(a), Y방향의 E.D.S분석(b)



(a)