Selective N+ 버퍼층을 갖는 latch up 억제를 위한 새로운 IGBT 구조

김두영°, 이병훈, 최연익*, 한민구
서울대학교 전기공학과, *아주대학교 전자공학과

A new IGBT structure for suppression of latch up with selective N+ buffer layer

°Doo-Young Kim, Byeong-Hoon Lee, *Yearn-Ik Choi, Min-Koo Han
Seoul National University, *Ajou University

Abstract

A novel structure, which can suppress latch-up phenomena, is proposed and verified by the PISCES-IIB simulation. It is shown that this structure employing the selective N+ buffer layer increases latch-up current density due to suppresion of the current flowing through the p-body. The width of the N+ buffer layer is optimized considering the trade-off between the latch-up current density and the forward voltage drop. The selective buffer layer results in an improved trade-off relationship compared with the uniform buffer layer.

1. 서론

IGBT(Insulated Gated Bipolar Transistor)는 MOS게이트로 on-off 컨트롤을 하는 3단자를 가진 전력용 반도체로서 전력용 MOSFET 의 드레인에 p+ 층이 추가된 구조를 가지고있다[1]. 이 추가된 p+ 에미터에서 주입된 소수캐리어가 n-베이스 영역에 전도도 변조를 일으켜 베이스 영역에서 매우 적은 전압 강하를 얻을 수 있어 기존의 전력용 MOSFET 보다 선호되고 있다. 최근에 발표된 IGBT 구조는 그동안 단점으로 지적되어 오던 느린 스위칭 속도를 개선하였다[2,3]. 이러한 장점 때문에 IGBT는 전력용 반도체 분야에서 중요한 소자가 되리라 예상된다.

IGBT의 전류 정격은 latch-up 현상에 의해 제한되며 그동안 많은 연구[4,5]들을 통해서 latch-up 특성이 개선되었다.

IGBT의 latch-up은 n+ 소오스 밑부분에 있는 p-well의 저항 R_s에 흐르는 전류로 인한 전압강하가 약 0.7 V 이상이 되면 기생의 PNPN 소자를 turn-on 시켜 MOS 게이트의 turn-off 능력을 상실하게 하는 현상이므로 latch-up을 개선하기 위해서는 p-well에 흐르는 전류를 줄이는 것이 필요하다.

최근에 제조되는 대부분의 IGBT는 P형 기판과 N-에피 영역 사이에 N+ 버퍼층을 사용한다. 버퍼층을 사용함으로써 open base 항복 전압을 높일 수 있고 α_T와 γ를 모두 줄여주므로 빠른 스위칭 속도와 높은 latch up 전류를 얻을 수 있다. 그러나 버퍼층의 농도를 너무 높게 하면 순방향 전압강하가 너무 커지게 되므로 적절하게 설계해야 한다.

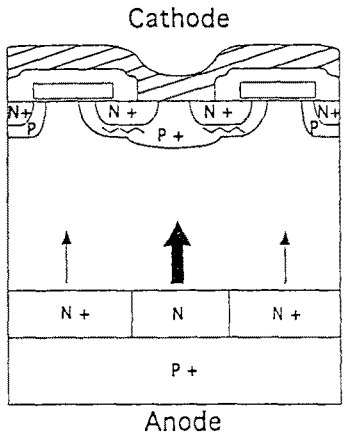
제안된 구조에서는 버퍼층의 농도를 선택적으로 조절함으로써 수직으로 흐르는 전류를 영역별로 다르게 하여 latch-up을 억제할 수 있으면서도 균일한 농도의 버퍼층을 가진 구조보다는 더 적은 순방향 전압강하를 가지는 구조를 제안하고 PISCES-IIB 시뮬레이션으로 latch-up 전류와 순방향 전압강하를 비교하였고 소자의 타당성을 검증했다.

2. 제안된 소자의 구조

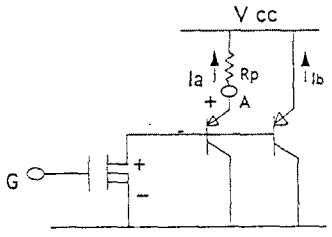
기존의 IGBT 구조에서는 P+ 기판에서 hole들이 거의 균일하게 에피층으로 주입된다. 그런데 이 전류의 흐름이 latch-up에 주는 영향을 알기 위해 영역별로 전류의 흐름을 나눠보면 주로 anode에서 N+버퍼층을 통해 주입되는 hole들 중에서 P-body 사이로 흐르는 전류는 모두 저항 Rp를 지나게 되고, N+ 소오스 밑부분으로 주입되는 전류는 Rp 의 일부분만 지나게 된다. P+ buried 영역으로 주입되는 전류는 저항 Rp를 거치지 않고 바로 cathod 전극에 모이게 되므로 latch-up에 거의 영향을 미치지 않는다.

그러므로 N+ 버퍼층의 도핑 농도를 다르게 하여 그림 1 (a) 처럼 P+ buried 영역은 낮은 도핑 농도를 써서 많은 hole들이 주입될 수 있도록 하고 latch-up을 일으키

는 주성분이 되는 P-body 영역에는 N+버퍼층의 농도를 높게 해서 hole의 주입을 억제한다. 이렇게 하여 전체 전류의 주요 성분이 latch-up의 원인이 되는 저항 R_p를 지나지 않고, P+ buried 영역으로 흐르도록 전류의 흐름을 조절할 수 있다 .



(a)



(b)

그림1 Selective N+ 버퍼층을 갖는 IGBT 내부에서의 전류의 흐름(a) 및 등가회로(b)

3. 새로운 구조의 PISCES-IIB 시뮬레이션

그림 2 는 selective N+버퍼층을 가진 구조의 mesh 그림이다. 이 경우는 mesh를 상당히 세밀하게 잘랐으나 실제로는 mesh를 더 넓게 정의해도 된다. 그림 3 은 selective N+ 버퍼층을 가진 구조에서 hole의 흐름을 나타내는데, N+ 버퍼층이 있는 쪽으로는 hole의 주입이 억제되고 농도가 낮은 버퍼층 쪽으로 hole의 주입이 큰 것을 볼 수 있다. 그러나 버퍼층을 지나게 되면 hole 전류가 횡방향으로 퍼져 selective 버퍼층의 효과를 감소시키고 있다. 그러므로 N+ 버퍼층과 낮은 농도의 버퍼 층의 길이의 비를 적절히 선택해야 한다.

그림 4 와 같이 p-body 사이의 중앙을 기준으로 잡고 N+ 버퍼층의 길이(X)를 변화시켰을 때, latch-up 전류 밀도와 게이트 전압 15V, anode 전압 1V 에서의 순방향 전류 밀도의 변화를 시뮬레이션을 통하여 알아 보았다.

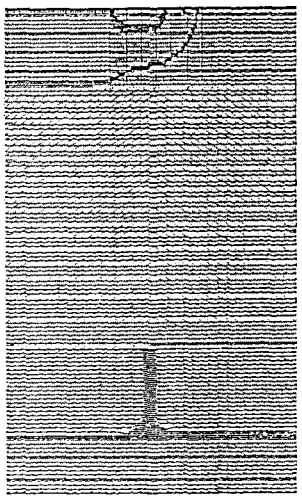


그림2 Selective N+ 버퍼층을 갖는 IGBT의 PISCES 시뮬레이션 mesh

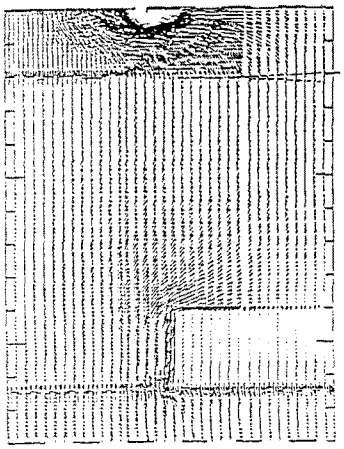


그림3 Selective N+ 버퍼층을 갖는 IGBT에서의 hole 전류의 흐름

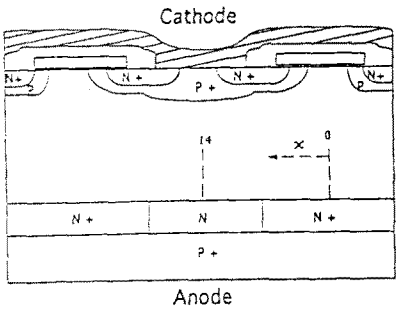


그림4 Selective N+ 버퍼층을 갖는 IGBT의 버퍼층 설계변수인 버퍼층의 길이 x

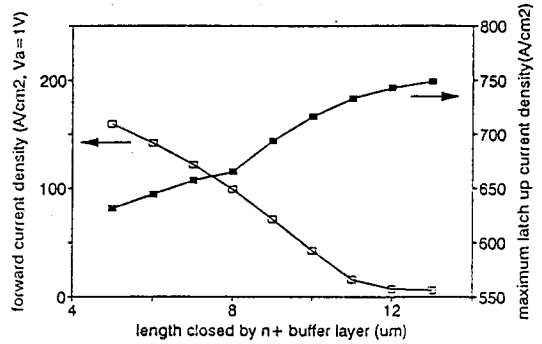


그림5 (a) Selective N+ 버퍼층을 갖는 구조의 순방향 전류밀도와 latch-up 전류밀도
(b) 균일한 버퍼층 농도를 갖는 구조의 순방향 전류밀도와 latch-up 전류밀도

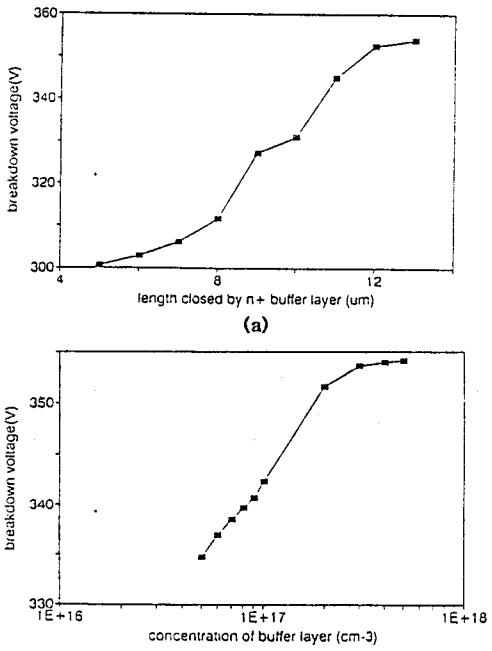


그림6 (a) Selective N+ 버퍼층을 갖는 구조에서 N+ 버퍼층 길이에 따른 breakdown전압의 변화
(b) 균일한 버퍼층 농도를 갖는 구조에서 버퍼층 농도에 따른 breakdown전압

그림 5 는 selective N+ 버퍼층을 갖는 구조와 기존의 구조에서의 순방향 전류밀도와 latch-up 전류밀도의 trade-off를 보여준다. selective N+버퍼층을 갖는 구조가 기존의 균일한 버퍼층을 갖는 구조보다 같은 전류밀도에서 더 높은 latch-up 전류밀도를 가짐을 볼 수 있다. 즉, 버퍼층을 selective하게 설계함으로써 순방향 전류밀도와 latch-up 전류밀도 사이의 더 나은 trade-off를 얻을 수 있음을 보여준다. N+ 버퍼층의 길이를 6으로 잡았을 때 최적의 결과를 보인다.

그림 6 은 selective N+ 버퍼층을 갖는 구조와 기존의 구조에서의 breakdown 전압이 거의 차이가 없음을 그림 6 에서 볼 수 있다.

Selective N+ 버퍼층을 써서 위의 두 특성 사이의 trade-off 를 고려할 때 N+ 버퍼층의 길이를 설계자의 사양에 맞게 설계할 수 있지만 반복된 시뮬레이션을 통해서 알 수 있었던 바로는 P-body 영역을 N+ 버퍼층으로 했을 때가 받아들일 만한 순방향 전류를 가지면서도 latch up 특성에도 유리하다.

4. 결론

latch-up 현상은 IGBT 의 전류 정격 능력을 제한하는 현상으로 이의 개선을 위해 많은 연구 들이 진행되어 왔으며 또한, 여러가지 latch-up 억제를 위한 구조들이 제안되었다. 여기서는 Selective N+ 버퍼층을 사용한 새로운 구조의 IGBT를 제안하였고, 이 구조가 균일한 버퍼층을 갖는 기존의 구조보다 순방향 전류밀도와 latch-up 전류밀도 간의 더 좋은 trade-off를 얻을 수 있음을 PISCES-IIB 시뮬레이터을 사용하여 검증하였다.

참 고 문 헌

[1]B.J.Baliga:"MODERN POWER DEVICES", JOHN WILEY & SONS. 1985.

[2]B.J.Baliga:"Switching Speed Enhancement in Insulated Gate Transistors by Electron Irradiation " Electron Devices, vol.ED-31, pp. 1790-1794, 1984.

[3]"Designer's Manual", International Rectifier,1991.

[4]A.Nakagawa et al,"Non-Latchup, 1200 V bipolar - mode MOSFET with large SOA", IEDM abstract 16.8, pp.860-861,1984.

[5]Yo-Hwan Koh and Choong-Ki Kim, "TWO-DIMENSIONAL ANALYSIS OF LATCH-UP PHENOMENA IN LATCH UP FREE SELF-ALIGNED IGBT STRUCTURE", Solid-State Electron. vol. 33 , pp. 497-501,1990