

Back-bias 효과에 의한 SOI소자의 항복전압 특성.

김 한수, 최연익*, 한민구

서울 대학교 전기 공학과
*아주 대학교 전자 공학과

The Back-Bias Effect on the Breakdown Voltage of SOI Device

Han-Soo Kim, *Yeorn-Ik Choi, and Min-Koo Han

Department of Electrical Engineering,
Seoul National University
* Department of Electronics Engineering,
Ajou University

Abstract

The back bias effect on the breakdown voltage of SOI p⁺-n diode is investigated. The breakdown voltage of the SOI p⁺-n diode increases with the applied back bias. When the cathode electrode is used as a back bias, it is necessary to put the dielectric material between the Si-substrate and the bottom cathode electrode.

1. 서 론

고, 저압 소자를 집적하기 위하여 Silicon-on-Insulator (SOI) 웨이퍼가 이용되고 있다. SOI에 제작된 소자는 실리콘에 트랜치를 파서 절연 함으로써 기존의 p-n접합에 의해서 소자간을 절연하는 방법에 비해서 누설전류가 매우 작아지며 기생하는 소자의 성분을 없앨 수 있는 특성을 가지고 있다 [1].

SOI에 제작된 소자의 항복전압의 향상을 위하여 RESURF의 구조가 이용되고 있으며 현재 800V 이상의 항복전압을 얻기는 매우 힘들다. 일반적으로 SOI에 제작된 p-i-n 다이오드의 항복전압은 다이오드의 베이스영역의 도핑 농도에 의해서 영향을 받으며 낮은 베이스 도핑 농도의 소자는 n⁺ 아노드/n 베이스 층/buried SiO₂/실리콘 substrate의 1차원 구조에 의해서 항복전압이 제한된다. 반면에 높은 베이스 도핑농도를 가지는 소자에 있어서는 p-n 접합면에서의 전계의 세기에 의해서 항복전압이 제어되며 매우 낮은전압의 항복전압을 갖게된다[2,3].

본 논문에서는 실리콘 substrate에 인가된 back-bias와 SOI 구조 다이오드의 항복전압간의 관계에 대하여 알아보하고자 한다. 또한 substrate에 캐소드 전압을 인가 하였을 때의 항복전압에의 효과를 조사하고 절연물을 사이에 두고 캐소드전압을 인가할때 절연물의 캐패시턴스의 영향에 대해서 알아보하고자 한다.

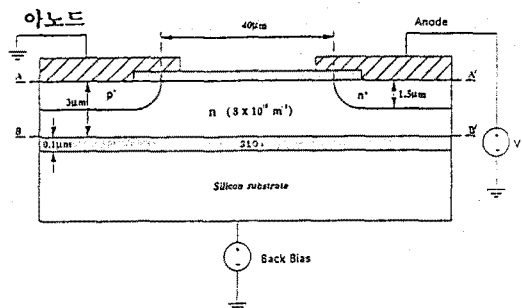


그림 1. 수치해석된 SOI p⁺-n 다이오드의 파라미터

2. 본 론

2-1 시뮬레이션에 의한 Back bias효과 고찰

Back-bias가 SOI구조의 p⁺-n 다이오드의 항복전압에 미치는 영향을 PISCES 소자 시뮬레이션으로 알아보았다. 그림 1은 시뮬레이션에 사용된 SOI 다이오드 구조의 파라미터를 나타내고 있다. 두께 3µm의 n-type SOI에 1.5µm의 접합깊이를 갖는 p⁺ 아노드와 n⁺ 캐소드의 다이오드를 형성하였다. Buried Oxide의 두께는 0.1µm이고 n-type 베이스 영역의 도핑 농도는 8×10¹⁵cm⁻³이다. Substrate를 접지 시켰을 때 다이오드의 항복전압은 60V로 이때

의 실리콘과 buried oxide의 계면에서의 입계전계에 의해서 항복현상이 발생한다. 실리콘의 표면과 실리콘-buried oxide의 계면에서의 전계의 세기는 그림 2와 같다. 따라서 항복전압은 캐소드-substrate의 1차원 구조에 의해서 제한됨을 알 수 있다. 이 구조에서 substrate에 양의전압을 인가하면 캐소드-substrate간에 유지되는 전위차가 낮아 지므로 substrate에 가한 만큼의 항복전압의 향상을 가져온다. 그림 3에서 보는 바와 같이 substrate 인가된 전압에 선형적으로 비례하여 항복전압이 증가함을 볼 수 있다. 그러나 50V 이상의 back bias가 인가되면 오히려 항복전압은 낮아진다. 따라서 너무 높은 전압이 Back bias로 인가되면 아노드의 전계가 커지므로 항복전압이 아노드 전극에서 발생하게 된다.

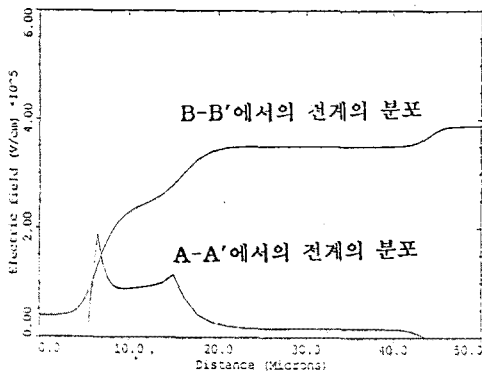


그림 2. 실리콘 표면과 실리콘-buried oxide계면에서의 전계의 분포

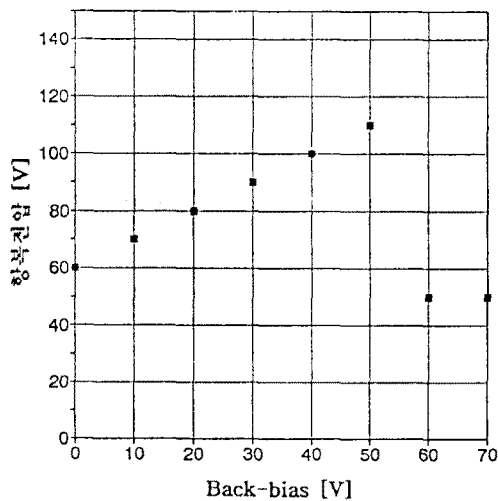


그림 3. Back-bias변화에 따른 SOI 다이오드의 항복전압

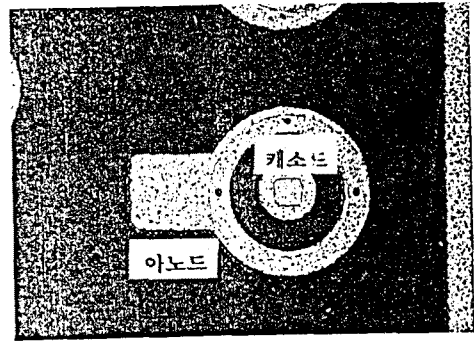


그림 4. 제작된 SOI 다이오드의 평면도

2-2 Back-bias효과에 대한 실험 및 고찰

Back-bias의 효과를 입증하기 위하여 n-type의 6Ωcm의 비저항을 갖는 SOI에 다이오드를 제작하여 검증하였다. 제작된 소자의 평면도는 그림 4와 같다. 아노드는 접지시켰고 substrate 전극에 0, 25, 50, 70, 100V의 전압을 인가하여 항복전압을 측정하였다. Substrate를 접지시켰을 때의 항복전압은 90V이었으며 50V이하의 전압을 substrate에 인가하였을 때 전압에 비례하여 항복전압이 향상되었다. 그림 5는 측정결과를 보여주고 있다. 50V 이상의 전압이 인가되었을 때는 오히려 항복전압의 감소를 가져왔으며 이결과는 수치해석 결과와 일치한다. 높은 전압이 substrate에 인가되면 캐소드에서의 전계는 낮아져주는 반면 아노드에 걸리는 전위차가 높아져서 전계의 세기를 높여주어서 오히려 항복전

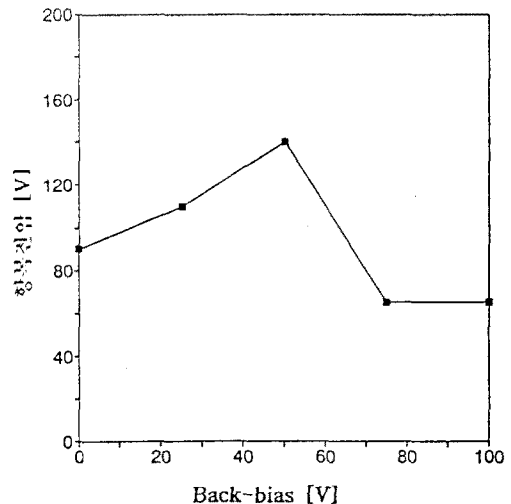


그림 5. Back-bias와 SOI 다이오드의 항복전압 관계의 측정 결과

압의 약화에 기여하게된다. 그러므로 적절한 크기의 substrate에 가해지는 전압이 요구되며 제작된 소자에 있어서 최적의 back bias는 50V이다.

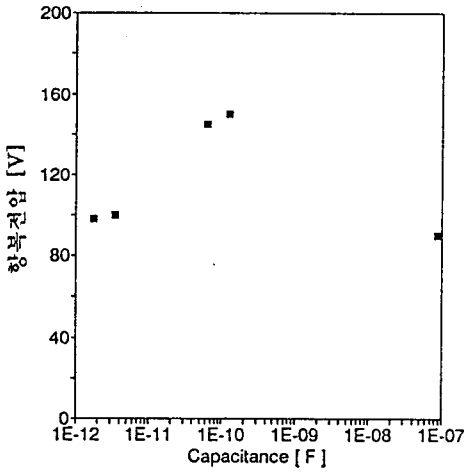


그림 6. Substrate를 절연하는 캐소드 성분과 항복 전압과의 관계

2-3 절연물의 성층에 의한 back bias효과에 대한 분석

아노드나 캐소드의 전극 이외의 독립적인 전압을 따로 인가 하지 않고 기존의 캐소드 전극을 이용하여 back bias효과를 얻을 수 있다. 그러나 substrate에 직접 캐소드 전극을 인가하면 대부분의 전위차가 소자의 아노드쪽에서 유지되므로 오히려 항복전압을 약화시키는데 기여한다. 따라서 실리콘 substrate의 바닥면에 절연체를 형성하고서 back bias로써 캐소드 전압을 인가하면 아노드에 걸리는 전위차를 줄일 수 있다. 인가된 전압이 buried oxide에 의한 캐패시턴스 성분과 바닥면에 형성된 절연물의 캐패시턴스 성분에 의하여 분배되어 마치 back bias의 효과를 얻을 수 있다. 분배되는 전압의 절연물에 의한 캐패시턴스의 크기에 의해서 결정된다. 그림 6는 substrate와 바닥의 캐소드 전극 사이의 절연물에 의한 캐패시턴스 성분을 변화시키면서 항복전압의 변화를 살펴 본 결과이다. 캐패시턴스의 성분이 클 경우에는 캐소드에 인가된 전압이 모두 substrate에 유기되므로 매우 낮은 항복전압을 갖고 있다. 절연에 의해서 10^{-10} [F]의 캐패시턴스를 형성할때 SOI 다이오드가 최대의 항복전압을 갖는다.

3. 결 론

SOI에 제작된 p-n 다이오드에 Back bias가 인가됨에 따라서 소자의 항복전압이 증가되며 최대의 항복전압을 얻기 위한 최적의 back bias가 존재한다. 또한 바닥면에 절연물을 형성하여 캐소드 전극을 인가함으로써 back bias효과를 얻을 수 있음을 보였고, 절연물에 의한 캐패시턴스의 성분에 의하여 인가된 캐소드 전압을 분배함으로써 높은 항복전압을 얻을 수 있음을 보였다.

참고 문헌

- [1] A. Nakagawa, N. Yaushara, and Y. Baba, "New 500V Output Device Structure for Thin Silicon Layer on Silicon Dioxide Film," Proc. of 2nd ISPSD, pp. 97-101, 1990
- [2] Ichio Omura, Norio Yasuhara, Akio Nakagawa, "Numerical Analysis of SOI IGBT swiching characteristics," Proc. of 5th ISPSD, pp. 248-253, 1993
- [3] Qin Lu, P. Ratnam, and C. Andre T. Salama, "High Voltage Silicon-On-Insulator (SOI) MOSFETs," Proc. of 3rd ISPSD, pp. 36-39, 1991