

Ti-polycide gate 의 gate oxide 신뢰성의 limitation 연구 (The Study of Limitation in Gate Oxide Reliability for Ti-polycide Gate)

삼성전자(주) 반도체부문 이내외, 김영욱, 고종우, 김일권, 안성태

1. 서론

반도체소자의 고집적화가 진행됨에 따라 poly-Si gate 의 높은 저항으로 인한 소자 동작속도의 감소가 예상되어 이를 개선하기 위해 Ti-silicide 와 폴리실리콘을 적층구조로 하는 저저항 Ti-polycide gate 의 연구가 많이 보고되고 있다 [1]. 그러나, Ti-polycide gate 를 고온공정이 많이 요구되는 반도체소자에 적용할 때는 Ti 에 의한 gate oxide 의 절연파괴 특성이 열화된다고 알려져 있다 [2]. 이 절연파괴의 열화거동은 gate oxide 의 두께, TiSi₂ 막의 형성조건, polycide gate 의 구조 등과 관련이 있는 것으로 알려져 있다. Ti-polycide gate 에서 gate oxide 의 절연파괴의 열화기구는 아직 불투명한점이 많고, 열처리조건에 따른 gate oxide 의 신뢰성을 체계적으로 보고한 예는 적다고 하겠다. 본 연구에서는 Ti-polycide gate 에서 gate oxide 의 신뢰성에 미치는 TiSi₂ 막 과 gate oxide 사이에 존재하는 잔류 poly-Si 막의 두께와 열처리 조건이 어떤 상관관계에 있는지를 체계적으로 조사 하여, 256 Mbit DRAM 급의 8 nm 두께의 gate oxide 에 있어서 신뢰성 확보를 위한 고온공정의 한계를 제시 하고자 한다.

2. 실험방법

P 형 실리콘 웨이퍼에 LOCOS 소자분리 방법에 의해서 Active 영역을 형성하고 8 nm 두께의 gate oxide 를 열 산화법으로 성장시켰다. 이때 active 총 면적은 0.118 cm² 이었다. LPCVD 법에 의해서 막두께 150 nm ~ 350 nm 의 poly-Si 을 증착시켰다. POCl₃ 침적에 의해서 poly-Si 을 doping 시킨후 그 위에 DC magnetron sputter 법으로 30 nm 의 titanium 을 증착했다. 그 후 급속가열로 (RTP) 에서 고상반응에 의해 안정된 C54 구조의 TiSi₂ 상을 형성시켰다. 그 위에 CVD 법으로 150 nm 의 절연막을 증착하여 열처리 온도와 시간을 달리하여 gate oxide 의 절연파괴 전계강도의 변화를 조사 했다. 또한 Ti 의 확산 거동은 SIMS 로 분석 하였다.

3. 실험결과 및 고찰

본 연구에서는 gate oxide 의 절연파괴시 전계강도를 10 μ A 의 누설전류가 흐를때의 전계로 정의하였다. Fig. 1 에 gate oxide 와 TiSi₂ 막의 두께가 각각 8 nm, 40 nm 인 Ti-polycide gate 에서 잔류 poly-Si 막의 두께가 110 nm, 200 nm 인 경우 열처리 온도 820 °C 및 850 °C 에서 열처리시간에 따른 gate oxide 의 절연파괴의 양의 변화를 나타내었다. 절연파괴양은 총 gate oxide 전계강도 측정숫자에서 8MV/cm 이하의 전계파괴강도를 나타낸 gate oxide 의 퍼센트이다. Ti-polycide gate 에서 gate oxide 의 절연파괴양은 즉, gate oxide 신뢰성 열화 정도는 잔류 poly-Si 두께와 열처리 온도에 의존함을 알 수 있다. 잔류 poly-Si 두께가 110 nm 로 얇은 경우가 200 nm 로 두꺼운 경우보다 열처리시 gate oxide 의 신뢰성 열화가 심하다. 잔류 poly-Si 두께가 110 nm 로 얇은 경우, 820 °C 와 850 °C 열처리에서 비교하면 절연파괴양은 850 °C 의 열처리조건에서 더욱 심한 것을 알 수 있다. 그러나, 잔류 poly-Si 두께가 200 nm 로 두꺼운 경우는 열처리조건에 따른 유의차가 적음을 알 수 있다.

Fig. 2 는 잔류 poly-Si 두께가 110 nm 인 Ti-polycide gate 를 열처리 하였을 경우 깊이에 따른 titanium 과 oxygen 원자의 농도분포를 SIMS 로 분석한 결과이다. 열처리하는 시간을

30분으로 일정하게 유지하고 온도를 800°C에서 950°C까지 변화시켰다. poly-Si 과 gate oxide 계면에서 Ti 원자의 양은 열처리 온도가 증가함에 따라 증가한다. 이와같이 Ti 원자의 확산이 온도 의존성이 있는 것으로부터 gate oxide의 신뢰성 열화는 TiSi₂막의 Ti 원자가 poly-Si 을 통해 고온에서 확산되어 일어난 것으로 사료된다. gate oxide를 TEM으로 관찰한 결과 Ti의 석출물은 관찰되지 않았다. 이것으로부터 gate oxide의 신뢰성 열화는 gate oxide에서 Ti원자의 고용량과 관련이 깊을 것으로 사료된다. 발표시 850°C의 경우 열처리 시간에 대한 gate oxide 신뢰성이 열화되지 않는 poly-Si의 두께 limitation에 대해 추가로 검토하고자 한다.

	Thickness of poly-Si (nm)	Anneal Temp. (°C)
○	110	850
□	110	820
●	200	850
■	200	820

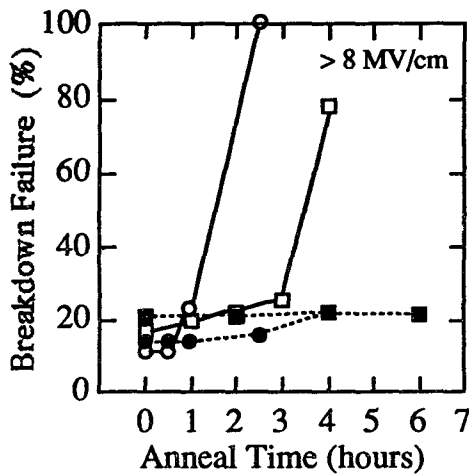


Fig. 1 Changes of the dielectric breakdown failure in a 8 nm-thick gate oxide with anneal time at 820°C and 850°C for Ti-polycide gate with the poly-Si film of different thickness.

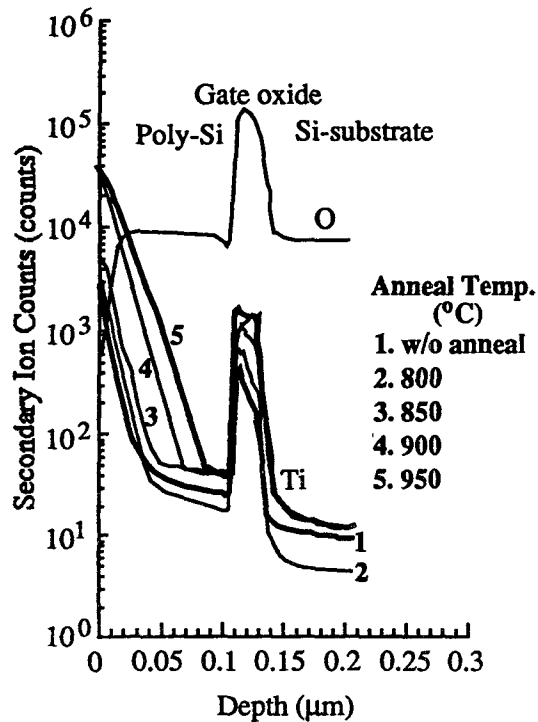


Fig. 2 Changes of SIMS depth profile with anneal temperature of Ti atom and O atom for Ti-polycide gate.

4. 결론

- (1) Ti-polycide gate 에서 gate oxide 의 신뢰성 열화는 잔류 poly-Si 두께가 얇을수록 또 열처리 온도가 높고 열처리 시간이 길수록 심하다.
- (2) gate oxide 의 신뢰성 열화는 TiSi₂막의 Ti 원자가 고온에서 poly-Si 을 통해 확산되어 일어난 것에 기인한다.

References

- [1] S.P. Murarka : "Silicides for VLSI Applications", Academic Press Inc., (1983)
- [2] C.Y. Ting *et al* : J. Electrochem. Soc., 133, 2621 (1986)