

BiCMOS 및 CMOS로 구현된 Inverter에 대한 특성비교

A Study on the Characteristics of BiCMOS and CMOS Inverters

정중척*, 이계훈, 우영신, 성만영
고려대학교 전기공학과

Jong-Chuck Jung*, Kye-Hun Lee, Young-Shin Woo, Man-Young Sung
Dept. of Electrical Engineering, Korea University

Abstract

BiCMOS technology, which combines CMOS and bipolar technology, offers the possibility of achieving both very high density and high performance.

In this paper, the characteristics of BiCMOS and CMOS circuits, especially the delay time is studied. BiCMOS inverter, which has high drive ability because of bipolar transistor, drives high load capacitance and has low-power characteristics because the current flows only during switching transient just like the CMOS gate. BiCMOS inverter has the less dependence on load capacitance than CMOS inverter

SPICE that has been used for electronic circuit analysis is chosen to simulate these circuits and the characteristics is discussed.

1. 서 론

BiCMOS 기술은 바이폴라 소자와 MOS 소자가 동작시에 가지고 있는 서로 다른 장점을 IC 제작에 활용함으로써 IC의 성능 향상과 아울러 새로운 기능의 IC를 개발한다는 측면에서 출현하였으며, SRAM과 다양한 신호처리를 위한 아날로그 시스템의 회로구성에 많은 연구가 이루어지고 있다.

CMOS 소자는 바이폴라 소자에 비해 적은 소비전력, 잡음여유도, 집적도, 복잡한 기능을 높은 수율로 집적할 수 있는 점 등을 장점으로 들 수 있어, 디지털회로의 주축이 되고 있다. CMOS 기술은 고밀도와 적은 전력소모로 인해 메모리와 마이크로프로세서의 주된 기술이 되어

오고 있다.

1980년대 중반에, 컴퓨터나 통신시스템 등의 일부 응용 분야에서 CMOS 기술에서 얻은 것보다 더 빠른 특성을 필요로 하여 이러한 영역에서 바이폴라 기술이 쓰이고 있고, 전력손실의 제한에 의해 70년대 후반 NMOS에서 CMOS 기술로 변화하였듯이, 동작수행의 요구에 의해 80년대 후반 CMOS에서 BiCMOS로의 변화가 야기되고 있다.^[1]

BiCMOS기술은 CMOS 기술에 비해 개선된 속도뿐만 아니라, 바이폴라에 비해 더 낮은 전력 소비를 하며, 또한 유연한 I/O를 갖고, 좋은 성능을 갖는 아날로그, 래치업 변역성 등의 장점을 제공하고 있다. 또한, 용량성 부하와 공정과 온도 등의 변화의존성이 감소 하며, 다양한 회로 구성과 I/O가 가능하여 설계시의 유연성을 개선하고 설계 사이클 시간을 줄이는 면이 있다.

본 논문에서는 위에 언급된 여러 특성을 갖는 BiCMOS 및 CMOS 인버터에 대한 구성을 살펴보고, 이렇게 구현된 회로들의 여러가지 내부 및 외부 파라미터들의 변화에 따른 지연 특성들의 변화와 그 관련성을 살펴보고, SPICE 시뮬레이션을 통해 그 결과를 고찰하였으며, 그 특성의 최적 조건을 잡았다.

2. CMOS 인버터

CMOS로 구성된 인버터 (Inverter) 회로는 그림 1과 같다.

CMOS 인버터의 과도해석에서 유용한 파라미터인 지연 시간 τ_D 는 입력과 출력의 파형이 $V_{DD}/2$ 점에서 측정되며, $(V_{TN}/V_{DD}) \ll 1$ 이고 $|V_{PL}/V_{DD}| \ll 1$ 이면,^[2]

$$\tau_D \approx \frac{0.9C_{ox}}{V_{DD}\beta_N} \left[1 + \frac{\beta_N}{\beta_P} \right] \approx \frac{2C_{ox}}{V_{DD}\beta_N} \quad (1)$$

이다. τ_D 는 (C_{ox}/V_{DD}) 와 β_N^{-1} ($\beta_N = \beta_P$ 로 설계시)에 선형적으로 비례한다.

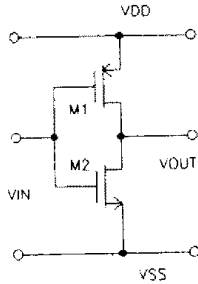


그림 1 CMOS 인버터 회로

3. BiCMOS 인버터

BiCMOS 로직 게이트의 과도 특성을 보기 위한 일반적인 회로가 그림 2에 나타나 있다.

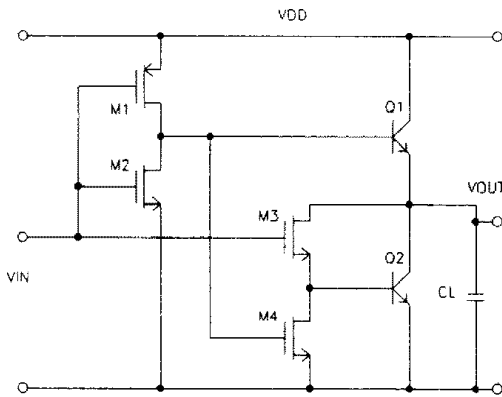


그림 2 BiCMOS 인버터

이 게이트는 MOSFET에 의해 큰 입력 임피던스를 갖고, 또한 바이폴라 트랜지스터에 의해 제공되는 낮은 출력 임피던스를 갖는다. 그리고 CMOS에서 처럼 DC 전력 손실이 없다.

BiCMOS 게이트의 스위칭 응답은 M_1 과 Q_1 을 통해서 C_L 을 충전시키기 위한 상승지연과, M_3 과 Q_2 를 통해 C_L 을 방전시키는 하강지연으로 나뉜다. 상승지연이나 하강지연으로 전체 지연을 고려하는데 충분하다.

그림 2에서 입력이 V_{DD} 에서 0으로 되면, M_1 은 부하가 작으므로 재빨리 ON된다. 그러나, Q_1 은 베이스-에미터 간의 전압이 $V_{BE(on)}$ 이 되어야만 도전된다. 따라서 V_O 가 상승하기 전에 초기 지연 (Initial Delay) 시간 T_1 이 있다. 이 기간 동안에 Q_1 은 OFF 되고 M_1 은 포화된다. 만약 M_1 의 드레시홀드전압이 Q_1 의 베이스-에미터간의 턴-온 전압보다 크면, 상승지연의 초기에 M_1 은 포화영역에서 동작하며 T_2 까지 나타난다. T_2 를 지나면

M_1 은 선형영역에서 동작하며, T_3 로 나타내어지며, 50% 상승지연을 나타낸다. 전체 50% 지연 시간은^[3]

$$\tau_d = T_1 + (T_2 - T_1) + (T_3 - T_2) \quad (2)$$

이므로

$$\tau_d = R_{CH}(C_E + C_C)V_{BE} \frac{(on)}{V_{CC} - |V_T|} - \frac{R_C C_C^2}{C_E \cdot C_C} + T_0 \sqrt{\frac{2R_{CH}}{R_{CH} + R_B} \frac{|V_T| - V_{BE}(on)}{V_{CC} - |V_T|}} + \frac{T_0}{\sqrt{1 - \left(\frac{T_0}{2\beta^* \tau_i}\right)^2}} \quad (3)$$

이며, 이때

$$T_0 = \sqrt{(R_{CH} + R_B)(C_C + C_L) \tau_i} \quad (4)$$

이다.

일반적인 소자와 회로 파라미터에 대해 지연 시간은 주로 부하용량의 재공급에 비례하는 T_0 에 의해 결정된다.

4. BiCMOS와 CMOS의 특성 비교

BiCMOS 게이트는 CMOS와는 다른 소비전력특성을 갖는다. 만약 게이트가 모두 입력과 출력이 스위칭되는 과도영역에 있다면, 모든 트랜지스터는 ON상태에 있으며, 이는 전력소비가 V_{CC} 에서 V_{SS} 로의 전도성 경로에 의해 일어남을 의미한다.

CMOS의 경우 이 경로가 PMOS와 NMOS FET에서 이루어지며, BiCMOS의 경우 바이폴라 트랜지스터 또한 ON되며, 이는 낮은 임피던스 경로를 만들어 더 많은 전력을 소비한다.

게이트의 입력과 출력이 용량성부하로 연결되어있다면, 서로 다른 결과를 얻게된다. CMOS의 경우 부하 커패시턴스는 게이트 지연과 출력의 슬루율 (Slew Rate)을 감소시킨다. 슬루율의 감소는 다음단 게이트를 더 늦게 스위칭하며, 따라서 과도영역에서 더 많은 시간을 소비하며 이는 더 많은 전력을 소비함을 의미한다. BiCMOS 게이트의 경우 낮은 출력 임피던스가 바이폴라 트랜지스터에 의해 제공되므로 다음단 게이트의 스위칭 특성이 나빠지지 않으며, 따라서 더 좋은 전력 효율을 가진다.^[3]

5. BiCMOS 인버터의 특성변화 고찰

본 절에서는 지금까지 다루어진 BiCMOS의 동작특성들을 토대로 간단한 형태의 인버터 대한 특성들을 다룬다.

BiCMOS 인버터는 바이폴라의 우수한 구동특성으로 보통 큰 용량성 부하에 적절하다. 입력으로 계단전압을 인가함으로써 출력 전압을 살펴보았다. PMOS 트랜지스터 M_1 이 크면 클수록 바이폴라 트랜지스터 Q_1 의 베이스에 더 많은 전류를 제공하여 지연시간이 감소함을 알 수 있다. 이 경우 바이폴라 트랜지스터에 흐르는 전류는 커지게 되어 커크효과 (Kirk Effect)의 발생을 피할 수 없게 된다.

내부 로직회로에 의해 구동되는 실제적인 경우에 대한 그림이 그림 3에 나타내었다.^[4]

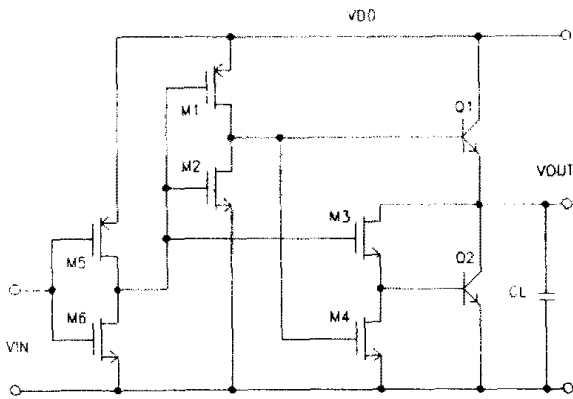


그림 3 내부회로를 같은 BiCMOS 버퍼

이 그림에서 PMOS 트랜지스터 M_1 의 폭이 증가하면 M_1 의 게이트 커패시턴스는 증가하게 되며 이를 출력 커패시턴스로 취하는 내부로직 회로의 속도는 감소하게 될 것이다. 따라서 전체 지연을 얻기 위해 Q_1 이 고전류 영역에서 동작할 필요가 없게 된다.

SPICE 시뮬레이션을 위한 MOS와 바이폴라 트랜지스터의 파라미터 값들은 표 1과 표 2에 나타내었다.^[5]

표 1 PMOS와 NMOS의 SPICE 파라미터

Papameter	PMOS	NMOS	Unit
V_{TO}	-0.8	0.8	V
U_0	250	250	$cm^2/V \cdot s$
T_{OX}	25N	25N	m
N_{SUB}	5E16	1E16	cm^{-3}
X_J	0.2U	0.2U	m
L_D	0.15U	0.15U	m
C_{GSO}	350P	350P	F/m
C_{GDO}	350P	350P	F/m
C_J	0.33E-3	0.33E-3	F/m ²
M_J	0.5	0.5	-

표 2 npn 바이폴라 트랜지스터의 파라미터

Papameter	PMOS	NMOS	Unit
V_{TO}	-0.8	0.8	V
U_0	250	250	$cm^2/V \cdot s$
T_{OX}	25N	25N	m
N_{SUB}	5E16	1E16	cm^{-3}
X_J	0.2U	0.2U	m
L_D	0.15U	0.15U	m
C_{GSO}	350P	350P	F/m
C_{GDO}	350P	350P	F/m
C_J	0.33E-3	0.33E-3	F/m ²
M_J	0.5	0.5	-

같은 풀업 (Pull-Up)과 풀다운 (Pull-Down) 과도 특성을 얻기 위해 $W_P/W_N = \mu_N/\mu_P$ 의 관계를 이용한다. 채널길이는 $2 \mu m$ 이고, 짧은 채널폭 효과를 줄이기 위해 NMOS인 M_6 의 채널 폭은 $6 \mu m$ 으로 하였으며, PMOS인 M_5 는 $12 \mu m$ 로 하였다. 방전트랜지스터인 M_2 와 M_4 는 전체의 작은 지연시간을 얻기 위해 채널폭을 4

μm 로 작게 설계하였다.

풀업과 풀다운 시간을 같게 하기 위해 M_1 과 M_3 의 채널폭의 비를 위의 식에 맞추어야 되나, SPICE 시뮬레이션에 의하면 M_1 과 M_3 의 채널폭은 같아도 그 차이가 없으므로 두 채널폭을 같게 설계하였다.

내부 MOS에 의한 지연시간을 T_M 이라 하면 T_M 은^[6]

$$T_M = \frac{(2W_1+W_2)(LC_{OX}+3C_{GSO})L}{W_6 \mu_N C_{OX}(V_{CC}-V_T)} \quad (5)$$

전체지연시간은 T_M 과 식 (3)의 τ_d 의 합으로 표현되며 이를 간단히 하면, 전체지연 T_T 는^[4]

$$T_T = \frac{(2W_1+W_2)(LC_{OX}+3C_{GSO})L}{W_6 \mu_N C_{OX}(V_{CC}-V_T)} + \frac{2LV_{BE}(C_E+C_C)}{W_1 \mu_P C_{OX}(V_{CC}-V_T)^2} + \frac{T_0}{\sqrt{1 - \left(\frac{T_0}{2\beta \tau_i'}\right)^2}} \quad (6)$$

식 (6)에 의하면 BiCMOS 회로의 지연시간은 T_0 에 비례하는 관계가 있음을 알 수 있다. T_0 는 식 (4)에 의하여 순방향 주행시간의 제곱근에 비례함을 볼 수 있다. 부하용량에 대하여 살펴볼 경우 BiCMOS의 지연시간도 커패시턴스의 제곱근에 비례하여 증가하는 관계임을 알 수 있다.

MOS와 바이폴라 파라미터들에 의한 지연시간의 변화들 SPICE 시뮬레이션에 의해 살펴보았으며 그 결과를 다음 그림들에 나타내었다. 적은 지연시간을 얻기 위한 MOS 트랜지스터 M_1 과 M_2 의 채널폭은 부하에 따라 다르나 $24 \mu m$ 에서 $30 \mu m$ 의 값이며[그림 4], 바이폴라 트랜지스터 Q_1 과 Q_2 의 에미터 폭은 Knee 전류에 따라 $6 \mu m$ 에서 $10 \mu m$ 임을 볼 수 있다[그림 5]. 순방향주행시간에 대한 지연시간의 관계가 그림 6에 보여진다.

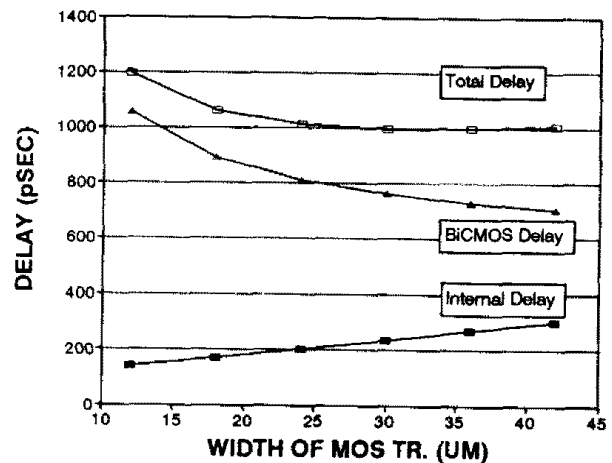


그림 4 SPICE로 시뮬레이션한 MOS Tr.의 폭과 지연과의 관계

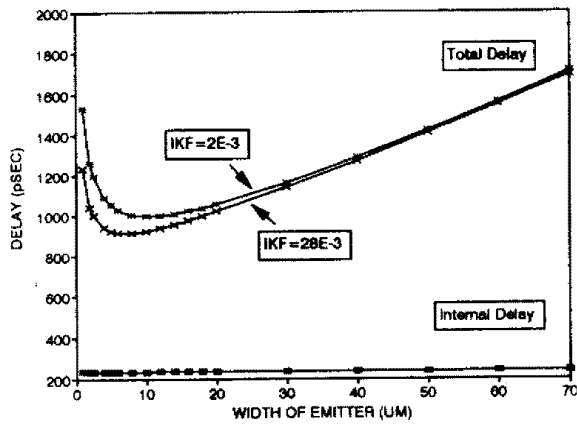


그림 5 Emitter의 폭과 지연과의 관계

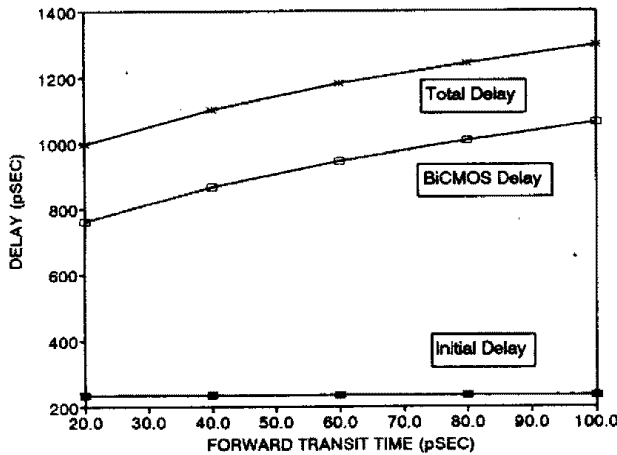


그림 6 순방향주행시간과 지연과의 관계

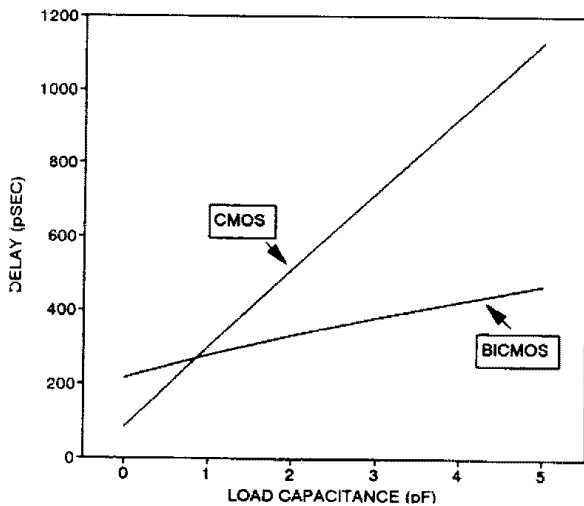


그림 7 BiCMOS 및 CMOS의 부하용량과 지연과의 관계

2절에서 논의된 CMOS 인버터와 BiCMOS 인버터에 대한 시뮬레이션 결과도 같이 그림 7에 나타내었다. 용량성 부하에 대한 지연시간을 살펴본 것으로, 앞에서 예견된 바와 같이 부하용량이 커짐에 따라 CMOS는 급격한 지연시간의 증가를 요구하나, BiCMOS 회로는 완만한 지연시간의 증가를 보이고 있다. 이는 부하가 큰 경우 BiCMOS 회로의 장점이 더욱 부각되고 있음을 보여주는 것이라 하겠다.

6. 결론

본 논문에서는 CMOS와 바이폴라 트랜지스터의 서로 다른 장점들을 가지는 BiCMOS로 구성된 회로를 여러가지 디자인 파라미터들의 변화에 따른 전기적인 특성을 살펴 보았다. 전자회로 해석에 많이 쓰이고 있는 SPICE를 이용하여 시뮬레이션함으로써 CMOS와 BiCMOS로 구현된 인버터의 경우 예견된 전기적 특성이 시뮬레이션에 의해 확인되었으며, 스위칭 속도와 소비전력에 영향을 주는 지연시간에 대한 여러 파라미터들의 최적조건들을 찾았다.

본 논문에서는 MOS 트랜지스터의 채널 폭과 바이폴라 트랜지스터의 에미터 면적과 순방향전달시간, 그리고 외부의 부하에 대한 변화들을 살펴보았다. 특히 용량성 부하에 따른 지연시간의 경우 CMOS로 구성된 회로의 경우에는 그 부하용량에 따라 그 변화가 컸으나, BiCMOS 회로의 경우 그 변화가 적어 부하로 5pF의 커패시턴스를 갖는 경우 CMOS와 BiCMOS 인버터의 지연시간 비가 2.6배가 됨을 보았다.

이상과 같은 결론으로부터 더 나은 특성을 얻고자 하는 BiCMOS 기술이 공정의 복잡성 등의 문제를 극복한다면 저전력화, 고속화 추세에 부응하여 더욱 발전할 수 있을 것으로 보인다.

7. 참고문헌

- [1] Alvarez, A. R., BiCMOS Technology and Applications, Kluwer Academic Publishers, 1989.
- [2] Embabi, S. H. K., Digital BiCMOS Integrated Circuit Design, Kluwer Academic Publishers, 1993.
- [3] Greeneich, E. W., "Analysis and Characterization of BiCMOS for High-Speed Digital Logic", SC-23, No. 2, 1988.
- [4] Fang, W., et al., "An Accurate Analytical BiCMOS Delay Expression and its Application to Optimizing High-Speed BiCMOS Circuits", SC-27, No. 2, 1992.
- [5] Rossel, G. P., et al., "Influence of Device Parameters on the Switching Speed of BiCMOS Buffers", SC-24, pp. 90-99, 1989.
- [6] Fang, W., et al., "Studies of Propagation Delay for High Speed Bipolar Logic Circuits", Ph. D. Dissertation, Southampton Univ., Fouthampton, England, Sept., 1990.