

SI-93-04

## 저온 다결정 실리콘 박막의 성장 및 다결정 실리콘 박막트랜지스터에의 응용

# The Growth of Low Temperature Polysilicon Thin Films and Application to Polysilicon TFTs

하승호, 이진민, 박승희\*  
김영호

수원대학교 전자재료공학과 석사과정  
수원대학교 전자재료공학과 교수

S. H. Ha, J. M. Lee, S. H. Park\*  
Y. H. Kim

The University of Suwon  
The University of Suwon

### Abstract

The characteristics of low temperature poly-Si thin films with different growth condition were investigated and poly-Si TFTs were fabricated on solid phase crystallized (SPC) amorphous silicon films and as-deposited poly-Si films. The performance of devices fabricated on the SPC amorphous silicon films was shown to be superior to that of devices fabricated on as-deposited poly-Si films. It was found that the characteristics of low-temperature poly-Si thin films such as surface roughness, crystal texture and grain size strongly influenced the poly-Si TFT performance.

### 1. 서론

최근 poly-Si TFTs 는 AMLCDs, SRAM 및 3D-ICs 의 응용 가능성으로 인하여 많은 주목

을 받고 있다. 그러나 다결정 실리콘 막에 존재하는 많은 수의 defect states 로 인하여 poly-Si TFTs 의 전기적 특성이 bulk Si MOSFET 보다 떨어지는 것이 사실이다. 따라서 poly-Si TFTs 의 전기적 특성을 개선시키는 것이 무엇보다 중요하며 이에 대한 연구가 집중적으로 진행되고 있다.

Poly-Si TFTs 의 전기적 특성을 개선시키는 방법으로는 다결정 실리콘 막의 grain size 를 크게하는등의 다결정 실리콘 막 성장 기술과 hydrogen을 passivation 시켜 defect states 수를 감소시키는 hydrogenation 공정 기술이 있다. 그러나 다결정 실리콘 막의 성장 기술은 제조 공정 처리 온도 (저온 공정, 고온 공정)에 따라 크게 제한되며, poly-Si 박막을 형성하는 방법은 저온화가 가능한 다결정 실리콘 증착법, 고상결정화(solid phase crystallization : SPC)방법과 laser annealing이 있다. 특히 고상결정화 방법은 laser 방법에 비하여 막의 균일성과 대량생산 할 수 있는등의 장점을 갖고 있

기때문에 고상결정화 방법의 최적조건을 개발하는 것이 필요하다. 따라서 본 연구에서는 저온 poly-Si 박막 성장 조건에 따른 poly-Si 박막 특성을 측정하여 다음 poly-Si 박막을 사용하여 poly-Si TFTs에 응용하고자 한다.

## 2. 실험 방법

### 1) Poly-Si 박막 성장 실험

최적의 막 조건을 알아내는 연구로는 annealing 시간, annealing 온도, annealing, 증착 온도에 따른 poly-Si 박막의 물성을 조사하였다. Annealing 시간의 변화는 열처리 시간을 0.5, 1, 2, 4, 8, 12, 24, 36, 48, 72, 84, 96 시간으로 변화하여 이에 대한 물성을 조사하였다. Annealing 온도의 변화는 열처리 온도를 550°C, 600°C 로 조건을 두어 시간의 변화와 같이 물성 조사를 하였다. 고상 결정화된 poly-Si 박막의 물성 측정은 Raman spectrum은  $480\text{cm}^{-1} \sim 520\text{cm}^{-1}$ 의 피크의 이동도와 UV reflectance은 275 nm ~ 365 nm의 파장 사이의 반사도 peak의 면적을 Si 단결정과 상대 비교하여 결정화의 정도를 알아봄으로써 적절한 결정화 시간을 조사하였다. XRD는 X-ray를  $\text{CuK}\alpha$  선( $\lambda = 1.542 \text{ \AA}$ )을 사용하여 결정화에 따른 peak를 분석하며 방향성과 결정화를 알아냈다. EPR 측정으로 electro spin density를 조사하여 peak의 면적을 계산함으로써 상대적 defect density를 측정하였다. 또한 SEM(scanning electro microscope)으로 내부 결정 성장의 구조와 표면 상대 grain의 크기를 조사하며 TEM(transmission electro microscope)으로 poly-Si 박막의 증착 조건에 따른 미세구조를 관찰하였다.

### 2) Poly-Si TFTs 소자 제작 방법

P형 실리콘 웨이퍼(4", 100 방향)위에 APCVD

방법으로 480°C 에서 4500 Å의  $\text{SiO}_2$ 를 증착한 후 LPCVD 방법으로 550°C 에서 1500 Å의 Si 박막을 증착하여 활성화 영역층으로 사용하였다. 그 다음 활성화 영역층을 결정화하기 위하여 600°C 질소 분위기에서 36시간 저온 열처리하였으며 활성화 영역을 정의한 후 건식 식각 방법으로 poly-Si 박막을 식각 하였다. 그리고 게이트 산화막은 APCVD 방법으로 480°C에서 1000 Å의  $\text{SiO}_2$  박막을 증착하였으며 poly-Si 게이트 전극으로는 LPCVD 방법을 사용하여 550°C에서 1800 Å 두께로 증착하였다. 게이트 패터닝 후 자기 정렬 방법으로 소오스, 드레인, 게이트 영역을  $\text{P}^+$  이온( $5 \times 10^{15}/\text{cm}^2$  40KeV)을 이온주입시켰으며 APCVD 방법으로 480°C에서 3000 Å의 순수  $\text{SiO}_2$ 를 증착하였다. 그 후 주입된 이온을 활성화시키기 위하여 600°C에서 질소 분위기로 24시간 열처리하였으며, 마지막으로 알루미늄(+1%Si)을 스퍼터링하여 전극을 형성한 후 450°C에서 1시간 동안 열처리하여 n 채널 poly-Si TFTs 소자를 제작하였다. Hydrogenation 공정은 rf plasma 장비로 기판 온도를 350°C, power는 150W, 압력은 0.6 torr의 조건으로 1시간 동안 수행하였다. SPC 방법으로 결정화된 poly-Si 박막의 물성은 XRD(X-ray diffraction) 및 SEM(scanning electron microscopy) TEM(transmission electron microscopy)을 이용하여 방향성 및 표면구조를 분석하였으며, 제작한 다결정 poly-Si TFTs의 전기적 특성은 HP 4145B 반도체 변수 분석기를 이용하여 측정하였다.

## 3. 결과 및 고찰

저온 poly-Si 박막의 성장 방법에 따른 poly-Si 박막의 성질을 TEM 단면사진, SEM 표면사진, UV reflectance, Raman spectroscope, XRD등으로 조사하였으며 SPC

poly-Si과 as-deposited poly-Si을 이용하여 제작한 poly-Si TFTs의 전기적 특성을 비교 분석하였다.

Poly-Si 막 특성 분석 결과는 625°C 증착한 as-deposited poly-Si 막은 (111), (110), (311) 방향이 나타났으나 (110) 결정 방향이 우세하였으며 grain 형태는 원주상 구조로 나타났다. SPC poly-Si 막은 (111) 방향이 우세함을 알 수 있었으며, grain 형태는 수직상 결정구조로 나타났다. 또한 550°C a-Si 증착후 550°C 열처리하는 32시간에 결정화가 일어났으며, 600°C 열처리하는 5시간에 결정화가 됨을 알 수 있었다. 또한 표면 roughness는 as-deposited poly-Si 막이 거칠게 나타났으며, grain size는 SPC poly-Si 막이 크게 나타났다.

소자를 제작하여 반도체 변수 분석기 (HP4145B)로 실험 분석 결과 SPC poly-Si

막으로 제작된 소자의 모든 전기적 특성이 as-deposited poly-Si 막으로 제작된 소자보다 월등하게 좋은 것으로 나타났으며 poly-Si 막의 방향성과 grain size 및 roughness 등의 막 성질이 저온 poly-Si TFTs의 전기적 특성에 크게 영향을 미치는 것을 알 수 있었다.

#### 4. 참고 문헌

1. K.Ono, T.Ayoma, N.Konishi, K.Miyata, *IEEE Electron Devices*, Vol.39, No.4, pp.792-780, 1992.
2. S.Yamada, *et al.*, *Jpn.J.Appl.Phys.*, Vol.29, pp.L2388, 1990.
3. Anne Chiang, I.Wei,Wu, Alan.G.Lewis, *IEEE Electron Devices Letter*, Vol.10, No.3, pp.123-125, 1989.