

SI-93-02

안티몬 박막을 도우핑소스로 한 다결정실리콘 도우핑  
Polycrystalline silicon doping using antimony  
thin film as doping source

°이인찬\*, 마대영\*, 김상현\*, 김영진\*\*, 김기완\*\*

\* 경상대학교 전기공학과 \*\* 경북대학교 전자공학과

°I.C. Lee\*, T.Y. Ma\*, S.H. Kim\*, Y.J. Kim\*\*, K.W. Kim\*\*

\* Dept. of Electrical Engineering, Gyeongsang Natl. Univ.

\*\* Dept. of Electronics Engineering, Kyungpook Natl. Univ.

Abstract

In this study, we developed new process for doping poly-Si film. Sb(antimony) thin film was used as doping source. Sb was evaporated on poly-Si film deposited by LPCVD followed by annealing.

We investigate sheet resistance variation with annealing temperature and time. Finally we adapted this process to poly-Si TFT fabrication.

(Low Pressure Chemical Deposition) 방법으로 625°C에서 다결정실리콘 박막을 5000Å 두께로 증착한 다음 그위에 안티몬 박막을 증착하고 열처리온도 및 시간을 변화시켜가며 다결정실리콘 박막의 전기적특성 변화를 측정하였다. 실험결과를 토대로 하여 안티몬 박막을 도우핑 소스로 한 다결정실리콘 박막트랜지스터를 제조하고 그 전기적 특성을 측정 및 분석 하였다.

1. 서 론

다결정실리콘은 MOS 트랜지스터의 게이트 및 소자간의 연결선과 쌍극성 트랜지스터의 에미터등 마이크로전자공학에서 널리 이용되고 있다. 최근에는 다결정실리콘을 활성영역으로 사용하는 박막트랜지스터에 대한 연구가 활발하며 이는 박막트랜지스터가 제조공정이 간단하고, 경제적이며 저온공정이 가능하므로 VLSI 메모리 셀<sup>[1]</sup>, 3차원 IC<sup>[2]</sup>, 대형평면표시기<sup>[3,4]</sup>등 대면적 미세전자공학 소자로서의 활용 가능성이 높기 때문이다.

본 연구에서는 대면적공정에 적합하지 않은 이온주입 대신 안티몬 박막을 도우핑 소스로 하여 다결정실리콘 박막을 도우핑 하였다. 안티몬은 쉽게 박막으로 제조할 수 있으며 기존에는 MOSFET의 shallow junction을 위한 고체도우핑 소스로 연구되어 왔다<sup>[5]</sup>. 먼저 LPCVD

2. 실험

2.1. 다결정실리콘 박막 도우핑실험 및 측정

그림 1은 본 실험에서 제조한 다결정실리콘 박막의 구조 및 안티몬 도우핑에 따른 다결정실리콘 박막의 전기적특성을 측정하기 위한 공정도이다.

저항을 10-20 Ω-cm, (100) 방향 p-type실리콘 웨이퍼를 1000°C 에서 열산화시켜 기판으로 사용하였다. LPCVD를 이용하여 625°C에서 5000Å 의 다결정 실리콘 박막을 증착한후 그위에 진공 열증착법으로 안티몬 박막을 증착하였다. 안티몬 박막 제조시 진공도 2×10<sup>-5</sup>mbar, 기판온도 75°C, 두께 600Å 등 증착조건은 고정시켜놓고 Deposition rate만을 변화시켰다.

Deposition rate은 Thinkness monitor와 직접제작한 온도 controller를 이용하여 조정하였으며 안티몬 박막의 두께는 α-step(Tencor 100)으로 측정하였다. 제조된 박막의 Deposition rate에 따른 전기전도도와의 관계를 4-point probe로 측정하였고, 안티몬 증착된 다결정실리

큰 박막과 안티몬 증착하지 않은 박막을 850°C부터 1100°C까지 온도를 변화시켜 가면서 열처리한 후 열처리된 다결정실리콘 박막의 전기저항 변화를 측정 비교하였다. 제조한 다결정실리콘 박막에 대한 열처리 및 안티몬도핑 전후의 결정성장 관계를 X-ray 회절 측정을 통해 비교하였다. 이때 Bragg angle의 측정범위는 10~60°(2θ), X-ray source는 Cu-Kα(λ=1.5418Å)를 사용하였다. 성장된 결정립의 크기는 X-ray 회절 신호 크기의 half width에 Scherrer공식을 적용하여 구하였다<sup>6)</sup>.

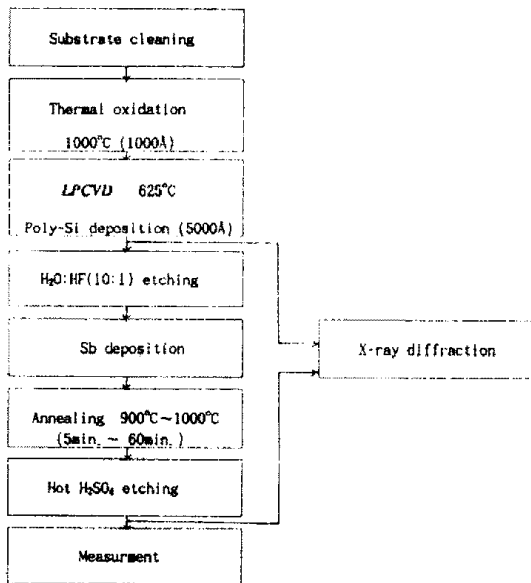


그림 1. 안티몬 도우핑 실험 및 측정 공정도

## 2.2. 다결정 실리콘 박막트랜지스터 제작 및 특성측정

안티몬 박막을 도우핑소스로 하여 다결정실리콘 박막트랜지스터를 제조하였다. 그림 2은 제조된 박막트랜지스터의 단면구조를 보여주고있다.

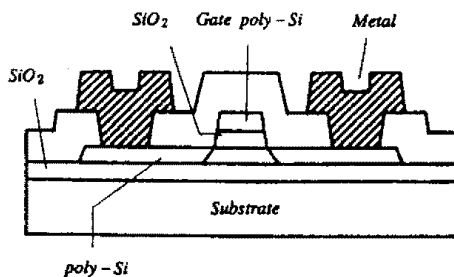


그림 2. 다결정실리콘 박막트랜지스터의 단면도

그림 3은 다결정실리콘 박막트랜지스터의 제조공정을 나타내었다. p-type 실리콘 웨이프(4" 100방향)위에 1000Å의 열산화막을 1000°C에서 성장시킨 후 기판으로 사용하였다. 기판위에 LPCVD방법으로 550°C에서 1700Å의 실리콘 박막을 증착하여 활성영역으로 사용하였다. 그런 후 게이트 절연층을 위해 850°C에서 습식산화(wet oxidation)로 1000Å의 산화막을 성장시키고 그 위에 다시 LPCVD방법을 사용하여 625°C에서 5000Å의 실리콘 박막을 증착시켜 게이트 전극으로 사용하였다. 사진작업으로 게이트 패턴을 형성한후 HNO<sub>3</sub>:H<sub>2</sub>O:HF (50:20:1)용액으로 담궈 다결정실리콘 박막을 에칭하였으며 BHF로 아래의 산화막을 에칭하였다. 안티몬을 증착하기전 다결정실리콘 박막의 native oxide를 제거하기 위하여 HF:H<sub>2</sub>O =1:10 용액에 10초간 담궈후 Thermal evaporator를 이용하여 진공도 2×10<sup>-5</sup>mbar에서 안티몬을 600Å 두께로 증착하였다. 이때 증착율은 1.5Å/sec이었다. 그다음 안티몬 도핑을 위해 안티몬 증착된 기판을 열처리 하였다. 열처리 조건은 1000°C에서 10분으로 하였다. 그런 후 남아있는 안티몬 박막을 황산으로 에칭하여 제거하였다. 이때 도핑된 다결정실리콘 박막의 면저항은 각각 3.14 kΩ/□이었다. 마지막으로 Al contact부분의 native oxide를 제거하기 위하여 HF:H<sub>2</sub>O =1:10 용액에 10초간 담궈후 Al을 증착시켜 전극을 형성하고 400°C에서 30분간 열처리 하였다. 제작된 소자의 채널폭과 길이는 각각 75μm, 40μm였다.

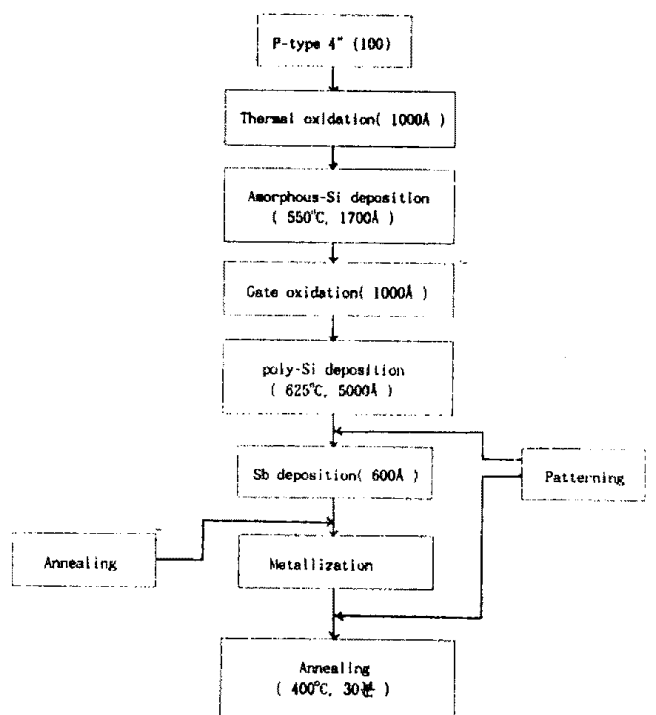


그림 3. 다결정실리콘 박막트랜지스터의 제조공정

제조된 다결정실리콘 박막트랜지스터의 전기적 특성을 반도체 파라미터 분석기(HP 4145B)로 측정하였다. 드레인 전류-드레인 전압( $I_D-V_D$ ,  $I_{DS}^{1/2}-V_D$ ), 드레인 전류-게이트 전압( $I_D-V_G$ ), 사이의 관계를 측정 하였다.

### 3. 결과 및 고찰

#### 3.1 Sb 박막 및 다결정실리콘 박막의 전기적 특성

그림 4은 다결정실리콘 박막위에 증착한 안티몬 박막의 deposition rate에 따른 전기 전도도의 변화를 나타낸 것이다. 증착된 박막의 전도도(conductivity)는  $10^5 \sim 10^4$  ( $S\text{-cm}^{-1}$ ) 사이로 나타났으며 안티몬 bulk에 비해 약간 낮은 값을 가짐을 알 수 있다. 증착율이 증가함에 따라 conductivity가 감소하는데 이는 증착율이 증가함에 따라 박막의 치밀도가 떨어짐으로써 발생된다고 사료되며 증착율은  $0.25\text{Å/sec} \sim 3.5\text{Å/sec}$ 의 범위에서 변화 시켰다. 본실험에서 사용한 증착율은  $1.5\text{Å/sec}$ 로 적당한 공정시간과 증착시 가장 안정된 증착율 변화를 가짐으로 선택하였다.

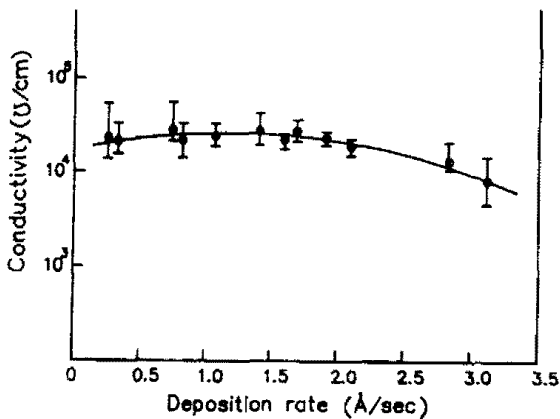


그림 4. 증착율 변화에 따른 안티몬 박막의 전기전도 특성

그림 5는 열처리 온도와 시간에 따른 안티몬 도핑된 다결정실리콘 박막의 면저항 변화를 나타낸 것이다.  $900^\circ\text{C}$  이하의 온도에서는 열처리 시간에 따른 면저항 감소를 볼 수 없었는데, 이는 결정립 계면에서의 dopant segregation<sup>17)</sup>으로 설명할 수 있다. Dopant segregation 현상은 일종의 열역학적 반응으로써 불순물 원자들이 확산에 의해 상대적으로 낮은 에너지상태인 결정립 계면으로 이동하게되어 active carrier농도가 감소됨으로써 전기저항이 증가하는 현상이며 이것은 확산 온도에 반비례하는 것으로 알려져 있다.

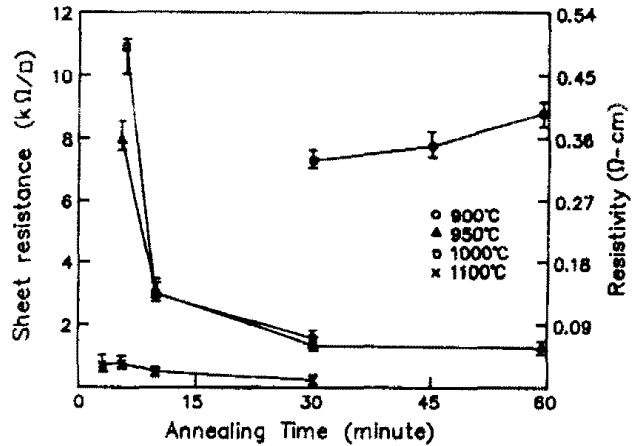


그림 5. 열처리 온도와 시간에 따라 안티몬 도핑된 다결정실리콘 박막의 전기저항 변화

다결정실리콘 박막트랜지스터 제조시 contact으로 사용하기 위해서는  $950^\circ\text{C}$ , 30분 이상의 열처리조건이 이루어져야 될것으로 예상되며 이 이하의 조건에서는 out diffusion을 막기위한 안티몬 박막위의 cap과 함께 장시간의 도핑시간이 필요할 것으로 사료된다.  $900^\circ\text{C}$  이상에서는 열처리온도와 시간을 증가함에 따라 전기전도도가 향상됨을 알 수 있었다. 이러한 현상들은 결정립 크기의 증대에 의한 총결정립 계면의 면적감소등으로 인해 carrier trapping하는 결함들이 감소되어 자유 carrier가 증가되고 결정립 계면으로 segregation 되었던 일부 불순물 원자들이 결정립 내부로 재분포 됨으로써 전기전도도가 증가하는 것으로 추측 할 수 있으며  $950^\circ\text{C}$ 에서 30분 열처리할 경우 대략  $10^{19}$ ( $\text{cm}^{-3}$ )정도의 안티몬이 도핑<sup>18)</sup>된 것으로 추정된다.

#### 3.2 다결정실리콘 박막의 열처리에 따른 특성 변화

그림 6은 열처리된 다결정실리콘 박막에 안티몬을 도핑하기 전과 후의 결정성장 관계를 X-ray 회절측정을 통해 비교한 것이다.

(a)는  $625^\circ\text{C}$ 에서 제조한 다결정실리콘 박막의 열처리 전 X선 회절 결과를 나타낸것이다. 측정 결과 (111)면과 (200)면, (110)면, (311)면이 확인 되었으며 여기서 (200)면은 기판에 의한 것이다. (b)와 (c)는  $625^\circ\text{C}$ 에서 제조한 다결정실리콘 박막을  $1000^\circ\text{C}$ 에서 각각 30분, 60분 열처리한 후 X-ray 회절 측정한 것이다. 이때 열처리 후의 결정형태는 열처리 전에 비해 (111)결정면의 피크치가 증가하고 (110)면의 피크치가 감소하였으며 결정립의 크기는 열처리에 비해 열처리후 2배 정도의 증가가 있었다. 열처리 시간 증가에 따라 결정면의 피크치 및 결정립의 크기변화는 미약한 증가를 보였다. 결정립의 크기

는 수십 A 정도였다. (d)는 안티몬 도핑된 다결정실리콘 박막의 X-ray 회절측정 결과를 나타낸 것이다. (b),(c)의 열처리한 박막의 X-ray 회절특성에 비해 회절 피크치들의 증가와 함께 결정립의 크기도 약간 증가하는 것으로 측정되었다. X-ray 회절특성을 관측해 볼 때 열처리 온도가 증가함에 따라 결정립의 크기도 증가하는 것을 관측할 수 있으며 이것이 전도도에 영향을 미친다고 볼 수 있다. 열처리에 의한 결정립의 증가가 전도도 변화에 미치는 영향을 조사하기 위하여 열처리한 다결정실리콘 박막의 전류-전압(I-V) 특성을 측정하였다. I-V 측정을 위해 다결정실리콘 박막을 W:L = 1:2의 구조를 갖는 저항으로 만들었다. 그림 7에 1000°C에서 30분 열처리한 다결정실리콘 박막의 I-V 특성을 나타내었다. 결정립에 의한 varistor 특성을 확인할 수 있으며 전류가 급격히 증가하는 영역(5V)에서 면저항을 구하면 수백 MΩ/□이다. 열처리에 의해 안티몬 도핑된 다결정실리콘 박막의 면저항과 비교하여 볼 때 열처리 온도의 증가에 의한 결정립 크기의 증가가 전도도에 미치는 영향은 크다고 볼 수 없다. 그러므로 열처리에 의해 안티몬 도핑된 다결정실리콘 박막 면저항의 감소는 결정립 크기의 영향이 아니라 도핑된 안티몬 의한 것임을 알 수 있다.

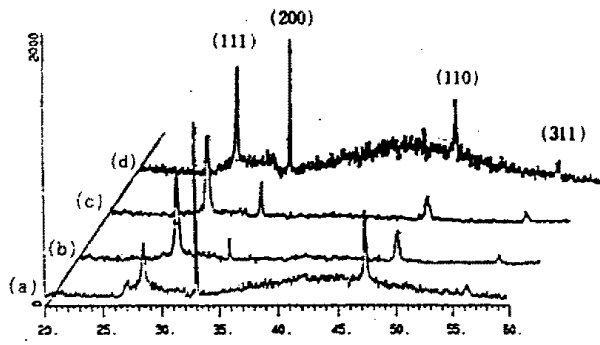


그림 6. 다결정실리콘 막의 X-선 회절 특성

### 3.3 제조된 다결정실리콘 박막트랜지스터의 전기적 특성

그림 8. (a)는 제조된 박막트랜지스터의 드레인 전압-드레인 전류 특성을 나타낸 것이다. 인가한 게이트 전압은 5V단위로 20V까지 인가하였다. (b)는 드레인전류와 게이트 전압 사이의 관계를 나타낸 특성곡선이며 다결정실리콘 박막트랜지스터가 N-채널모드로 동작함을 보여주고 있다. 특성곡선으로부터 드레인 전류와 게이

Current(A)

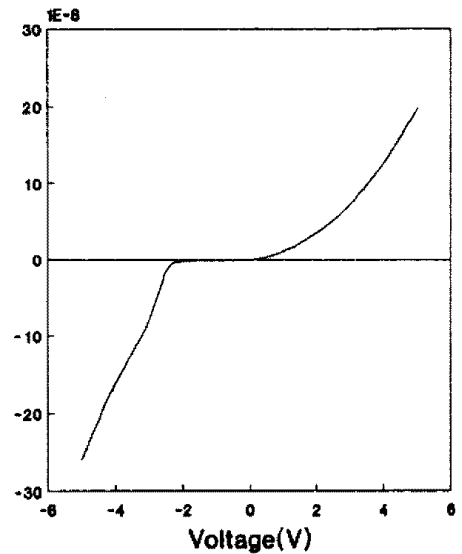
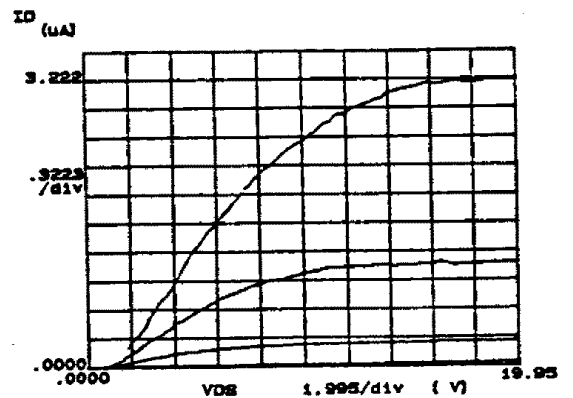


그림 7. 1000°C에서 30분간 열처리한 도핑 하지않은 다결정실리콘 박막의 전류-전압 특성

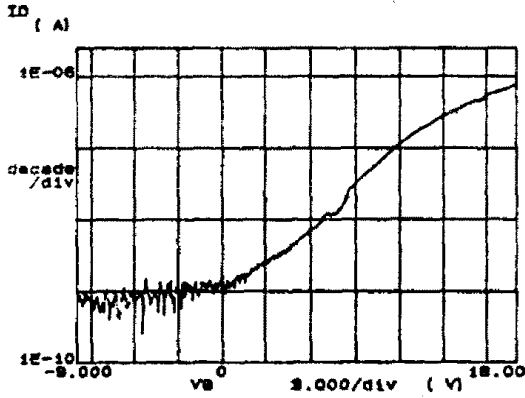
트전압의 선형영역에서의 관계식<sup>[9]</sup>

$$I_d = C_{ox}(W/L)\mu_{FE}(V_g - V_t)V_d \dots\dots\dots [1]$$

을 사용하여 이동도와 문턱전압을 구하였다. 여기서  $C_{ox}$ 는 게이트절연층의 단위면적당 커패시턴스,  $V_t$ 는 문턱전압,  $V_g$ 게이트전압,  $\mu_{FE}$ 는 전계효과 이동도, 그리고  $W, L$ 은 채널의 너비와 길이를 나타낸다. 제조된 박막트랜지스터의 이동도 및 문턱전압은 각각  $1.65\text{cm}^2/\text{V}\cdot\text{sec}$ ,  $8.9\text{V}$  이었다. 그리고 동작전류와 차단전류의 비( $I_{on}/I_{off}$ )는  $10^3$ 배 정도로 측정되었다.



(a)



(b)

그림 8. 다결정실리콘 박막트랜지스터의 특성  
( $W=75\mu\text{m}$  and  $L=40\mu\text{m}$  before hydrogen passivation)

#### 4. 결론

본 연구에서는 안티몬 박막을 다결정실리콘 도핑소스로 사용하여 열처리조건에 따른 도우핑특성을 고찰한 후 실험 결과를 토대로 박막트랜지스터를 제조하여 전기적 특성을 측정 하였다.

안티몬 박막을 도우핑 소스로 하여  $950^{\circ}\text{C}$ , 10분 이상의 열처리에 의해 면저항  $3.14\text{ k}\Omega/\square \sim 0.3\text{ k}\Omega/\square$  을 갖는 다결정실리콘 박막을 제조하였다. 이를 토대로  $1000^{\circ}\text{C}$ 에서 10분간 열처리하여 다결정실리콘 박막트랜지스터를 제조한 결과 문턱전압  $9\text{V}$ , 이동도  $1.65\text{cm}^2/\text{V}\cdot\text{sec}$  로써 n-type으로 동작함을 알 수 있었다. 본 실험의 결과 안티몬 박막을 도우핑 소스로 하여 다결정실리콘 박막트랜지스터를 제조할 경우 기존의 이온주입 공정을 제거할 수 있다는 가능성을 확인 하였다.

#### 참 고 문 헌

- [1] M. Kinugawa, M. Kakumu, T. Yoshida, T. Nakayama, S. Morita et al., Symposium on VLSI Technology pp. 23-24, 1990.
- [2] S. D. S. Malhi et al., IEEE Trans. Electron Devices, vol. ED-32, no.2, pp. 258-281, 1985.
- [3] R. E. Proano, R. S. Miasge, and D. G. Ast., IEEE Trans. on Electron Devices, vol. 36, pp. 1915, 1989.
- [4] S. Batra, K. Park, S. Banerjee, D. Kwong, A. Tash, M. Rodder, and R. Sundaresan., IEEE, Electron Devices Lett., vol. 11, pp. 194, 1990.

- [5] S. F. Gong, H. T. G. Hentzell, and A. Robertsson., J. Appl. Phys. 65, pp. 4435-4437, June. 1989.
- [6] B. D. Cullity., Elements of X-ray diffraction, 2nd.
- [7] A.L. Fripp., J. Appl. Phys. Lett. 46, pp.1240-1244, March. 1975.
- [8] Ted.Kamins., Polycrystalline Silicon for Integrated Circuit Applications, Kluwer Academic Pub. 1989.
- [9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. John Wiley and Sons, Inc., New york . 1981.