

DTC에 의한 공정 파라메터 추출 및 제작된 소자의 특성

Characteristics of Fabricated Devices and Process Parameter Extraction by DTC

서 용 진 *	중앙대 전기공학과
이 철 인	중앙대 전기공학과
최 현 식	중앙대 전기공학과
김 태 형	중앙대 전기공학과
최 동 진	경원대 전기공학과
장 의 구	중앙대 전기공학과

Yong-Jin Seo *	Dept. of Electrical Eng., Chung-Ang Univ.
Cheol-In Lee	Dept. of Electrical Eng., Chung-Ang Univ.
Hyun-Sik Choi	Dept. of Electrical Eng., Chung-Ang Univ.
Tae-Hyung Kim	Dept. of Electrical Eng., Chung-Ang Univ.
Dong-Jin Choi	Dept. of Electrical Eng., Kyung-Won Univ.
Eui-Goo Chang	Dept. of Electrical Eng., Chung-Ang Univ.

Abstract

In this paper, we used one-dimensional process simulator, SUPREM-II, and two-dimensional device simulator, MINIMOS 4.0 to extract optimal process parameter that can minimize degradation of device characteristics caused by process parameter variation in the case of short channel nMOSFET and pMOSFET device. From this simulation, we have derived the relationship between process parameter and device characteristics.

Here, we have presented a method to extract process parameters from design trend curve(DTC) obtained by process and device simulations. We fabricated short channel MOSFET's with these parameters to verify the validity of the DTC method.

The experimental result of 0.8 μm channel length devices that have been fabricated with optimal parameters demonstrates good device characteristics that reduces short channel effects, that is, good drain current-voltage characteristics, low body effects and threshold voltage of $\leq \pm 1.0 \text{ V}$, high punchthrough and breakdown voltage of $\geq 12 \text{ V}$, low subthreshold swing(S.S) values of $\leq 105 \text{ mV/decade}$.

1. 서 론

최근에 쉽게 이용할 수 있는 공정, 소자 및 회로 시뮬레이션 프로그램이 상호 연계되어 반도체 공정기술의 개발을 증진하는데 효율적으로 사용되고 있는데[1] 실리콘 소자의 제작공정 시뮬레이션, 쌍극성 및 MOS 트랜지스터의 전송방정식 계산 및 이들 트랜지스터를 포함하는 복잡한 회로를 분석하기 위한 시뮬레이션에 캐드(CAD)

프로그램[2, 3]이 적용될수 있다. 기존의 시뮬레이션 프로그램은 공정 및 소자물리의 근사모델 및 수치해석방법이 적용된 영역에서 이루어져 있어 공정 및 수치해석 모델에 한계성을 가지므로[4, 5] 모든 조건하에서 정확한 답을 줄 수는 없다. 그러나 이러한 기본적인 한계성에도 불구하고 시뮬레이션의 사용은 실리콘 웨이퍼의 공정단가와 비교해 볼 때 경제적이므로 적절히 사용된다면 기술개발에 필요한 시간을 감소시키고, 시뮬레이션의 시행착오로 부터 초래되는 반복 과정을 제거할 수 있어 정량적인 결과를 얻을 수 있다[1, 2].

따라서 본 논문에서는 서브마이크론 채널길이를 갖는 nMOSFET 및 pMOSFET 소자의 짧은 채널 효과를 최소화 할 수 있는 최적의 공정 파라메터 추출을 위해, SUPREM-II[6]와 MINIMOS 4.0 프로그램[7]을 사용하여 공정 파라메터와 소자특성 사이의 의존성을 유도하였다. 이와같은 공정 및 소자 시뮬레이션에 의해 디자인 경향 곡선(Design Trend Curve : DTC)을 구한 후, 공정 파라메터의 변화에 대한 소자특성의 의존성으로부터 최적의 공정 파라메터를 추출하였으며, 추출된 공정 파라메터를 가지고 서브마이크론 MOSFET 소자를 제작하여 짧은 채널 특성을 고찰함으로써 DTC에 의한 공정 파라메터 추출법의 타당성을 검증하였다.

2. 디자인 경향 곡선(DTC)

공정조건의 initial guess로 SUPREM-II를 사용하여 얻은 1차원의 공정 시뮬레이션 결과를 2차원 소자 시뮬레이션을 위해 MINIMOS 4.0 프로그램에 입력으로 사용하였다. 결과적으로 공정 파라메터와 소자특성 사이의 의존성이 유도되었으며, 이 의존성으로부터 공정 및 소자 파라메터의 상호의존성을 특성화 한 후, 포화영역($V_{DS} = \pm$

3V)에서의 subthreshold swing(S.S), off 상태의 누설전류($\log(I_L)$), 문턱전압(V_T), 선형영역($V_{DS}=\pm 0.1V$)에서의 트랜스컨덕턴스(g_m), 드레인 포화전류(I_{Dsat})와 같은 임계 소자 파라메터를 추출하였다. 그리고 나서 추출된 각각의 임계 파라메터를 최대값으로 나누어 정규화시킨 후, 선택된 공정 파라메터(N_B , D_c , L , Tox , X_i)의 변화에 따라 디자인 경향 곡선(Design Trend Curve ; DTC)을 그려 임계 디자인 한계를 고찰하였다. 그림 1에 보인 바와 같이 공정 파라메터가 변화함에 따라 정규화된 각각의 임계 파라메터가 증가 및 감소 경향을 보이므로 이를 특성을 동시에 만족시킬 수 있는 공정 파라메터의 범위를 찾기위해 증가곡선과 감소곡선이 만나는 점들로 이루어진 **閉面**을 정의한 후, DTC의 X축에서 이 폐면이 차지하는 범위를 공정 파라메터의 허용범위(allowed range)로 선택하였다. 그리고 나서 이들 범위의 중간값(center point ; C.P)을 최적의 공정 파라메터로 결정하였다.

3. 시뮬레이션

3.1 Initial guess

본 공정 시뮬레이션에서는 twin-well CMOS 구조 [8]를 사용하였으며 공정진행 순서에 따른 각 단위공정의 목표값을 만족시키기 위하여 SUPREM-II로 수차례의 시뮬레이션을 실행하여 공정 조건을 얻었으며, 최종적인 시뮬레이션 프로그램에 setting 하였다.

3.2 벌크농도(N_B)의 의존성

그림 2는 벌크농도 변화에 따른 소자특성의 의존성 고찰을 통해 추출된 임계 소자 파라메터를 각각의 최대값으로 나누어 정규화시킨 후, 이를 벌크농도 변화에 대해 보인 디자인 경향곡선(DTC)이다. 벌크농도가 증가함에 따라 nMOS 소자의 경우, subthreshold swing(S.S) 값과 문턱전압은 증가한 반면에 누설전류, 트랜스컨덕턴스, 드레인 포화전류는 감소하는 경향을 나타내었다. 그러나 pMOS 소자의 경우는 벌크농도 증가에 따라 문턱전압만 증가하는 경향을 보였고 나머지는 감소하였으며 트랜스컨덕턴스는 벌크농도에 무관한 결과를 나타내었다. 정규화 과정에서 누설전류는 \log 값을 취한 후 이를 최대값으로 나누었기 때문에 곡선상에서의 증가는 실제적으로는 감소하는 의미를 갖고 있다. 따라서 증가곡선과 감소곡선이 만나는 점들로 이루어진 **閉面**이 DTC의 X축에서 차지하는 허용범위의 중간값(C.P)인 $5 \times 10^{16} \text{ cm}^{-3}$ 을 최적의 벌크농도로 선택하였다.

3.3 문턱전압 조정을 위한 이온주입(D_c)의 영향

그림 3은 문턱전압 조정을 위한 봉소 이온주입량에 따른 소자특성의 의존성 고찰을 통해 얻은 디자인 경향곡선(DTC)이다. 봉소 이온주입량이 증가함에 따라 nMOS 소자의 경우 S.S 값과 문턱전압은 증가한 반면에 누설전류, 트랜스컨덕턴스 및 드레인 포화전류는 감소하는 경향을 보였다. 그러나 pMOS 소자의 경우는 S.S 값, 드레인 포화전류 및 누설전류는 증가를 하였고 트랜스컨덕턴스와 문턱전압은 감소하는 추세를 보였다. 한편 증가곡선과 감소곡선이 만나는 점으로 이루어진 폐면이 DTC의 X축에서 차지하는 허용범위는 nMOS 소자의 경우는 $1.2 \times 10^{12} \sim 1.6 \times 10^{12} \text{ cm}^{-2}$, pMOS 소자의 경우는 $1.1 \times 10^{12} \sim 1.7 \times 10^{12} \text{ cm}^{-2}$ 의 범위에 있으므로 두 소자를 동시에 만족시킬 수 있는 중간값(C.P)인 $1.3 \times 10^{12} \text{ cm}^{-2}$ 를 최적의 봉소 이온주입량으로 결정하였다.

3.4 채널길이(L)의 의존성

그림 4는 채널길이 변화에 따른 디자인 경향 곡선(DTC)이다. 채널길이가 감소함에 따라 nMOS 소자의 경

우 문턱전압은 일정하였고 S.S 값만 약간 감소한 반면에 누설전류, 드레인 포화전류 및 트랜스컨덕턴스는 증가하는 경향을 보였으며, pMOS 소자의 경우는 채널길이 감소에 따라 문턱전압만 감소를 하였고 나머지 파라메터는 모두 증가를 하였다. 채널길이 감소에 따라 증가곡선과 감소곡선이 만나는 점으로 이루어진 **閉面**이 차지하는 허용범위는 $0.65 \sim 0.85 \mu\text{m}$ 이었고 중간값(C.P)인 $0.8 \mu\text{m}$ 을 최적의 채널길이로 결정할 수 있다.

3.5 게이트 산화막 두께(Tox)의 의존성

그림 5는 게이트 산화막의 두께 변화에 따른 디자인 경향곡선(DTC)이다. 산화막 두께가 감소함에 따라 nMOS 소자의 경우 문턱전압 및 S.S 값은 감소한 반면에 누설전류, 드레인 포화전류 및 트랜스컨덕턴스는 증가하는 경향을 보였다. 그러나 pMOS 소자의 경우에는 두께감소에 따라 S.S 값과 누설전류는 감소를 하고 문턱전압, 트랜스컨덕턴스 및 드레인 포화전류는 증가를 하였다. 따라서 DTC의 증가곡선과 감소곡선이 만나는 점으로 이루어진 **閉面**이 X축에서 차지하는 허용범위는 $15 \sim 25 \text{ nm}$ 이므로 중간값(C.P)인 20 nm 을 최적의 산화막 두께로 결정할 수 있다.

3.6 접합깊이(X_i)의 의존성

그림 6은 접합깊이에 따른 디자인 경향곡선(DTC)이다. 접합깊이가 감소함에 따라 nMOS 소자의 경우 S.S 값은 증가를 하였고 문턱전압은 증가를 하다가 일정한 하였으며 누설전류, 트랜스컨덕턴스 및 드레인 포화전류는 감소하는 경향을 보였다. 그러나 pMOS 소자의 경우는 접합깊이 감소에 따라 S.S 값과 누설전류는 증가를 하였고, $0.4 \mu\text{m}$ 의 접합깊이에서 드레인 포화전류는 증가를 하다가 감소하였으며 트랜스컨덕턴스는 증가 후 일정해졌고 문턱전압은 접합깊이에 무관한 경향을 나타내었다. 따라서 두 소자의 증가곡선과 감소곡선이 만나는 점들로 이루어진 **閉面**이 DTC의 X축에서 차지하는 허용범위는 nMOS 소자의 경우는 $0.25 \sim 0.3 \mu\text{m}$, pMOS 소자는 $0.4 \sim 0.55 \mu\text{m}$ 의 범위에 있으므로 nMOS 및 pMOS 소자의 제작에 적합한 최적의 접합깊이는 각각이들 범위의 C.P인 $0.25 \mu\text{m}$, $0.45 \mu\text{m}$ 로 선택하였다.

4. 소자 제작

비저항이 $2\text{-}3 \Omega\text{-cm}$ 이고 인(phosphorus)이 도핑된 (100) n형 Si 웨이퍼위에 300A 의 초기산화막을 성장시킨 후, p-well 형성을 위해 B_{II}^+ 이온을 $1.0 \times 10^{13} \text{ cm}^{-2}$, 150 KeV 로 이온주입을 하였다. p-well 위에 $3600 \pm 180 \text{ A}$ 의 두꺼운 산화막을 성장시켜 n-well 이온주입을 위한 차폐 산화막(mask oxide) 형성과 동시에 1150°C , N_2 분위기에서 440분 동안 p-well을 드라이브인(drive in)하였고 n-well은 $1.8 \times 10^{12} \text{ cm}^{-2}$ 의 P_{III} 이온을 150 KeV 로 이온주입한 후, 1100°C , N_2 분위기에서 60분 동안 드라이브인 하였다. n채널 영역의 필드 문턱전압을 높히기 위해 p-well 영역에만 채널 정지 영역(channel stop region)을 형성하기 위해 BF_2^+ 이온을 $1.5 \times 10^{13} \text{ cm}^{-2}$, 100 KeV 로 이온주입 하였다. 필드산화막을 $5200 \pm 250 \text{ A}$ 정도 성장시킨 후, 펀치쓰루를 방지하기 위해 p-well 영역에만 B_{II}^+ , $2.5 \times 10^{12} \text{ cm}^{-2}$, 120 KeV 의 깊은 이온주입을 하였으며 nMOS 및 pMOS 소자의 문턱전압을 대칭적으로 조정하기 위해 B_{II}^+ 이온을 $1.3 \times 10^{12} \text{ cm}^{-2}$, 20 KeV 로 얕은 이온주입을 하였다. 계속해서 200 A 의 게이트 산화막을 성장시킨 후, $1500 \pm 150 \text{ A}$ 의 다결정 실리콘을 LPCVD로 도포(deposition) 하였고 $POCl_3$ 을 도핑하여 n' 다결정 실리콘 게이트를 형성하였다. 또한 게이트와 소오스/드레인 확산영역의 오버랩(overlap)된 커패시턴스를 감소시키고

소오스/드레인 형성을 위한 이온주입 동안 얇은 게이트 산화막 및 다결정 실리콘의 손상을 방지하기 위해 n' 다결정 실리콘을 산화막으로 보호하였다. n' , p' 소오스/드레인은 As_2S 와 BF_2 이온을 각각 $6.0 \times 10^{15} \text{ cm}^{-2}$, 60 KeV 와 $3.0 \times 10^{15} \text{ cm}^{-2}$, 70 KeV로 이온주입한 후, 900 °C에서 20분 어닐링하였다. 그리고 나서 웨이퍼의 전체 표면에 LTO(Low Temperatur Oxide) SiO_2 막을 형성하고나서 접촉구(contact window)를 open하기 위해 에칭하였다. LPCVD로 첫번째 텅스텐 실리사이드(WSi_2)를 증착한 후 내부연결선(interconnection line)을 형성하기 위해 패턴하였고 다음공정으로 웨이퍼의 표면을 평탄화(planarization)시키기 위해 LTO 산화막으로 도포한 후, 두번째 WSi_2 를 형성하였다. 마지막으로 BPSG로 보호막을 입힌 후 전극을 형성하고 얼로이(alloy)하였다.

5. 결과 및 고찰

5.1 드레인 전류-드레인 전압 특성

그림 7은 필드산화막이 5200 Å, 게이트 산화막이 20 nm이며 소자면적(W/L)이 50/0.8 μm 인 nMOS 및 pMOS 소자의 $I_D - V_D$ 특성을 나타낸 것이다. nMOS 소자의 경우 6 V 이상의 드레인 전압에서 전자의 높은 충돌 전리(impact ionization)에 기인하여 드레인 전류는 상당히 높았으나, 3 V 구동에서는 충분한 여유(margin)를 가지고 있다고 볼 수 있다. 또한 게이트 전압이 증가함에 따라 브레이크다운 전압은 감소하였다. 그러나 pMOS 소자는 충돌전리에 의한 영향은 나타나지 않았으나, 포화영역에 들었을 때에도 드레인 전류가 포화되지 않고 약간의 증가를 보였다. 이는 매몰체널 특성을 갖는 pMOS 소자는 채널이 표면으로 부터 떨어져 있으므로 가로방향의 전계(transversal electric field)가 작아지게 되어 표면과의 산란(scattering)이 적어지므로 정공의 이동도가 커져서 트랜스컨덕턴스가 증가하기 때문으로 생각된다.

5.2 Body 효과

그림 8은 소자면적이 50/0.8 μm 인 경우 드레인 전압을 ± 0.1 V로 고정시킨 후, 게이트 전압에 따른 드레인 전류를 기판전압(V_{BS})의 변화에 따라 나타낸 것이다. 기판전압이 증가함에 따라 문턱전압 및 트랜스컨덕턴스가 오른쪽으로 shift 하였으며 기판전압에 따른 문턱전압의 변화분(ΔV_T)이 pMOS 소자보다는 nMOS 소자의 경우에 더 커는데 이는 전자의 충돌전리율이 정공보다 훨씬 크기 때문에 pMOS 소자보다는 nMOS 소자가 기판전압에 더 강한 영향을 받아 body 효과가 더 큼을 알 수 있다.

5.3 Subthreshold 특성

그림 9는 50/0.8 μm 의 소자면적을 갖는 경우 nMOS 및 pMOS 소자의 드레인 전압 변화에 따른 subthreshold 특성을 보인것이다. 소자의 문턱전압을 드레인 전류가 1 μA 인 경우의 게이트 전압으로 정의할 경우 nMOS 소자는 드레인 전압이 1 V 일때 약 0.95 V에서 드레인 전압이 5 V인 경우 약 0.9 V로 약 0.05 V 정도의 양호한 parallel shift를 보였으나 pMOS 소자의 경우는 -0.7 V에서 -0.35 V로 감소하여 약 0.35 V의 큰 shift를 보였다. 이는 채널길이가 짧아짐에 따라 드레인 전압이 소오스쪽의 전위장벽에 영향을 주게되어 문턱전압 감소로 인해 드레인 전류가 급격히 증가하는 DIBL(Drain-Induced Barrier Lowering)에 의한 영향인 것으로 생각된다. 한편 nMOS 소자는 드레인 전압이 1 V에서 5 V로 증가하여도 parallel shift만 보일뿐 S.S 값은 약 100 mV/decade로서 거의 일정하였으나, pMOS 소자의 S.S 값은 -1 V의 드레인 전압에서 100 mV/decade 이었으나 -5 V에서 140 mV/decade로 증가하였다. 이와같이 드레인 전압의 증가에

따라 게이트 swing이 크게 변하는 것은 드레인 전압에 의한 소오스쪽의 전위장벽의 저하현상이 매몰체널을 갖는 pMOS 소자에서 더 심하게 일어남을 보여주는 것이다.

6. 결 론

본 논문에서는 서브마이크론 nMOSFET 및 pMOSFET의 경우 짧은 채널 효과를 최소화 할 수 있는 최적의 공정 파라미터 추출을 위해 공정 및 소자 시뮬레이션을 사용하여 얻은 디자인 경향 곡선(Design Trend Curve ; DTC)의 의존성으로부터 추출된 파라미터를 중심으로 MOSFET 소자를 제작하여 DTC에 의한 파라미터 추출법의 타당성을 검증하였다.

DTC에 의해 추출된 최적 파라미터로 소자를 제작한 결과, 0.8 μm 의 서브마이크론 채널길이를 갖는 경우에도 양호한 드레인 전류-전압 특성, 낮은 Body 효과 및 $\leq \pm 1.0$ V 이하의 문턱전압, ≥ 12 V 이상의 높은 펀치 쓰루 전압 및 브레이크다운 전압, ≤ 105 mV/decade 이하의 낮은 S.S 값 등 짧은 채널 효과가 최소화된 양호한 소자특성을 얻을 수 있었다.

따라서 본 논문에서 논의한 DTC를 이용한 파라미터 추출법은 실리콘 공정 사이클(cycle) 없이도 컴퓨터의 반복 실행을 통해 많은 초기 실험을 수행할 수 있으므로 최소한의 실험을 통해 시뮬레이션 결과를 검증함으로써 최종 공정을 세밀하게 조절하는데 매우 효과적일 것으로 생각되며 향후 deep 서브마이크론 MOSFET 소자의 제작을 위한 초기단계로서 적절히 활용될 수 있을 것이다.

참 고 문 헌

- R. J. Sokel and D. B. Macmillen, IEEE Trans. Electron Dev., Vol. ED-32, No. 10, pp. 110-2116, 1985.
- K. M. Cham, S. Y. Oh and J. L. Moll, IEEE J. Solid-State Circuits, Vol. SC-20, No. 2, pp. 495-500, 1985.
- R. F. Motta, P. Chang, J. G. J. Chern and N. Godinho, IEEE Trans. Electron Dev., Vol. ED-27, No. 8, pp. 1559-1565, 1980.
- D. A. Antoniadis and R. W. Dutton, IEEE Trans. Electron Dev., Vol. ED-26, No. 4, pp. 490-500, 1979.
- S. Selberherr, Semiconductor Device Modelling, Springer-Verlag, pp. 71-88, 1989.
- D. A. Antoniadis, S. E. Hansen and R. W. Dutton, Technical Report No. 5019-2, Stanford Electronics Lab., stanford, CA, 1978.
- S. Selberherr, A. Schutz and H. W. Potzl, IEEE Trans. Electron Dev., Vol. ED-27, No. 8, pp. 1540-1550, 1980.
- A. E. Schmitz and J. Y. Chen, IEEE Trans. Electron Dev., Vol. ED-33, No. 1, pp. 148-153, 1986.

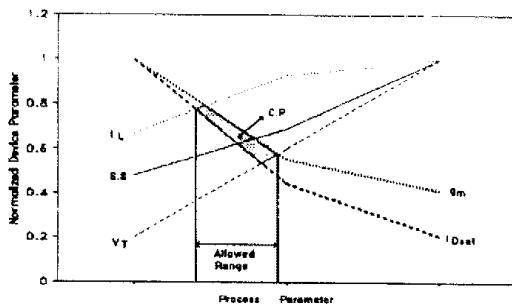


그림 1 디자인 경향 곡선(DTC)의 예
Fig. 1 DTC sample

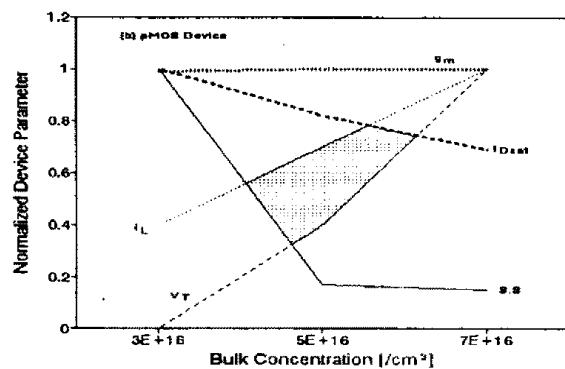
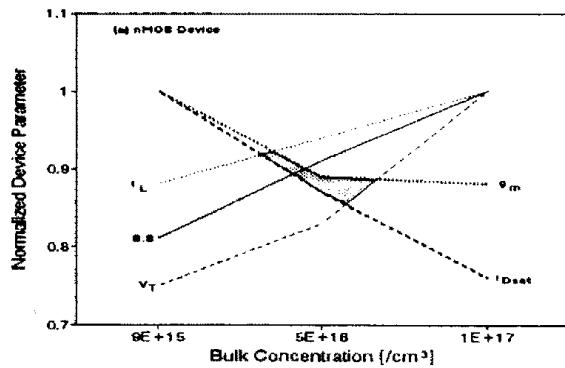


그림 2 벌크농도 변화에 따른 디자인 경향곡선
Fig. 2 Design Trend Curve as a function of bulk concentration variation.

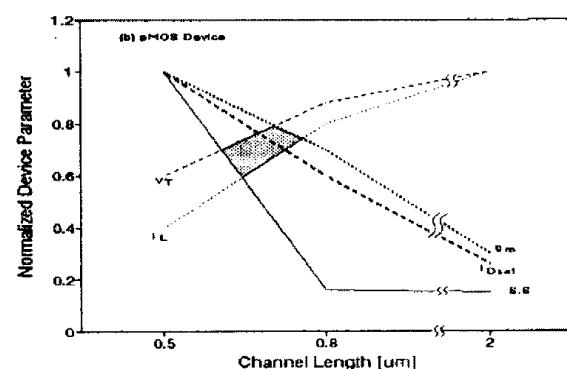
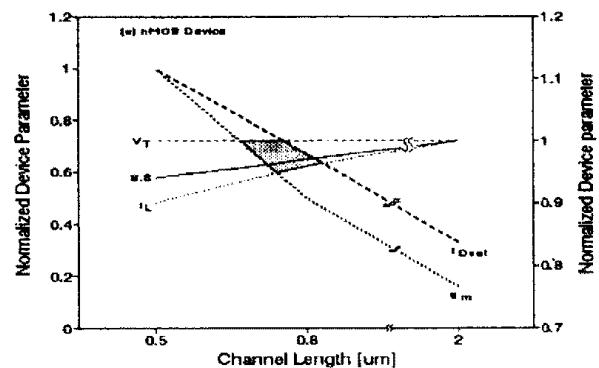


그림 4 채널길이에 따른 디자인 경향 곡선
Fig. 4 Design trend curve as a function of channel length.

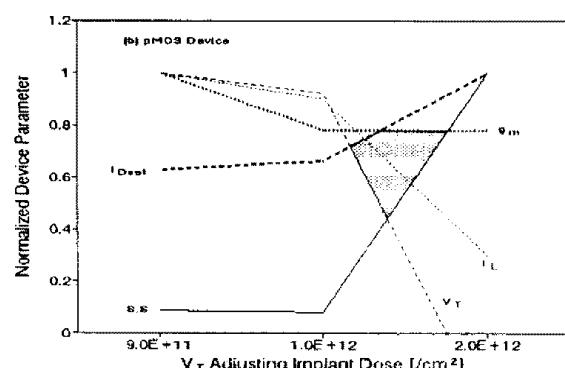
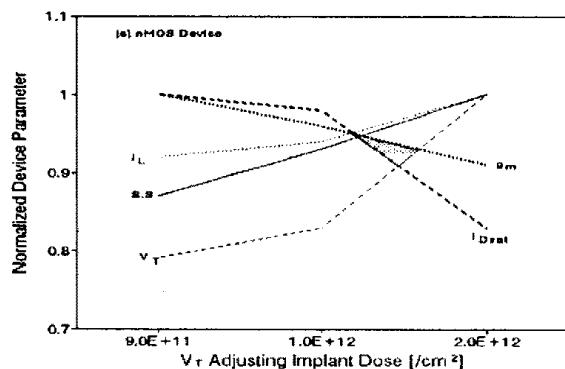


그림 3 문턱전압 조정을 위한 봉소 이온주입량에 따른 디자인 경향곡선
Fig. 3 Design trend curve as a function of threshold adjusting boron implant.

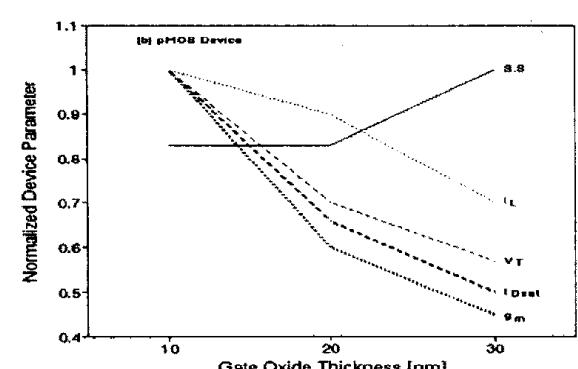
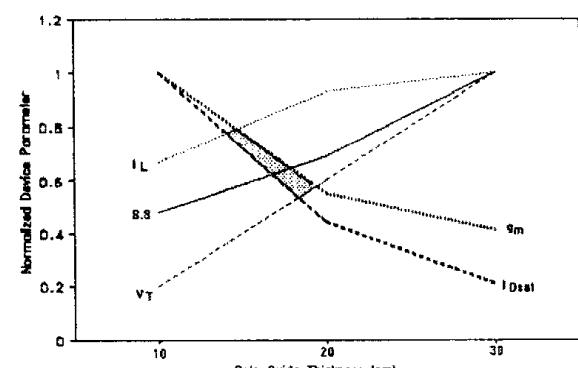


그림 5 게이트 산화막 두께에 따른 디자인 경향곡선
Fig. 5 Design trend curve as a function of gate oxide thickness.

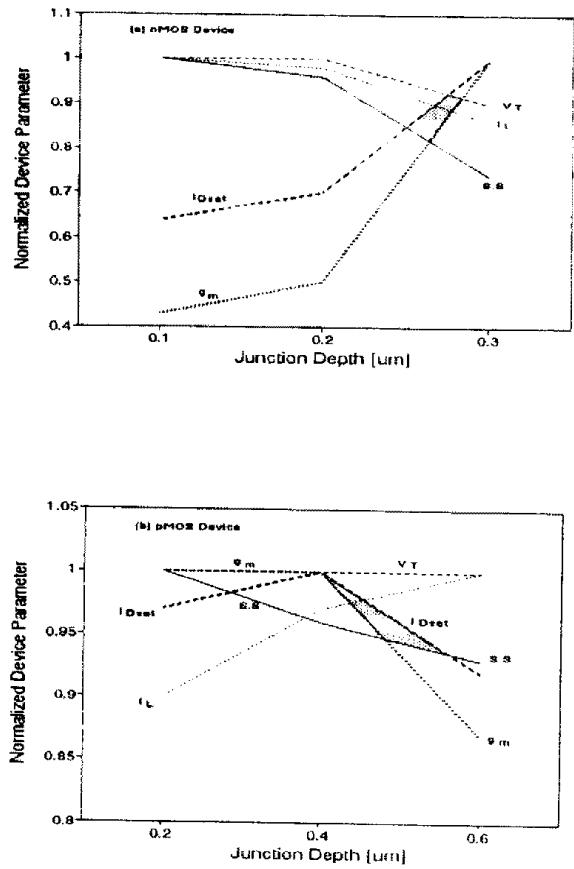


그림 6 소오스/드레인 접합깊이에 따른 디자인 경향 곡선

Fig. 6 Design trend curve as a function of source/drain junction depth.

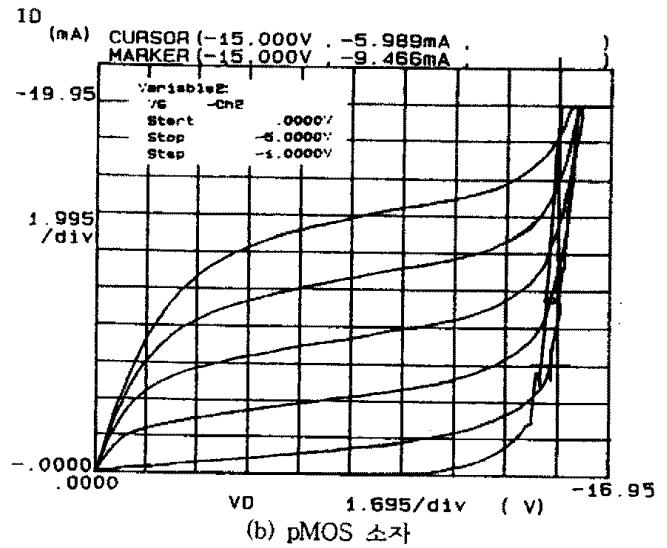
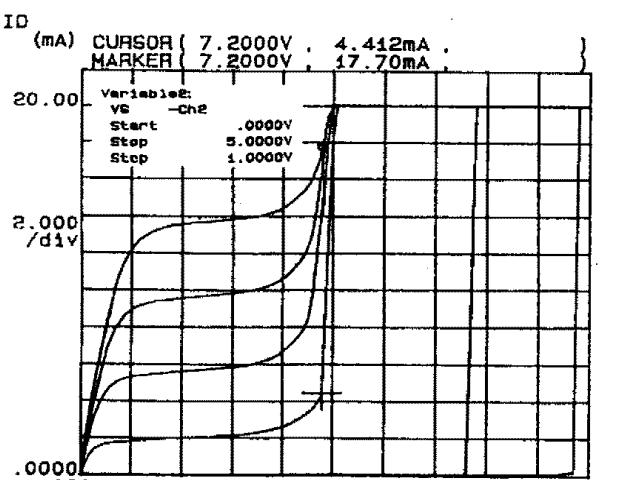
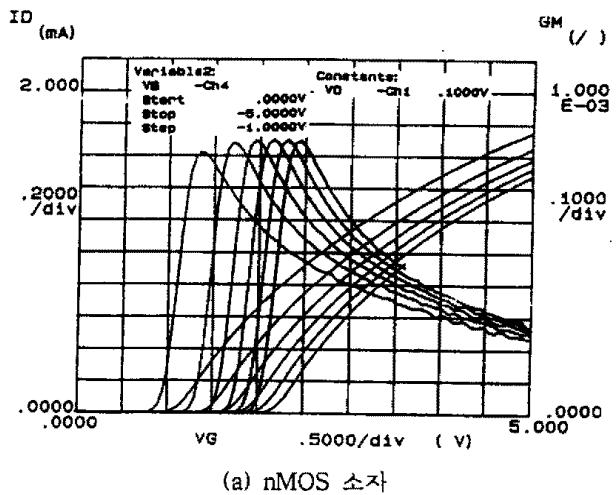


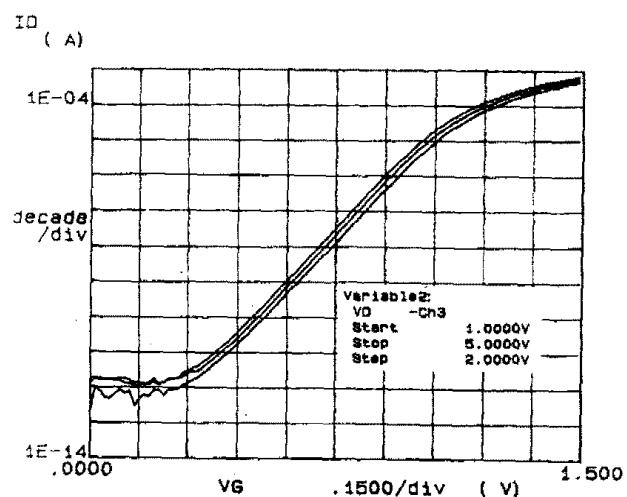
그림 7 50/0.8 μm 소자의 I_D - V_D 특성
Fig. 7 Drain current vs. drain voltage characteristics of 50/0.8 μm devices.



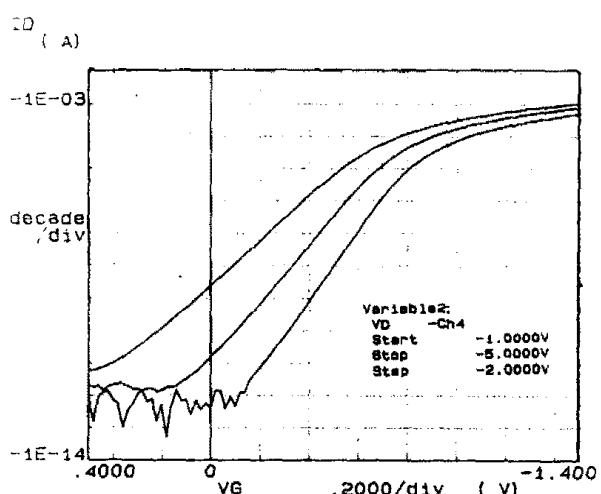
(a) nMOS 소자

그림 8 50/0.8 μm 소자의 기판전압 변화에 따른 I_D - V_G 특성

Fig. 8 Drain current vs. gate voltage characteristics with substrate voltage variation of 50/0.8 μm devices.



(a) nMOS 소자



(b) pMOS 소자

그림 9 50/0.8 μm 소자의 드레인 전압 변화에 따른 Subthreshold 특성

Fig. 9 Subthreshold characteristics with drain voltage variation of 50/0.8 μm devices.