

ES-93-07

# (Sr.Ca)TiO<sub>3</sub>계 BL Capacitor 재료의 유전특성에 관한 연구

## A Study on the Dielectric Properties of (Sr.Ca)TiO<sub>3</sub>-based BL Capacitor Materials

정 규 회\*  
 김 진 사  
 최 운 식  
 김 충 혁  
 이 준 용

광운대학교 전기공학과  
 광운대학교 전기공학과  
 광운대학교 전기공학과  
 광운대학교 전기공학과  
 광운대학교 전기공학과

Kyu-Hee Jung\*  
 Jin-Sa Kim  
 Woon-Shik Choi  
 Chung-Hyeok Kim  
 Joon-Ung Lee

Dept. of Electrical Eng., Kwangwoon Univ.  
 Dept. of Electrical Eng., Kwangwoon Univ.  
 Dept. of Electrical Eng., Kwangwoon Univ.  
 Dept. of Electrical Eng., Kwangwoon Univ.  
 Dept. of Electrical Eng., Kwangwoon Univ.

### ABSTRACT

In this study, the dielectric properties of (Sr<sub>1-x</sub>Ca<sub>x</sub>)TiO<sub>3</sub>+yNb<sub>2</sub>O<sub>5</sub>(0.1 ≤ x ≤ 0.3, 0.004 ≤ y ≤ 0.008) ceramic capacitor were investigated.

The specimen was sintered for 3hr at 1350℃ in gas(N<sub>2</sub>) atmosphere. The reduced specimen fired at 1200℃ in air.

The used specimens had the apparent permittivity of 3×10<sup>4</sup>~4×10<sup>5</sup>, tanδ of 0.05~0.2, and insulating resistance of 10<sup>9</sup>~10<sup>12</sup> Ω.cm. The specimens had the stable temperature coefficient of capacitance.

### I. 서 론

세라믹은 일반적으로 고밀도 세라믹과 다공질 세라믹으로 나뉘어지며, 고밀도 세라

믹은 결정입자 고유의 성질을 이용하는 것과 입계의 성질을 이용하는 것으로 분류할 수 있다. 입계의 성질을 이용한 반도체 세라믹스의 응용예의 하나인 입계층 세라믹 콘덴서(Boundary Layer(BL) Capacitor)는 입계의 절연층을 콘덴서로서 이용한 것이다.

최근 전자회로의 집적화로 인하여 소형.대용량의 Capacitor에 대한 요구가 증대하여 가고 있으며, 이에따라 보다 고용량을 갖는 capacitor용 재료를 얻기위한 연구가 활발히 진행되고 있다. 세라믹 capacitor용 재료로서 결정입계를 이용한 시초는 1961년 Glaister에 의하여 행해졌다. 방법은 산소공핍에 의하여 반도체화한 세라믹의 결정입계에 선택적으로 산소를 다시 확산시킴으로서 입계에 절연층을 형성시키는 것이다.

1961년 和久씨에 의하여 20000정도의 비유전율을 갖는 SrTiO<sub>3</sub>계 BL capacitor가 개

발되었으며, 그 비유전율의 향상 및 신뢰성의 향상을 예측하여 1970년대 초에 50000 정도의 비유전율 값을 갖는 BL capacitor가 개발 실용화되기에 이르렀다. 그 후, SrTiO<sub>3</sub>에 Nb<sub>2</sub>O<sub>5</sub> 및 소량의 첨가물을 가하여 반도체 세라믹을 제작한 후 Na<sub>2</sub>O를 함유한 복합절연물을 표면으로 부터 세라믹스 내부로 열확산시켜 입계를 절연화시킴으로서 100000 이상의 비유전율 값을 갖는 BL capacitor가 개발되었다.

이와같이 세라믹 입계층에 새로운 특성을 가미하고 아울러 입내에도 입계와는 다른 특성을 가미함으로써 다양한 특성을 갖춘 세라믹스를 얻을 수 있으며, 입계의 특성을 이용한 세라믹스가 갖는 많은 장점 때문에 오늘날 이들에 대한 연구가 활발히 진행되고 있다.<sup>1),5)</sup>

본 연구에서는 온도특성면에서 양호한 것으로 알려진 (SrCa)TiO<sub>3</sub>계 BL 세라믹을 제작한후 capacitor 재료로서 갖춰야할 기본 특성중의 하나인 온도 및 주파수 변화에 따른 유전특성을 조사하였다.

## II. 실험방법

### 1. 시편 제조

실험에 사용된 시료는 SrCO<sub>3</sub>(98%), CaCO<sub>3</sub>(98%), TiO<sub>2</sub>(98.5%)와 Nb<sub>2</sub>O<sub>5</sub>(99.9%)이며, 각 시료는 기본 조성식 (Sr<sub>1-x</sub>Ca<sub>x</sub>)TiO<sub>3</sub> + yNb<sub>2</sub>O<sub>5</sub>(0.1 ≤ x ≤ 0.3 0.003 ≤ y ≤ 0.008)에 따라 전자천평을 사용하여 평량하였으며, 매칠 알콜을 분산매로 하여 알루미늄 유발에서 혼합한 후 1100℃에서 2시간 하소하였다. 기본 반도체 세라믹을 만드는 공정은 원자가 제어 방식과 강제환원방식을 병용하였다. 즉, 원자가 제어제로서 미량의 Nb<sub>2</sub>O<sub>5</sub>를 첨가하고, N<sub>2</sub>

분위기 중에서 소결하여 기본 반도체 세라믹을 얻었다. 이것을 1200℃의 온도에서 1시간 동안 열처리함으로써 입계를 절연화한 후, 시편의 양면에 silver paste를 부착하여 측정에 사용하였다.

시편의 제조과정을 그림 1에 나타낸다.

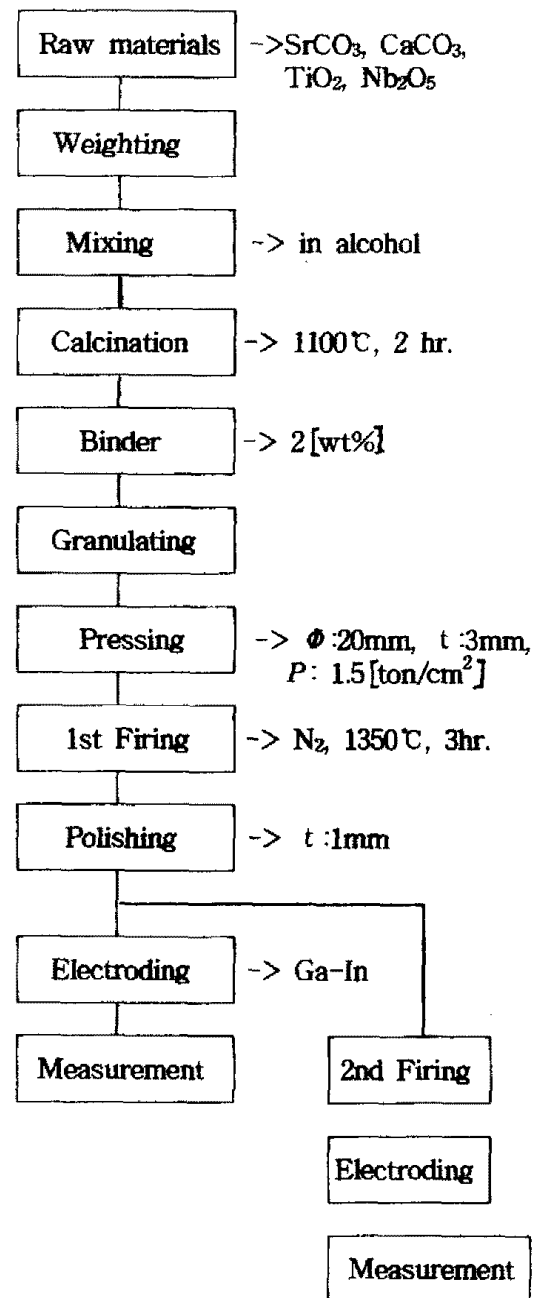


그림 1 시편의 제조과정

## 2. 측정

SEM을 이용하여  $Nb_2O_5$ 의 변화량에 따른 그레인 크기의 변화를 조사하였다. 환원 시편의 비저항은 In-Ga 전극과 Electrometer를 사용하여 dc 2단자법으로 측정하였으며, 비저항은  $10^1 \sim 10^2 \Omega \cdot cm$ 였다. 2차 열처리된 시편의 온도 및 주파수 변화에 따른 정전용량은 LF Impedance Analyzer(HP4192A)를 이용하여  $-30^\circ C \sim 85^\circ C$ ,  $100Hz \sim 40MHz$ 범위에서 측정하였다.

## III. 결과 및 고찰

그림 2는 Ca의 치환량이 10, 20, 30[mol%]인 시편에 있어서  $Nb_2O_5$ 의 변화에 따른 유전율 및 손실의 온도특성을 나타낸 것이다. Ca의 첨가량이 10[mol%]인 시편에 있어서는  $Nb_2O_5$ 의 첨가량이 0.006[mol] 이상이 되면 유전율의 감소를 나타내며, Ca의 치환량이 20[mol%]인 시편에서는  $Nb_2O_5$ 의 첨가량이 증가함에 따라 유전율도 증가하지만 0.006[mol] 이상이 되면 증가폭이 둔화되고 있다. 또한, Ca의 치환량이 30[mol%] 이상이 되면 모든 시편에 있어서 유전율의 값이 큰 폭으로 떨어지고 있음으로 보아 본 실험에 사용된 시편에 있어서 Sr의 Ca로의 치환 한계는 20[mol%]이하이며,  $Nb_2O_5$ 의 고용한계는 0.006~0.007[mol]이라고 생각된다.

## IV. 결론

기본조성  $(Sr_{1-x}Ca_x)TiO_3+yNb_2O_5$  ( $0.1 \leq x \leq 0.3$ ,  $0.003 \leq y \leq 0.008$ )의 BL capacitor를 제작하여 유전특성을 조사한 결과 다음과 같은 결론을 얻었다.

1) 고유전율 BL capacitor를 얻기위한 Sr의 Ca로의 치환한계는 20[mol%]였으며,

$Nb_2O_5$ 의 고용한계는 0.006~0.007[mol] 이었다.

2) 모든 시편에 있어서  $\tan\delta$  값은 Ca와  $Nb_2O_5$ 의 첨가량에 큰 영향은 받지 않았다.

이상의 결과로부터 Ca와  $Nb_2O_5$ 의 첨가량을 적절히 조절함으로써 고용량의 capacitor용 재료를 얻을 수 있었다.

## 참고 문헌

- [1]P.E.C. FRANKEN, M.P.A. JIENGERS et al., "Microstructure of  $SrTiO_3$  Boundary-Layer Capacitor Material", J. Am. Ceram. Soc., 64(12), 687~690, 1981.
- [2]NOBOTATSU YAMAOKA, "SrTiO<sub>3</sub>-Based Boundary-Layer Capacitors", Ceram. Bull., 65(8), 1149~52, 1986.
- [3]MASAYUKI FUJIMOTO et al., "Microstructure of  $SrTiO_3$  Internal Boundary Layer Capacitors During and After Processing and Resultant Electrical Properties", J. Am. Ceram. Soc., 68(4), 169~173, 1985.
- [4]Yoshitaka Nakano et al., "Investigation of interface states in  $(Sr,Ca)TiO_{3-x}$ -based Ceramics", J. Appl. Phys., 70(3), 1991.
- [5]P.E.C. FRANCEN et al., "Microstructure of  $SrTiO_3$  Boundary-Layer Capacitor Material", J. Am. Ceram. Soc., 64(12), 687~90, 1981.

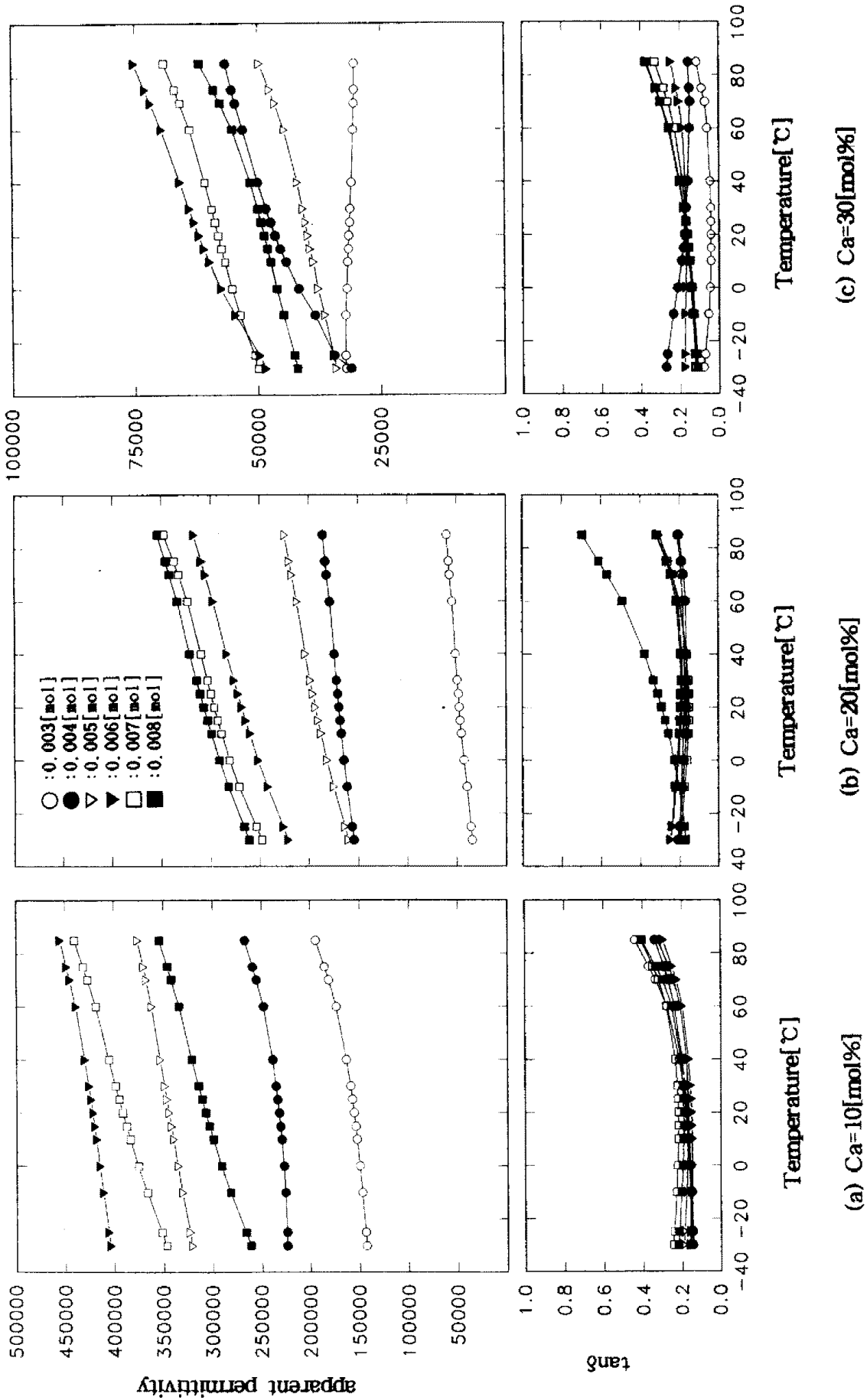


그림 2 Ca의 치환량이 10, 20, 30[mol%]인 시편에 있어서 Nb<sub>2</sub>O<sub>5</sub>의 변화에 따른 유전율 및 손실의 온도특성