

질소 플라즈마를 이용한 실리콘 질화막의 제작 및 실리콘 질화막과 실리콘구조의 계면분석

문종

삼성전자(주) 반도체연구소

실리콘 질화막은 높은 열적안정성, 화학적안정성 등의 우수한 특성으로 ULSI의 기억 소자 특히 용량 절연막으로서 DRAM소자에서 널리사용 되어지고 있다. 보편적인 실리콘 질화막 제작방법으로는 저압 CVD법, 플라즈마 CVD법, 실리콘 기판에 열, 플라즈마등의 에너지를 이용한 질소의 직접질화법등이 있다.

소자가 점점미세화됨에따라 매우 얇은 박막이 용량 절연막으로 요구되어지므로 실리콘 질화막과 실리콘과의 계면이 절연막 특성에 큰 영향을 미치게 된다. 그래서 DLTS, C-V등의 방법에 의한 전기 특성 연구와 TEM, 이온Channeling 등의 방법에 의한 구조 연구가 널리 행해지고 있다.

본 연구는 ECR 플라즈마의 특징인 저온공정, 높은농도의 반응Radicle를 이용한 결합이 적은 막형성이가능하다는점들을 이용하여 실리콘 기판을 직접 질화하여 실리콘 질화막 형성기구를 연구했으며, 두번째로 이방법으로 형성된 실리콘 질화막과 실리콘의 계면구조를 저압 CVD법, 플라즈마 CVD법에 의해 형성된 막의 실리콘과의 계면과 비교연구 하였다.

실험방법으로는 P형 실리콘기판을 사용 하였다. 시편 제조공정은 불산 처리 및 수소 플라즈마를 이용하여 자연 산화막을 제거하였다. 반응Chamber의 압력은 $5E10^{-6}$ Torr이하로 관리했으며, 동일 반응Chamber내에서 수소 플라즈마에 의한 자연산화막 제거와 질소 플라즈마에 의한 질화 공정을 동시에 실시 하였다. 질화막두께는 엘립소메타(Ellipsometer)로 측정하였고 RBS로 확인하였다.박막중의 수소량은 ERDA(Elastic Recoil Detection Analysis) 방법으로 에너지를 2.1 MeV토해서 측정했다. 계면 분석을 위한 이온Channeling방법에서는 에너지를 1.0 MeV에서 $^4He^+$ 을 이용해서 분석했으며 Grazing측정방법을 사용, 분해능을 증가시켜 분석 하였다. 전기특성은 MNS Capacitor 구조를 형성 절연파괴 전압과 누설 전류를 측정하였다.

실험 결과 토서는 N/Si의 조성이 1.35에서 1.43으로 질소가 정량치(1.33)보다 많이 포함된 박막이 형성되었다. 막성장 속도는 Microwave Power, 기판바이어스전압에는 비례하고 질소 압력에는 반비례하는 특성을 보였다. 수소 플라즈마에 의한 처리 유무에 따라 막성장 속도가 다른 결과를 보였으며 수소 플라즈마 처리 한 경우가 성장속도가 큰결과를 보였다. 실리콘 질화막과 실리콘 계면 평가 실험에서는 직접 질화법에 의해 형성된 계면이 저압 CVD법, 플라즈마 CVD법에 의해 형성한 계면 보다 Sharp한 계면 특성을 보이는 결과를 보였으며 그크기는 4 ML정도였다. 전기특성에서도 직접질화막이 우수한절연 특성을 보였다.

위에 언급된 결과들을 통하여 직접질화법에 의해 형성된 박막과 계면 특성이 다른 방법보다 우수하며 좋은 전기 특성을 얻을 수 있다는 결론을 얻었다.