고온 다결정 실리콘 박막 트랜지스터에서 게이트 절연막에 관한 연구

박원규, 김홍규, 양명수, 장석필, 여주천, 이호영, 김성철,
임인곤, 소회섭

(주) 금성사 안양연구소

현재 각광을 받고있는 TFT-LCD는 대부분 비정질 규소(a-Si:H) TFT를 스윗칭 소자로 사용하고 있는데 a-Si:H TFT는 전계효과이동도(field effect mobility)가 작아 주변구동회로를 같은 기판에 형성할 수 없다. 반면, 다결정 규소(poly-Si) TFT는 전계효과이동도가 커서 LCD의 스윗칭 소자 뿐만 아니라 주변구동회로를 같은 기판위에 형성할 수 있어 현재 많은 연구가 진행되고 있다.

Poly-Si TFT에서 TFT의 성능을 좌우하는 요인은 여러가지가 있으나 특히, 게이트 절연막의 특성과 Si/SiO_2 경계면상태가 성능에 큰영향을 미친다. 본연구에서는 여러가지 다른 종류의 게이트 산화막을 이용하여 poly-Si TFT를 제작하여 이들의 특성을 측정, 분석하여 게이트 산화막의 영향을 조사하였다. 또한 열산화막과 CVD 산화막의 이중 산화막을 이용한 TFT의 특성을 측정하여 산화막의 벌크 영향도 조사하였다.

본 실험에 사용된 poly-Si TFT는 a-Si을 증착한 후 고상결정화 방법에 의해 다결정화 시킨 활성층 위에 필요로 하는 게이트 산화막을 형성하여 제작하였다. Poly-Si TFT는 n-channel로써 top-gate 형태의 coplanar 구조이며 소스/드레인은 이온주입 후 아닐링하여 형성하였다. TFT의 특성은 전계효과이동도, 오프(off)전류, 문턱전압(subthreshold voltage), S(inversion of subthreshold slope)치를 측정하여 조사하였으며, CVD 산화막의 항복전압(breakdown voltage)을 측정하여 이를 TFT의 특성치와 비교 설명하였다. 사용된 산화막은 열산화막(thermal oxide), 과 CVD산화막인 HTO(high temperature oxide), TEOS-SiO_2, LTO(low temperature oxide)등 이며, 이중산화막은 아래 산화막을 열산화막 100Å으로 고정하였으며, CVD 산화막의 종류를 변화시켰다. 이때 이중산화막의 두께는 800Å이다.

그림 1은 게이트 산화막을 달리했을 때의 poly-Si TFT의 I_d-V_g 특성곡선으로써 이때 산화막의 두께는 1000Å이다. 열산화막만을 사용한 TFT의 특성곡선은 다른 산화막을 사용한 TFT의 특성곡선에 비해 문턱영역이 게이트 전압 음의 영역으로 이동한 것을 보여주는 데 이는 poly-Si에서 열산화막 형성시간이 길거나 고온에서 열산화막이 형성될 때 결정립과 결정경계의 산화속도가 매우 달라 poly-Si/SiO_2의 경계면에서 poly-Si의 표면거칠기가 증가하여, 계면상태가 나빠져서 일어나는 현상으로 생각할 수 있다. 이것은 열산화막만을 사용한 TFT의 S치가 타 TFT의 그것보다 큼으로써 알 수 있다. 그러나 문턱전압은 계면의 상태뿐만 아니라 산화막의 벌크상태 즉, 산화막내의 고정산화전하나 유동이온전하의 영향도 받는다. 열산화막 100Å과 LTO 900Å을 사용한 TFT의 특성이 열산화막만을 사용한 경우보다 또, CVD 산화막만을 사용한 경우보다 그특성이 나은 데 이는 고온에서 짧은 시간의 산화에 의해 계면이 향상된 것으로 해석할 수 있다.

그림 2는 이중 산화막을 사용한 poly-Si TFT의 특성치로써 열산화막과 LTO를 사용한 경우가 전계효과이동도, 문턱전압, S치 면에서 향상된것을 알 수 있다. 그런데 각 이중산화막의 항복전압

은 B 경우인 열산화막+HTO가 8 MV/cm로 가장 크다. A 경우인 열산화막+LTO의 항복전압은 7.3 MV/cm이다. 또한 같은 열산화막을 사용했으므로 계면의 상태는 같다고 볼 수 있으나 이것도 문턱전압과 S치를 보면 그렇지 않다는 것을 알 수 있다. 이는 얇은 열산화막 형성 후 고온에서 CVD 산화막을 형성하면 상화막 형성시 생기는 불순물들이 계면 근처로 이동하여 계면상태밀도를 증가시키거나 초기 열산화막내에서 결함을 형성하는 것으로 생각할 수 있다. 그런데 이는 이중산화막의 항복전압이 CVD 산화막의 형성온도가 증가할수록 증가하므로 산화막의 벌크상태가 나빠져서 일어나는 현상으로 생각할 수 가 없다.

결론적으로 고온 poly-Si TFT에서는 게이트 산화막이 TFT의 특성에 큰 영향을 미치는 데 특히 게이트 절연막를 열산화막만으로 사용할 때는 결정립과 결정경계의 산화속도가 달라 poly-Si의 표면 거칠기가 증가하여 TFT의 특성이 저하된다. Poly-Si 표면을 passivation하기 위해 초기에는 고온에서 짧은 시간 열산화막을 행하여야 한다. 차후 CVD 산화막은 저온에서 증착하는 것이 고온 CVD 산화막의 경우 보다 TFT의 특성이 향상된다.

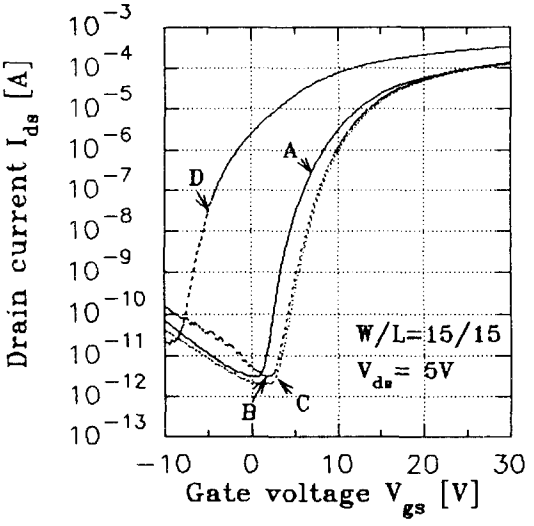

Fig.1 I_d–V_g curves for poly–Si TFTs with various gate oxides :

A: thermal Ox.(10nm)+LTO(90nm)

B: LTO(100nm)

C: TEOS(100nm)

D: thermal Ox.(100nm)[900°C,wet]

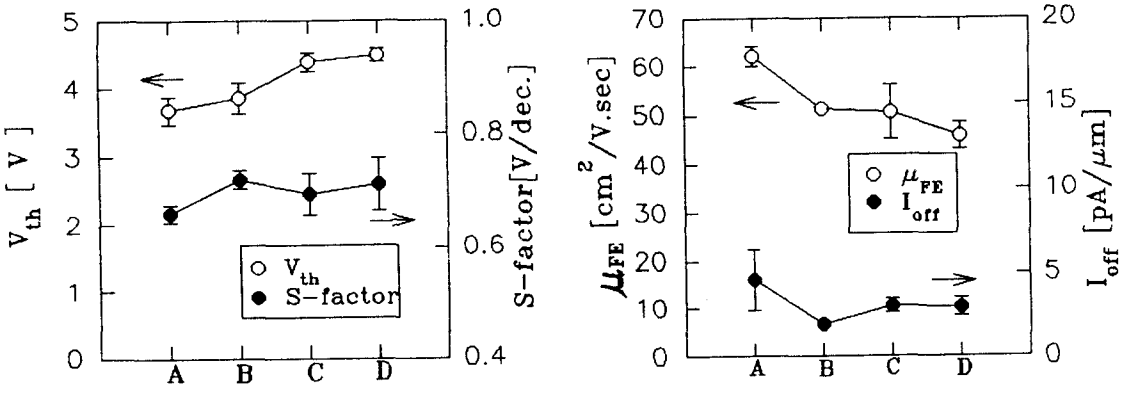

Fig.2 Performance of poly–Si TFTs with various upper CVD gate oxide : (n-channel W/L=15/15) A: thermal Ox.(10nm)+LTO(70nm), B: thermal Ox.(10nm)+HTO(70nm), C: thermal Ox.(10nm)+TEOS(70nm), D: HTO(80nm)