

분석적 모델을 이용한 Floated Field Plate 구조가 있는 소자의 시뮬레이션 개선

변대석*, 김한수, 최연익*, 한민구
서울대학교 전기공학부, *아주대학교 전자공학과

Improvement for Simulation of Device equipped with Floated Field Plate
Using Analytic Model.

Dae-seok Byun, Han-Soo Kim, *Yeorn-ik Choi and Min-Koo Han
Seoul National University, *Ajou University

Abstract

A new simulation method for a device including the Floated Field Plate (FFP) is proposed. The external resistance is connected with FFP in order to simulate FFP as an electrode. The numerical I-V characteristic obtained from MEDICI simulation shows fairly good results such as low leakage current and abrupt breakdown voltage curve. The convergence is improved conveniently compared with conventional method which utilize heavily-doped poly silicon as an electrode.

1. 서론

단순성과 일괄 공정이 중요한 장점으로 여겨지는 Planar Technology는 오늘날 고전압 전력 반도체 소자를 생산하는 주요한 기술이다. 그러나 Junction의 폭면 효과를 갖는다는 특징으로 인하여 항복전압의 향상라는 측면에서는 한계를 지닌다고 볼 수 있다.[1]

Field Plate [2](이하FP)는 Field-Limiting Ring [3] 과 함께, Planar Technology로써 제작되는 고전압 전력 반도체 소자의 항복 전압을 높이기 위해 이용되는 Termination 기술의 대표적인 방법이다.

FP가 소자에 적용될 경우 필요한 설정조건들 가운데 자주 이용되는 조건은 Floating 환경 설정이다. 이 조건은 실제 소자 이용 측면이나 측정 측면에서는 FP와 연결된 전극에 외부로부터 전기적 특성을 부여하지 않음으로써 쉽게 구현된다. 그러나 이와같이 현실적으로 쉽게 구현되는 Floated Field Plate (이하 FFP)가 시뮬레이션을 수행할 경우에는 구현이 간단하지 않다. 그 이유는 시뮬레이터의 자체 특성상, 전극으로 정의되는 구조체가 디플트로 접지되는 현상 때문이다.

본 논문에서는 고전압 Planar Device 의 Termination 구조인 FFP를 포함하는 소자를 대상으로 하는 취지에 맞

게 1-ring을 갖고 아울러 링에 접속된 1-plate를 갖는 P⁺-N diode 소자 (그림 1)를 대상으로 가장 일반적으로 이용되는 소자 시뮬레이터인 MEDICI (PISCES-II B [5] 의 새로운 version)를 이용하여 기존 방법에 비해 구조의 정의, mesh의 설정을 용이하게 하고 안정된 수렴을 얻을 수 있는 새로운 방법을 제시하였다.

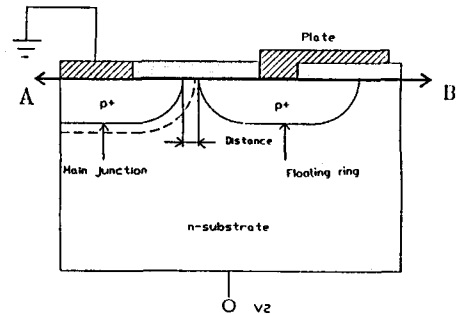


그림 1 Floating 지역을 갖는 소자의 구조

2. Floated Field Plate 설정 모델

2-1. 기존 모델과 새로운 모델

MEDICI 시뮬레이터는 만약 전극의 전압 지정에 대한 정보가 없을 때는 전극으로 지정된 구조체를 스스로 접지함으로써 전극의 전압을 영볼트로 유지한다. 결과적으로 Floating 환경의 구현을 불가능하게 만든다. 이에 대한 기존의 방안으로 Plate 구조체를, 전극으로 정의되는 메탈 물질이 아닌 고농도로 도핑된 실리콘으로 지정하는 방안이 이용되었다. 그러나 이러한 방법은 구조의 재조정과 mesh의 조밀화 작업이 뒤따라야 한다는 단점을 지닌다.

새로운 설정방법은 Plate를 메탈 전극으로 지정하고 시뮬레이터내에서 자체 접지시키는 Plate 전극으로 인한 누설 전류의 크기를 소자가 동작하는 데 영향을 미치지 않는 크

기로 제한하여 Floating 환경을 구현하였다. 누설 전류의 크기를 제한하기 위해서 Plate전극에 접속한 외부 부하는 steady state와 transient state 에서 전기적 반응 양식이 동일한 저항을 이용하였다. 저항을 이용한 방법은 소자의 회로 모델 분석에서도 용이하다는 잇점을 갖는다.

이러한 방법을 위한 Plate전극에 접속될 외부 저항은 Floating 효과를 가능하게 하는 유효치의 범위를 갖게 됨을 알 수 있다. 이러한 유효 저항치를 분석적 모델식으로 아래와 같이 유도하였다.

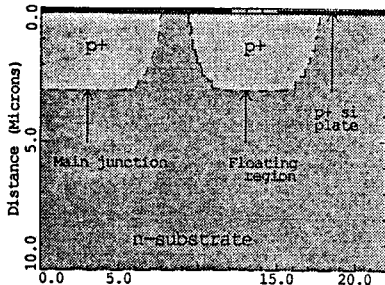


그림 2 기존 방법에 의한 FFP를 갖는 소자의 구조

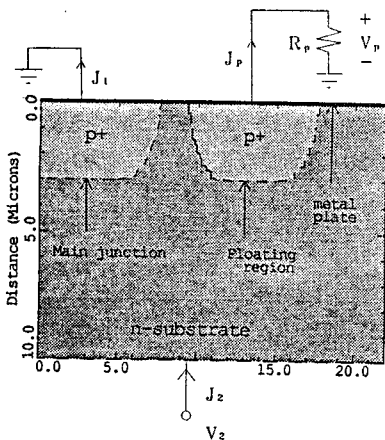


그림 3 새로운 방법에 의한 FFP를 갖는 소자의 구조

2-2. 유효 저항치의 유도

그림 3의 구조에서 기본식은 다음과 같이 유도된다.

$$J_1 = J_2 - J_p \quad \text{-----} \quad \text{①}$$

$$J_p = \frac{V_p}{R_p} \quad \text{-----} \quad \text{②}$$

(J 단위 : [A / micron], R_p 단위 : [Ω - micron])

유효한 Floating 효과를 갖는 Plate 전극에 의한 소자의 동작 특성 기준을 J_1 에 대한 J_p 의 크기가 0.01이하라는 설정을 하였다.

$$\frac{J_p}{J_1} < \frac{1}{100} \quad \text{-----} \quad \text{③}$$

①, ②식을 ③식에 대입하여 유도하면 유효 저항치 R_p 를 얻게 된다.

$$R_p > \frac{100 \cdot V_p}{J_1} \quad \text{-----} \quad \text{④}$$

이때 V_p 의 계산치는, 2절의 내용에서 기술한 두가지 mechanism의 조합으로 결정되는 Floating 영역의 전압 분포 현상을 일차원적으로 간략화하여 식 ⑤와 같이 표현한다.

$$V_p = V_2 - V_2 \cdot \frac{Distance}{W} \cdot \left(2 - \frac{Distance}{W} \right) \quad \text{---} \quad \text{⑤}$$

$$\text{단, } W = \sqrt{\frac{2 \cdot \epsilon_s \cdot (V_{bi} - V_2)}{q \cdot N_d}}$$

Distance : Main Junction과 링사이의 간격

V_{bi} : Built-in Potential

한편, J_1 은 소자내의 generation current로 결정된다. 이때 Generation rate $G = -U = (-U_{SRH}) + (-U_{AUGER})$ 에서 동작 조건상 $p_n \ll n_i$, $n_p \ll n_i$ 이므로 U_{SRH} , U_{AUGER} 는 다음과 같이 유도 된다.

$$U_{SRH} \approx \frac{-n_i^2}{\tau_p [n + n_i \cdot \exp \frac{E_i - E_t}{KT}] + \tau_n [p + n_i \cdot \exp \frac{-(E_t - E_i)}{KT}]}$$

$$U_{AUGER} \approx [AUGN \cdot n + AUGP \cdot p] \cdot (-n_i^2)$$

단, U_{SRH} : Shockley-Read-Hall Recombination rate

U_{AUGER} : Auger Recombination rate [cm^3/s]

τ_n , τ_p : minority carrier lifetime ($\tau_n = \tau_p = \tau$)

n , p : minority carrier density [cm^3]

E_i : intrinsic energy level [eV]

E_t : trap energy level [eV]

n_i : intrinsic carrier density [cm^3]

($AUGN = 2.8E-31$, $AUGP = 9.9E-32$ [cm^6/s])

J_1 의 결과식은 다음과 같다.

$$J_1 = q \cdot (-U) \cdot (\text{depletion region area}) \quad [\text{A}/\text{micron}]$$

J_1 , V_p 식을 R_p 기준식에 대입한다.

$$R_p > 100 \cdot \frac{(V_2 - V_2 \cdot \frac{Distance}{W} \cdot (2 - \frac{Distance}{W}))}{q \cdot \left(\left(\frac{n_i}{2 \cdot \tau} \right) + (AUGN \cdot n + AUGP \cdot p) \cdot (n_i^2) \right) \cdot S}$$

S: depletion region area

이때 위식의 범위에 포함되는 R_p 저항치는 Plate전극의 외부저항으로 접속하였을 때 FP의 Floating 효과를 유효하도록 하는 유효 저항치라 할 수 있다.

3. 시뮬레이션 결과 및 고찰

안정된 수렴은 소자 시뮬레이션에서 가장 중요한 요건이라 할 수 있다. 그런데 고전압 전력 소자의 항복 전압 시

물레이션에서 수렴의 안정성 정도를 용이하게 알 수 있는 기준은 전압-전류 곡선의 모양이다. 전압-전류 곡선의 모양이 Breakdown Voltage 이전에서는 누설전류가 적으면서 Breakdown Voltage 근처에서 steep curve을 얻었다면 안정된 수렴을 갖는 시물레이션이라고 할 수 있다.

본 논문에서 시물레이션을 수행한 구조와 mesh설정은 그림 4.와 같다.

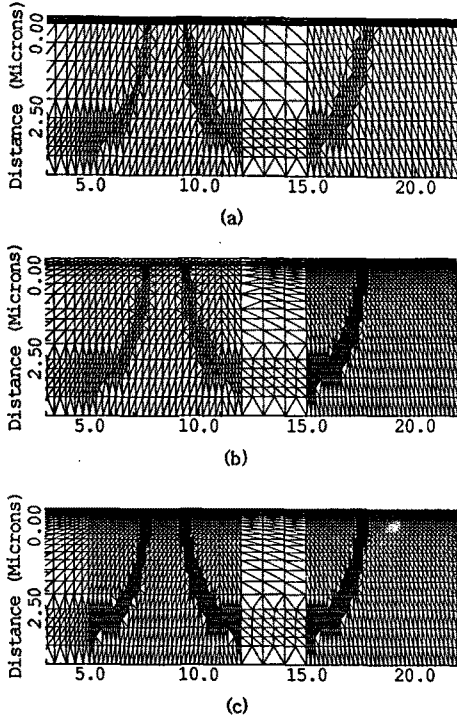
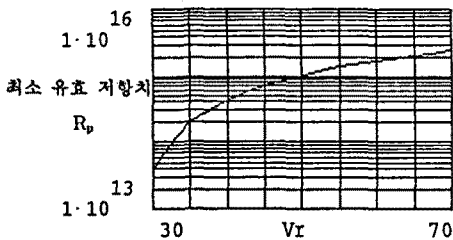


그림 4. 시물레이션에서 설정된 mesh.
 (a) 일반적인 mesh, (b) Plate 하단의 조밀한 mesh
 (c) Plate 하단, Main Junction과 링 사이의 조밀한 mesh



그래프 1. V_2 versus 최소 유효 저항치 R_p 의 곡선

그림 4.의 mesh를 이용해 기존의 방법과 새로운 방법을 적용한 시물레이션을 수행하여 각각의 전류-전압 곡선을 얻었다. 이 경우 $N_D=1E16 \text{ cm}^{-3}$, $N_A=1E19 \text{ cm}^{-3}$, Distance=1.9 μm , $E_1 = E_0$, $\tau_p = \tau_n = 1 \mu\text{s}$ 그리고 V_2 는 영볼트로부터 예상 항복전압보다 30% 큰 전압까지의 범위로써 계산치에

적용하였다. 이때 R_p 의 최솟치 그래프 분포는 그래프 1.과 같다. 시물레이션에서는 이 결과들중에서 $R_p=1E19$ 을 이용하였다.

외부 저항을 접속하는 새로운 방법은, Plate가 없는 구조의 소자를 시물레이션할 때 안정된 수렴을 얻을 수 있었던 mesh(그림 4. a)를 Plate가 존재하는 같은 소자의 시물레이션에 그대로 적용시키더라도 안정된 수렴을 얻을 수 있었다. 하지만 기존의 방법으로는 그러한 결과를 얻을 수 없었다. 기존의 방법에서는 mesh의 조밀화 작업을 거친 후에야 안정된 수렴을 얻을 수 있었다. 이러한 조밀화 작업이 Plate 하단에서만 수행된 mesh(그림 4. b)를 적용할 때에는 새로운 방법으로 얻은 수렴의 안정도에는 미치지 못하였고 Plate 하단 뿐만 아니라 Main Junction과 링 사이의 mesh가 조밀화 작업을 거친 후의 mesh(그림 4. c)를 적용하고서야 비로소 새로운 방법에서 볼 수 있던 수렴의 안정도와 견줄 만한 결과를 보였다.

4. 결과

본 논문에서는 Floated Field Plate의 시물레이션을 새로운 방법으로 구현해 보았다. 시물레이션 결과 기존 방법에 비해 구조가 단순하고, mesh가 조밀화 작업을 거치지 않더라도 안정된 수렴을 얻을 수 있음을 보였다.

이러한 외부 저항 접속을 이용한 새로운 FFP 구조 설정 방법의 장점은 Plate뿐만 아니라 Floating 효과가 요구되는 구조를 갖는 모든 소자의 시물레이션에서 적용시킬 수 있을 것으로 보인다.

참고 문헌

- [1] S. M. Sze and G. Gibbons, "Effect of junction curvature on breakdown voltage in semiconductors," *Solid-State Electron.*, vol. 9, pp. 831-845, Sept. 1966.
- [2] A. S. Grove *et al.*, "Effect of surface fields on the breakdown voltage of Planar silicon p-n junctions," *IEEE Trans. Electron Devices*, vol. ED-14, no. 3, pp. 157-167, 1967.
- [3] V. C. Kao and E. D. Wolley, "High voltage planar p-n junctions," *proc. IEEE*, vol. 55, no. 8, pp. 1409-1414, 1967.
- [4] Hamza Yilmaz, "Optimization and Surface Charge Sensitivity of High Voltage Blocking Structures with Shallow Junction," in *IEEE Trans. Electron Devices*, vol. ED-38, no 7, pp. 1666-1675, 1991.
- [5] M. Pinto, C. S. Rafferty, H. R. Yeager, and R. W. Dutton, "PISCES-IIIB," Stanford Electronics Lab., Tech. Rep., Stanford Univ., Stanford, CA, 1985.