

Laser CVD 법에 의한 평탄화 층간 절연막 형성에 관한 연구

이 계신, 박 근영, 이 한신, 홍 성훈, 허 윤중, 성 영진
고려대학교 공과대학 전기공학과

A Study on Planarized Formation of Inter-Level Dielectric Films
by Laser CVD Method

K.S. Lee, G.Y. Park, H.S. Lee, S.H. Houg, Y.J. Huh, Y.K. Sung
Dept. of Electrical Eng. Korea Univ.

Abstract

SiO₂ and SiON films are formed by Laser CVD for inter-level dielectrics in submicron VLSI. This technique is noticeable that film formation can be done at low temperatures, below 300°C with less damage. An ArF Excimer Laser with wave length of 193nm is used to excite and dissociate reactant gases. After film formation growth rate, refractive index, I-V curve, and step coverage characteristics of the films were evaluated.

1. 서론

반도체 소자의 제작에 있어서 소자의 집적도가 증가함에 따라 금속 배선 사이의 간격은 감소함과 동시에 배선의 길이는 증가하여 lay-out상에서 단층 배선만으로 배선의 면적이 chip 면적을 초과하게 되었고, RC요소에 의한 소자 동작 시간의 지연이 문제점으로 대두하였다. 이의 해결 방안으로 다층배선 기술이 도입되었으며 이때 안정된 동작의 소자를 제작하기 위하여 높은 절연파괴 전압, 저누설전류치, 주변 금속 배선 및 절연막과의 강한 부착성, 양호한 step coverage 및 thickness uniformity를 지닌 양질의 층간 절연막이 요구되고 있다.⁽¹⁾⁽²⁾ 특히, 고집적화 소자는 종래의 단층 배선 구조로는 제작이 곤란하기 때문에 적층 배선 구조가 사용되어 복잡화 되므로 층간 절연막의 형성시 금속 배선들의 연결 유지와 electro-migration 방지를 위하여 450°C 이하의 보다 낮은 저온과 저손상으로 평탄화 시켜야 하기 때문에 저온, 저손상화 공정에 의한 절연막의 평탄화가 필수적인 과제의 하나이다.⁽³⁾⁽⁴⁾ 이러한 요구에 부응하여 본 논문에서는 새로운 층간 절연막 형성기술 개발의 일환으로 저온 광여기 공정인 Laser CVD 법⁽⁵⁾에 의해 SiO₂막을 비롯하여 SiON막등을 형성한 후, 층간 절연막으로서의 적합성 여부를 검토하기 위하여 막형성조건에 따른 막성장율, 굴절율등 막의 기본적인 형성 특성을 살펴본후, 누설전류 특성 평가를 위하여 막의 I-V 특성을 측정하였다. 또한 막의 step coverage 특성을 평가하기 위하여 막형성조건에 따라 변화하는 막의 step coverage를 분석하였다.

2. 시료의 제작 및 측정

그림 1은 본 실험에서 사용한 Laser CVD 장치도로 진공 반응로, 광원과 광학계, 기관가열 장치 및 진공 배기계로 구성되어 있다. 시료 제작에는 비저항 4.5 - 6 Ω·cm의 p형 (100)

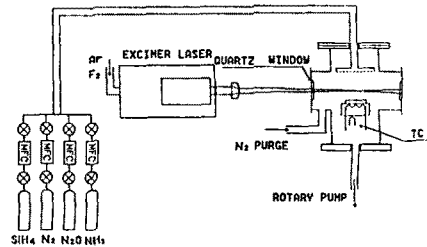


그림 1. Laser CVD 장치도

Si 기판을 사용하였고, 전처리 과정으로 기판을 표준 RCA법⁽⁶⁾에 의해 세정하였다. 또한 CVD 반응로는 시료를 넣기 전에 수분을 비롯한 잔유물들을 제거하기 위하여 기판 holder를 400°C로 1시간 가열 가열하였다. 그후, 반응가스를 넣고 일정한 압력하에서 파장 193nm의 ArF Excimer Laser를 기판과 평행하게 조사하였다. 이때 기판과 laser광 사이의 간격은 0.3mm로 고정하였다. 또한 막형성에 사용한 원료gas는 다카치오사의 SiH₄(95%), N₂O(99.9%), NH₃(99.9%) 이고 캐리어 gas로 N₂를 사용하였다. 표 1은 본 실험의 SiO₂막과 SiON막의 형성조건이다. 단, step coverage 특성 평가를 위한 막형성의 경우만 반응로 압력을 2 Torr 에서 10 Torr 로 변화시켰고 그 외의 경우는 2 Torr 였다. 한편, 막형성후 막두께와 굴절율을 ellipsometer(Rudolph Research Auto EL)로 측정하였고 막의 누설전류 특성을 평가하기 위해 형성막 표면에 Al 전극(전극 지름 1mm)을 진공 증착하여 MIS 구조를 만든후, HP-4145B를 사용하여 막의 I-V 특성을 측정하였다. Step coverage 특성은 p형 Si 기판상에 두께 0.7 μm의 PECVD SiO₂막을 형성시킨후, RIE etching에 의해 윗면 1 μm, 옆면 0.8 μm, 밑면 0.8 μm의 trench를 만든 다음 여기에 막을 형성시키고 trench 단면의 SEM 사진 분석을 통해 평가하였다.

표 1. 본 실험의 SiO₂막 및 SiON막 형성조건

형성막 형성조건	SiO ₂ 막	SiON 막
SiH ₄ 유량	20 SCCM	20 SCCM
N ₂ O 유량	80 SCCM	80 SCCM
NH ₃ 유량	0 SCCM	80 SCCM
N ₂ 유량	100 SCCM	100 SCCM
기판온도	100°C-300°C	100°C-300°C
반응로 압력	2 - 10 Torr	2 - 10 Torr
Laser Power	6.4 Watt	6.4 Watt

3. 결과 및 고찰

3-1. 기판온도에 따른 막성장율과 굴절율 평가

그림 2는 SiO₂막의 성장율과 굴절율의 기판온도 의존성을 나타낸 것이다. 300°C 에서 SiO₂막의 성장율은 155Å/min, 굴절율은 1.47 이었다. 기판온도의 증가에 따른 막성장율의 증가는 온도 증가에 따른 반응종들의 열분해 효과와 반응물 증가에 기인한다고 생각된다. 또한 기판온도 증가에 따른 막의 굴절율 증가는 반응종들의 표면이동거리의 증가로 기판표면과 더욱 안정된 결합을 이루어 막이 치밀해지기 때문으로 여겨진다. 그림 3은 SiON막의 성장율과 굴절율의 기판온도 의존성이다. 300°C 에서 SiON막의 성장율은 167Å/min, 굴절율은 1.78 이었다.

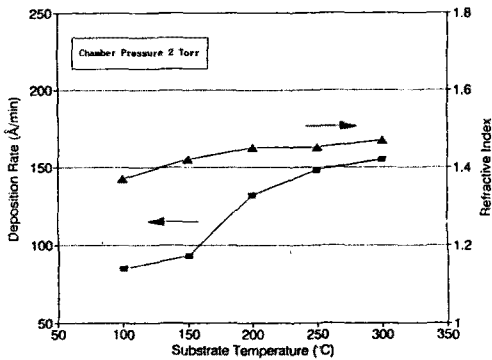


그림 2. SiO₂막의 성장율과 굴절율의 기판온도 의존성

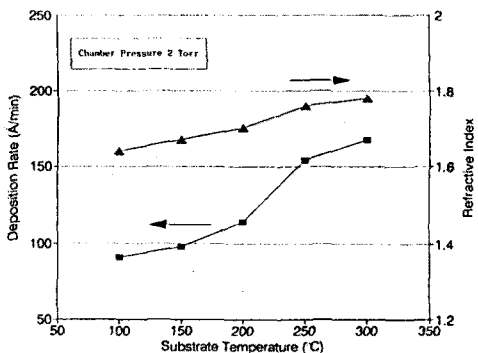


그림 3. SiON막의 성장율과 굴절율의 기판온도 의존성

3-2. I-V 특성 평가

막의 누설전류 특성을 평가하기 위해 I-V 특성을 측정하였다. 그림 4는 각각 200°C, 2 Torr 와 300°C, 2 Torr에서 형성한 SiO₂막의 I-V 특성 곡선이다. 이때 Al 전극에 (+)bias를 인가 했고 막두께는 1200Å 그리고 측정온도는 상온이다. 상용 5V 전압인가에서 SiO₂막의 누설전류는 0.2[nA] - 0.35[nA] 이었으며 200°C에서 형성한 막보다 300°C에서 형성한 막의 누설전류치가 약간 감소하는 양상을 보였다. 이것은 고온영역으로 갈수록 막형성이 치밀해지기 때문으로 생각된다. 그림 5는 SiON막의 I-V 특성곡선으로 측정조건은 위와 동일하다. SiON 막은 상용 5V 전압인가에서 누설전류치가 0.8[nA] - 1[nA]의 값을 나타냈다.

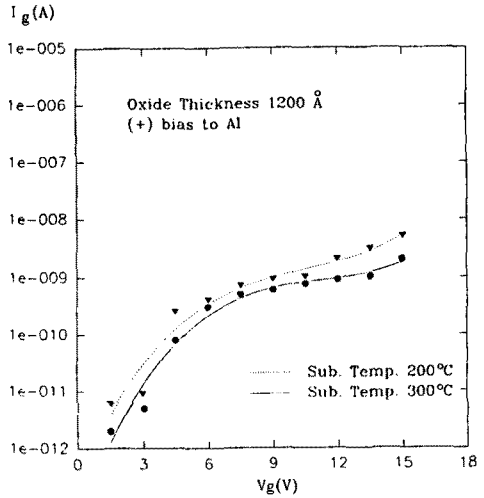


그림 4. SiO₂막의 I-V 특성곡선

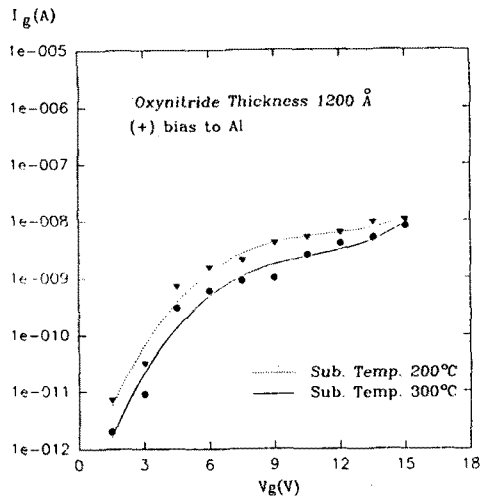


그림 5. SiON막의 I-V 특성곡선

3-3. Step coverage 특성 평가

그림 6은 기판온도에 따른 SiO₂막의 step coverage 변화 양상이다. 기판온도가 증가함에 따라 step coverage가 향상되는 양상을 보이는데 이는 기판온도 증가에 따른 다음 두가지 인자에 의한 효과로 생각된다. 첫째, 반응종들의 표면이동거리 증가에 의해 uniform한 막형성이 이루어지고 둘째, 반응종들의 sticking coefficient의 감소로 trench 내에 흡착된 반응종들의 탈착이 증가하고 탈착된 반응종들이 trench 내의 다른 부분에 redeposition 되어 trench 내의 막성장율이 증가하는 것이다.⁽⁷⁾ 그림 7은 반응로 압력에 따른 SiO₂막의 step coverage 변화 양상이다. 반응로 압력의 증가에 따라 step coverage는 감소하는 양상을 보인다. 이것은 반응로 압력이 증가함에 따라 반응가스 분자들의 충돌 빈도가 높아지고 따라서 막형성이 진행될수록 trench 하단의 edge 부분에 반응가스 분자의 도달 확률이 작아져 trench의 상단 부분과 하단 부분의 막두께의 차이가 커지기 때문으로 생각된다.⁽⁸⁾ 그림 10은 기판온도 300°C, 반응로 압력 2 Torr 에서 형성한 SiO₂막의 step coverage 양상을 보여주는 trench 단면의 SEM 사진이다. 그림에서 알 수 있듯이 막형성이 trench의 각부분에서 uniform하게 이루어졌으며 step coverage도 71%의 양호한 값을 나타냈다. 한편, SiON막의 step coverage 특성도 SiO₂막의 경우와 동일한 양상을 나타낼 수 관찰할 수 있었다.

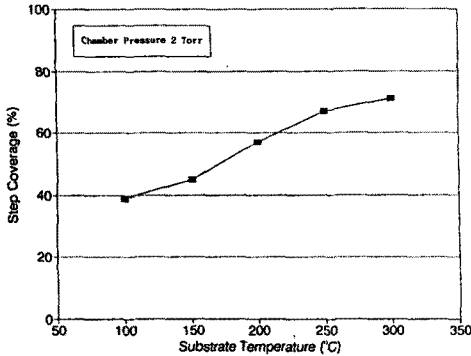


그림 6. 기판온도에 따른 SiO₂막의 step coverage 변화 양상

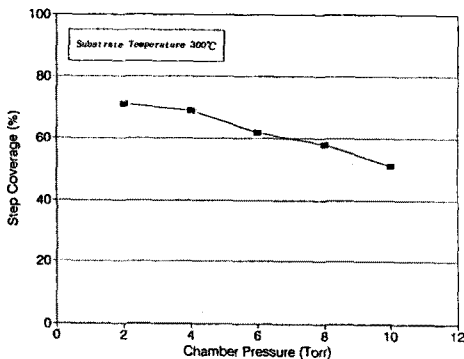


그림 7. 반응로 압력에 따른 SiO₂막의 step coverage 변화 양상

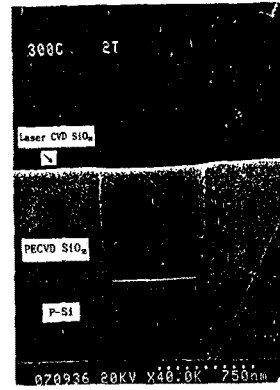


그림 8. 300°C, 2 Torr 에서 형성한 SiO₂막의 step coverage 양상을 나타내는 trench 단면의 SEM 사진

4. 결론

파장 193nm의 ArF Excimer Laser에 의해 SiO₂막과 SiON막을 형성시킨 결과 다음과 같은 결론을 얻을 수 있었다.

1. 반응로 압력이 일정한 경우 기판온도의 증가에 따라 막의 성장율과 굴절율은 증가하였으며 300°C 에서 굴절율이 각각 1.47, 1.78인 양질의 SiO₂ 및 SiON막이 형성되었다.

2. I-V 특성 평가에서 막의 누설전류치는 상용 5V 전압인가에서 SiO₂막의 경우 0.2[nA] - 0.35[nA], SiON막의 경우 0.8[nA] - 1.0[nA] 의 비교적 양호한 값을 나타내었다.
3. 막의 step coverage는 기판온도가 증가하고 반응로 압력이 감소함에 따라 향상되었으며, 두 형성조건을 적절히 변화시키기에 따라 양호한 값을 얻을 수 있었다.

이상의 결과들을 종합해 보면, 저온, 저손상화 공정한 Laser CVD에 의한 층간 절연막의 형성시 주변 금속패션들의 electro-migration 및 손상의 최소화, 막의 양호한 절연내력 및 gap filling시 void 형성방지등의 잇점이 있으리라고 본다.

참고 문헌

1. S.Wolf, "Silicon Processing Vol.2", Lattice Press, p.194, 1990
2. J.H.Brader and S.C.Quinlan, J.Electrochem. Soc., 135, pp.2291, 1989
3. M.Hatanaka et al., "Proceedings of 8th Intl. IEEE VMIC Conf.", Santa Clara, CA, pp.435, 1991
4. C.Bourreau et al., "Plasma Surface Engineering", Elsevier Sequoa, p.376, 1991
5. P.K.Boyer et al., Appl.Phys.Lett., 40, pp.716, 1982
6. D.G.Ong, "Modern MOS technology", McGraw Hill Book Company, p.182, 1982
7. N.Suzuki et al., Jap.J.of Appl.Phys., 29, pp.L2341, 1990
8. H.H.Lee, "Fundamentals of Micro-electronics Processing", McGraw Hill Book Company, p.220, 1976