

다결정 실리콘 TFT의 누설전류 모델링에 관한 연구

박정훈, 이주창*, 김영식*, 이동희**, 성만영*

* 고려대학교 전기공학과, ** 수원대학교 전기공학과

A Study on the Modeling of Leakage Current in Polysilicon TFT

Park Jung Hoon*, Lee Joo Chang*, Kim Young Sig*, Rhie Dong Hee**, Sung Man Young*

* Dept. of Electrical Eng. Korea Univ. ** Dept. of Electrical Eng. Suwon Univ.

Abstract

Enhancement mode n-channel TFT leakage current (off current : $V_G < 0$) that is little agreement on the conduction mechanism is major disadvantage of poly-silicon TFT in practical use, characteristic analysis and modeling. In this paper, new modeling of leakage current is proposed. The activation energy of leakage current, which is dependent on gate voltage, and leakage current dependent on poly silicon thickness are plausibly explained with this model. This model indicate that the reduction of leakage current is attributable to a decrease of maximum lateral electric field strength in the drain depletion region and to the density of trap

1. 서론
평형 평판 표시기에서 대면적 집적회로로 사용됨에 따라 다시 주목 받고 있는 TFT는 고집적도의 SRAM, DRAM과 3차원 집적 회로 등 그 응용분야의 광범위성으로 인해 더욱 관심이 집중되고 있다. 다결정 박막트랜지스터는 비정질 박막 트랜지스터보다 특성이 우수한 것으로 평가 받고 있지만, 누설전류 때문에 실용화에 큰 장애를 받고 있다. 그러므로 누설전류는 다결정 실리콘 박막 트랜지스터의 실용화 측면에서 특히 평형평판 표시기에서 요구되는 높은 스위칭 비와 긴 저장 시간의 구현을 위해 누설전류의 감소의 요구가 더욱 증대되고 있다. 본 논문에서는 TFT의 누설전류의 특성과 다결정 실리콘에 대한 트랩분포와 전기적인 특성을 고찰한 후, 다결정 실리콘 PN누설전류해석에서 사용된 울롱 트랩에서의 열전계 방출이론을 토대로 n-채널 다결정실리콘 박막 트랜지스터에서 누설전류의 해석적인 모델을 제시하고 그 모델의 타당성을 이론적인 시뮬레이션결과와 실험결과와 비교를 통해 입증함으로써 TFT의 연구에 기초자료를 제공하는데 일익을 담당하고자하였다.

2. 다결정 실리콘 박막 트랜지스터의 누설전류 특성

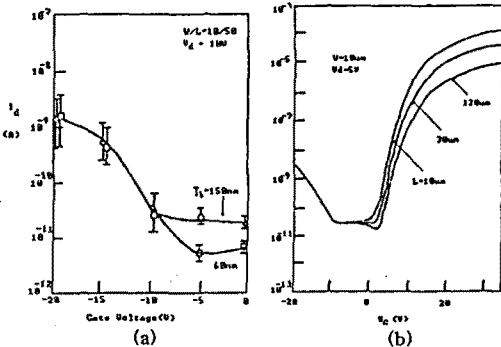


그림 2-1 수소화된 다결정 실리콘 TFT의 드레인전류-게이트전압특성의 채널길이 의존성과 다결정실리콘 두께의 의존성[5].
(a) 다결정 실리콘 두께에 따른 누설전류 변화.
(b) 채널길이에 따른 누설전류변화.

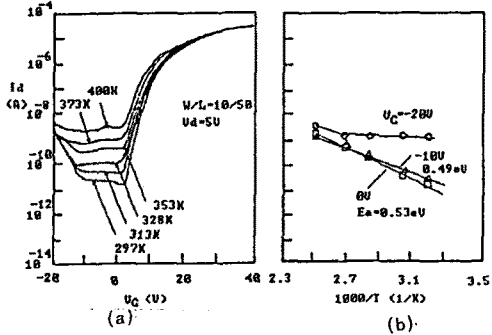


그림 2-2 수소화된 다결정 실리콘 TFT에서의 누설전류 및 활성화 에너지 변화[5].
(a) 온도에 따른 변화
(b) 온도에 따른 활성화에너지 변화.

(그림2-1)과 (그림2-2)는 Kikuo Ono^[2]의 실험에서 저압하중착법으로 550°C에서 증착하여 열처리한 후 수소화(Hydrogenation)과정을 마친 TFT에서 드레인 전류와 게이트전압간의 전달특성곡선을 나타낸 그림이다. 이 그림에서 볼 수 있듯이 누설전류 특성은 $-10 < V_G < 0$ 에서는 V_G 에 의존하지 않으면서 큰 활성화에너지 ($\sim \frac{E_K}{2q}$)를 갖고 다결정 실리콘박막 두께에 의존하는 특성을 보이고 $-20 < V_G < -10$ 에서는 V_G 에 지수함수적으로 의존하면서 작은 활성화에너지와 다결정 실리콘 두께의 의존성이 나타나지 않고 있다. 이러한 실험적인 결과를 종합하여, 열전계 방출이론이론을 토대로하여 채널에서의 전류와 Body에서의 전류의 2성분으로 구분하여 해석하였다.

3. 다결정 실리콘 박막 트랜지스터의 해석적 모델링

3-1 트랩의 특성분석

트랩에서의 캐리어 방출률은 acceptor-like 트랩은 가전자대의 정공의 방출을 울롱 전위 우물모델로, 전도대로의 전자의 방출은 디락 전위 우물모델과 같은 역할을 하는 것으로 해석할 수 있고, donor-like 트랩에 대해서는 그 반대의 역할을 하는 것으로 해석할 수 있다^[3]

$$e_p = \sigma_p U_0 g_{TE} \left(\frac{POOLE}{TE} + \frac{TFEC}{TE} \right) \exp(-E_i - E_j/KT) \quad (3-1)$$

$$e_n = \sigma_n U_0 \frac{1}{E_i} n_i \left(1 + \frac{TFED}{TE} \right) \exp((E_i - E_j)/KT) \quad (3-2)$$

여기서, $\frac{POOLE}{TE}$, $\frac{TFEC}{TE}$, $\frac{TFED}{TE}$ 는 각각 Poole Frenkel 효과, 울롱 트랩과 디락 트랩에서의 열전계 방출률에 대한 열전자 방출률의 비율 나타낸 것이다. 여기서 전성캐리어 농도는

$$n_i = 3.10 \times 10^{18} T^{-\frac{3}{2}} \exp(-1.206 \frac{m^*}{2KT}) \text{ (cm}^{-3}\text{)}, \text{ 유효질량 } m^* = 0.25m_0, \text{ 열속도는 } v_{th} = 3.002 \times 10^5 \sqrt{T} \text{ (cm/s)} \text{ 포획단면적은 } \rho_n = \rho_p = 5 \times 10^{-16} \text{ cm}^2 \text{ 로 계산한다.}$$

3.2 Si-SiO₂경계에서의 표면전위

다결정 실리콘에서의 그레인 경계에서의 금지대의 트랩상태밀도는 연속적인 분포로 다음과 같이 해석한다.

$$N_{TD(B)} = N_T \exp\left(-\frac{E-E_{T0}+qA}{kT_c}\right) + N_T \text{ donor-like 트랩} \quad (3-3)$$

$$N_{TA(B)} = N_T \exp\left(-\frac{E-E_{T0}-qA}{kT_c}\right) + N_T \text{ acceptor-like 트랩}$$

여기서, A는 트랩의 모양을 보정해주는 파라미터로서, A=0와 A=0.1일때에 대해 각각 조사하였다.

그리고 다결정 실리콘 박막 트랜지스터해석에 사용되는 전자, 정공농도와 트랩농도사이의 관계는 다음 포아슨방정식에 의해 주어진다.

$$\frac{\partial^2 \phi}{\partial x^2} = -\frac{q}{\epsilon} \left[p_0(\exp(-\beta\phi) - 1) - n_0(\exp(\beta\phi) - 1) + (N_{TD}(\phi) - N_{TD}(0)) - (N_{TA}(\phi) - N_{TA}(0)) \right] \quad (3-4)$$

$$N_{TD}(\phi) = \int_{E_0}^{E_1} N_{TD}(E)(1 - f(E, \phi)) dE$$

$$N_{TA}(\phi) = \int_{E_2}^{E_3} N_{TA}(E)f(E, \phi) dE$$

$$\left[-\frac{\partial \phi}{\partial x} \right]_{x=0} = \frac{C_{ox}}{\epsilon_s} (V_G - V_{FB} - \phi_s) \quad (3-5)$$

ϕ_s 는 게이트 산화막과 다결정실리콘경계에서의 표면 전위를 나타내고, 플랫밴드전압(V_{FB})은 -0.5V로 해석하였으며, 산화막과 다결정실리콘경계에서의 fast-state는 무시하였다.

3.3 다결정 실리콘 박막 트랜지스터에서의 누설전류 모델링

본 논문에서 누설전류의 해석적인 모델을 제시하기 위해 그림 3-1과 같이 채널영역과 Body영역으로 나누고 각각 다시 채널 부분과 드레인 공핍부분으로 나누어 해석한다.

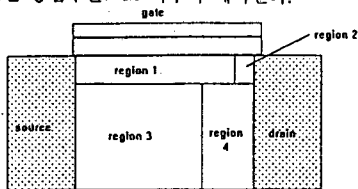


그림 3-1 TFT누설전류 해석을 위한 모델.

3-3-1. 채널영역에서의 누설전류 모델링

n채널 MOSFET가 off상태일때 드레인 공핍층에서, 캐리어 발생은 열전계 방출이론을 바탕으로 하여 연속적인 트랩준위에 대한 방출률은 다음과 같이 표현된다.

$$G_A = \int_{E_0}^{E_1} N_T(E) \frac{e_n e_p - C_n C_p D}{e_n + e_p + C_n + C_p} dE \quad (3-6)$$

전체 누설전류 밀도는 다음과 같이 근사할 수있다.

$$J = qG_A W \quad (3-7)$$

으로 되고, 여기서 $W = \frac{V_D}{F}$ 로 나타내고, F는 드레인과 채널사이의 전계를 나타낸다. 이 전계는 게이트전압과 드레인 전압에 의해 이차원적으로 분포하므로,⁵⁾

$$F_1 = \left[\frac{q}{2\epsilon_s} \bar{p}(V_D - \phi_s) \right],$$

$$F_2 = \alpha \frac{\epsilon_{ox}}{\epsilon_s} \frac{(V_D - V_G + V_{FB})}{t_{ox}}$$

$$F_3 = \beta \frac{\epsilon_{ox}}{\epsilon_s} \frac{(V_G - V_{FB} - \phi_s)}{t_{ox}} \quad (3-8)$$

$$Q_p = q \int_0^{\phi_s} \frac{p_0 \exp(-\beta\phi)}{\frac{\partial \phi}{\partial x}} d\phi \quad (3-9)$$

그리고 $\alpha \bar{p} = Q_p$, $x_s = -\frac{\phi_s}{\frac{\partial \phi}{\partial x}}$ 로 해석하였고, α 와 β

는 각각 0.89와 0.8로 근사한다.⁵⁾ 그러므로 전체 평균전계는 $F = F_1 + F_2 + F_3$ 로, 최종적으로 식 (3-10)과 같이 나타낼 수 있다.

$$I_L = qZx_s(G_A + G_D) \left(\frac{V_D}{F} \right) \quad (3-10)$$

여기서 G_D 와 G_A 는 각각 acceptor-like 트랩과 donor-like 트랩에서의 발생률을 나타내고 Z는 채널 폭을 나타낸다.

3-3-2. Body영역에서의 누설전류해석

Body영역에서는 채널에서처럼 축적되는 전하가 없으므로 이곳에서의 전계를 수정하면, 즉 식(3-8)에 F_1 과 F_2 에서의 V_D 를 Body영역에서의 공핍층에 인가되는 전압 V_j 로, 그리고 \bar{p} 는 다결정실리콘에서의 증양에서의 트랩농도로 가정하여 해석하였다⁶⁾. 그리하여, Body의 발생전류는 다음과 같다.

$$I_B = qZT_A(G_A + G_D)W \quad (3-11)$$

그리고 Body영역의 채널부분에서의 전류성분을 고려하여,⁶⁾

$$I = 2T_A Z n_i \left(\frac{kT}{2\pi m^*} \right)^{1/2} \exp\left(-\frac{qV_B}{kT}\right) \sinh\left(\frac{q(V_D - V_j)}{2kT N_d}\right) \quad (3-12)$$

식(3-12)에서 나타낸 다결정 실리콘에서의 전도전류와 드레인 공핍층에서 발생되는 전류식(3-11)과 같아지는 전류 값을 찾으면 된다. 여기서 T_A 는 다결정실리콘TFT 두께를 나타내며 진성 다결정 실리콘이므로 V_B 는 무시하였다.

3.4 TFT의 ON 전류 모델링

on상태에서의 드레인 전류는 경사채널 근사법에 의해 다음과 같이 구할 수있다.

$$I_D = q\mu_0 \frac{Z}{L} \int_{V_G - V_{FB}}^{V_G} \int_0^{\phi_s} \frac{n_0 \exp(\beta\phi)}{\frac{\partial \phi}{\partial x}} d\phi dV \quad (3-13)$$

로 나타낸다. 여기서 L은 채널 길이, μ_0 는 이동도를 나타내고, 본 모델에 사용된 TFT의 채널폭 Z=10(μm) 산화막 두께 T_{ox} = 1000Å으로 하고, 그래인의 크기는 0.2(μm)로 하여 계산한다.

4. 결과 및 고찰

4.1 누설전류모델과 실험치결과 비교분석

본 논문에서는 식(3-3)의 트랩모델에서 두가지 모델 즉 A=0.1(모델1)과 A=0(모델2)의 경우로 나누어서 트랩 분포를 가정하였고, (그림4-1)과 같이 최소자승법에 의한 fitting 과정을 통하여 실험결과와 일치시켜 나가는 해석을 실시하였다.

그 결과 두 경우가 매우 유사하므로 모델1(A=0.1)인 경우만 고찰하였다. 이와 같은 방법으로 구한 트랩의 상태밀도는 (그림4-2)에 나타내었고, (그림4-3)에서 볼수 있듯이 $-20 < V_G < -10$ 에서는 채널전류가 우세하게 나타나고, $-10 < V_G < 0$ 에서는 Body영역에서의 전류성분이 우세함을 볼 수있었다.

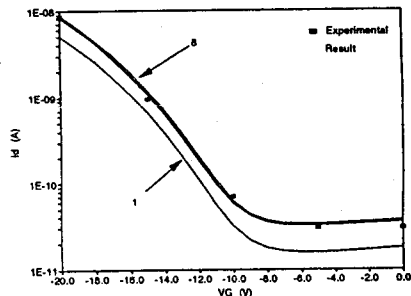


그림 4-1 최소자승법에 의한 전류 fitting에 대한 모델링 결과. (모델1: A = 0.1)

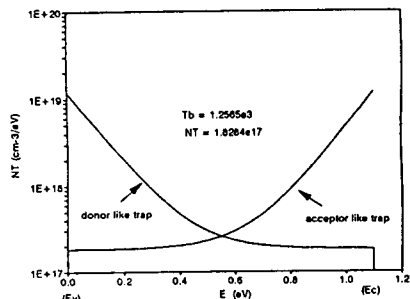


그림 4-2 트랩의 상태밀도에 대한 모델링 결과.

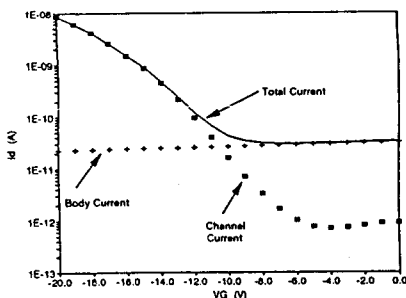


그림 4-3 OFF상태에서 누설전류성분.

본모델의 해석결과로 (그림4-4)에서 보인것과 같이 누설전류에 크게 기여하는 트랩준위는 에너지 밴드갭내에 중간에너지 준위로 해석 되었고, (그림4-5)와 (그림4-6)에서 볼 수있듯이 $-10 < V_G < 0$ 에서는 Body전류가 우세하므로 활성화 에너지는 크고, 게이트전압에 무관하며, 다결정 실리콘 박막의 두께에 의존하는 특성을 나타내며, 그리고 $-20 < V_G < -10$ 에서는 채널전류의 영향이 크게 나타나서 작은 활성화 에너지를 나타내고, 박막의 두께에는 무관하게 나타나고 있다. (그림4-7)는 채널길이의 변화에 따른 누설전류의 영향을 나타내는데, 채널길이의 의존성은 $-10 < V_G < 0$ 에서 주로 나타나고 있으나 (그림 2-1)에서는 $-5 < V_G < 0$ 에서 아주 약한 채널의존성을 나타내고 있음을 볼수있는데, 이는 수소화로 인해 다결정 실리콘 박막 특성이 매우 좋아져서 거의 모든 전압이 드레인 공급층에 다 인가되기 때문이라 사료된다.

4.2 ON 전류

(그림4-8)는 누설전류에서 구한 트랩의 상태밀도를 이용해서 이동도를 파라미터화하여 fitting시킨 결과를 나타낸다. 실험곡선과 잘 일치함을 보인다. 모델 1(A=0.1)에서의 이동도는 $30:00582 \text{ cm}^2/\text{Vs}$, 그리고 모델2(A=0)에서의 이동도는 $31.071636 \text{ cm}^2/\text{Vs}$ 를 얻었다. 실험적으로 이동도 $47 \text{ cm}^2/\text{Vs}$ 와는 차이를 보이고있다. 이것은 다결정 실리콘에서는 아직 정확한 물질 상수를 얻을 수없기때문이라 생각된다.

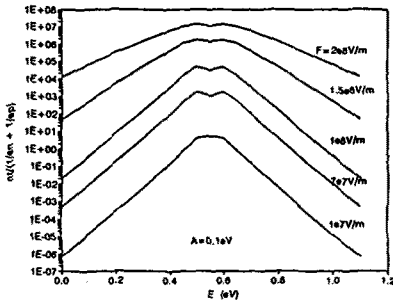


그림4-4 에너지 밴드갭내에서의 전계에 따른 $N_T(E)/(1/e_n + 1/e_p)$ 의 변화

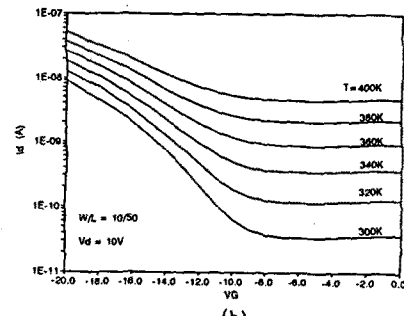
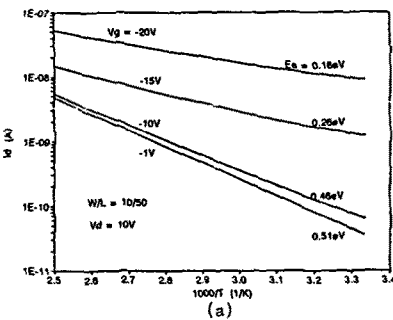


그림 4-5. 누설전류 특성(모델1: A=0.1)
(a)활성화 에너지의 변화.
(b)온도에 따른 전류 변화.

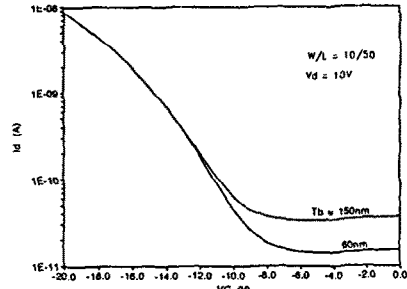


그림 4-6. 다결정 실리콘 박막 두께에 따른 누설전류 특성.

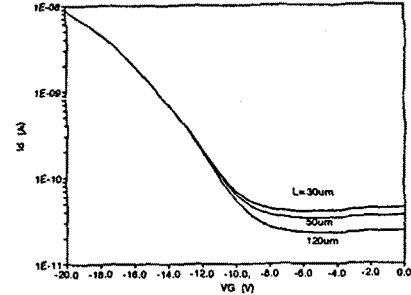


그림 4-7. 채널길이의 의존성. (모델1: A=0.1)

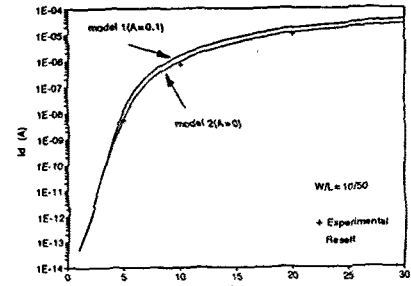


그림 4-8. ON전류와 실험치와의 비교

5. 결론

본 논문에서는 다결정 실리콘 TFT의 실용화 측면에서 가장 큰 문제점으로 부각되고 있는 누설전류성분에 대한 이론적 고찰을 통해 다결정 실리콘 에너지 밴드갭내에서 연속적인 트랩에서의 열전계방출이론을 토대로, 채널영역과 Body영역에서의 전류성분을 고려하여 누설전류에 대한 해석적인 모델을 제시하였다. 그리고 실험적 결과와의 비교를 통해 누설전류의 특성을 분석하였다. 앞으로 보다 정확한 모델링 제시를 위해서는 다결정실리콘에 대한 물성적 파라미터의 정밀한 도입과 아울러 다결정 특유의 다양성 있는 물성적 변화 양상을 파라미터로 추출하여 모델링 수식에 적용되어야 하리라 생각된다.

참고 문헌

- [1] FENG QIAN et al, "Inversion-Mode MOSFET's in Polycrystalline Silicon Thin Films: Characterization and Modeling", IEEE Electron. Dev. Vol. ED-35, p.2439, 1987.
- [2] Kikuo Ono et al, "Analysis of Current-Voltage Characteristics of Low-Temperature-Processed Polysilicon Thin-Film Transistors", IEEE Electron. Dev. Vol. ED-39, p.792, 1992.
- [3] H.C. de Graaff and M.Huybers, "Grain Boundary states and Characteristics of Lateral Polysilicon Diodes", Solid State Electron. Vol.25 p.67, 1982.
- [4] D. W. Greve et al, "Field-Enhanced Emission and Capture in Polysilicon pn Junctions", Solid State Electron. Vol. 28, p.1255, 1985.
- [5] SURY VEERAGHAVAN et al, "A Physical Short-Channel Model for the Thin-Film SOI MOSFET Applicable to Device and Circuit CAD", IEEE Electron.Dev. Vol. ED-35, p.1866, 1988.
- [6] JOHN E. MAHAN et al "Gigaohm-Range Polycrystalline Silicon Resistors for Microelectronic Applications", IEEE Electron.Dev. Vol. ED-30, p.45, 1983.